

CONVERTIDORES MULTINIVELES EN APLICACIONES  
DE FILTROS ACTIVOS PARA LA MEJORA  
DEL FACTOR DE POTENCIA EN SISTEMAS  
ELÉCTRICOS TRIFÁSICOS





UNIVERSIDAD NACIONAL  
DE ASUNCIÓN  
**FACULTAD DE  
INGENIERÍA**

**TESIS DOCTORAL**

**UNIVERSIDAD NACIONAL DE ASUNCIÓN**  
**Facultad de Ingeniería**  
**Laboratorio de Sistemas de Potencia y Control**  
**Doctorado en Ingeniería Electrónica**

**CONVERTIDORES MULTINIVELES EN APLICACIONES DE FILTROS  
ACTIVOS PARA LA MEJORA DEL FACTOR DE POTENCIA EN  
SISTEMAS ELÉCTRICOS TRIFÁSICOS**

**Julio Cesar Pacher Vega**  
Autor

**Prof. Dr. Raúl Gregor**  
Tutor

**Marzo 2022**  
**Campus Universitario, Luque, Paraguay**

# TRIBUNAL EXAMINADOR

---

## PRESIDENTE

JAVIER MUÑOZ VIDAL, Universidad de Talca, Chile

## SECRETARIO

JORGE ESTEBAN RODAS, Universidad Nacional de Asunción, Paraguay

## VOCALES

IGNACIO GONZALEZ PRIETO, Universidad de Málaga, España

MARGARITA NORAMBUENA, Universidad Técnica Federico Santa María, Chile

RAÚL GREGOR, Universidad Nacional de Asunción, Paraguay

Marzo 2022

Campus Universitario, Luque, Paraguay





## RESUMEN

---

El presente trabajo se enfoca en el análisis teórico y diseño para su posterior validación experimental de un sistema convertidor de potencia multinivel orientado a aplicaciones de Filtros Activos de Potencia (APF) y convertidores de voltaje multinivel. Primeramente se brinda una descripción de los principales tipos de APFs de acuerdo a diferentes criterios de clasificación, como ser sus configuraciones de interconexión, tipo de convertidores de potencia implementados y tecnología utilizada, resaltando las ventajas y limitaciones que presentan cada una de ellas. Más adelante se detallan las principales estrategias de control aplicados a los APF así como de las estrategias de modulación que complementan a las técnicas de control. Seguidamente, se realizaron análisis mediante simulaciones utilizando el entorno Matlab/Simulink, con los cuales se realizaron análisis teóricos de los modelos matemáticos del sistema APF paralelo, para diferentes estrategias de control, como ser la estrategia basada en el marco de referencia síncrono (SRF), control basado en la teoría de potencia instantánea (IRPT), con los cuales se realizaron un análisis comparativo de la eficiencia de cada enfoque de control para la compensación de la potencia reactiva y la reducción de los niveles de armónicos de corriente. Una vez validado los modelos matemáticos mediante las simulaciones, se procedió al diseño de la bancada experimental y su posterior validación experimental teniendo como enfoque principal la cuantificación del

#### IV RESUMEN

rendimiento de los circuitos de control y adquisición de señales. Finalmente se procedió a la obtención de los resultados experimentales para la validación final del diseño propuesto para el APF multinivel, los cuales consisten en la medición del THD y la determinación compensación de la potencia reactiva, obteniéndose resultados satisfactorios del mismo.

JULIO C. PACHER V.

*Marzo, 2022. San Lorenzo, Paraguay.*

## SUMMARY

---

The present work focuses on the theoretical analysis and design for its subsequent experimental validation of a multilevel power converter system oriented to Active Power Filter (APF) applications and multilevel voltage converters. First, a description of the main types of APFs is provided according to different classification criteria, such as their interconnection configurations, type of power converters implemented and technology used, highlighting the advantages and limitations that each one of them present. The main control strategies applied to APFs as well as the modulation strategies that complement the control techniques are detailed below. Subsequently, analyzes were carried out through simulations using the Matlab/Simulink environment, with which theoretical analyzes of the mathematical models of the parallel APF system were carried out, for different control strategies, such as the strategy based on the reference framework synchronous (SRF), control based on instantaneous power theory (IRPT), with which a comparative analysis of the efficiency of each control approach was performed for the compensation of reactive power and the reduction of current harmonic levels . Once the mathematical models had been validated through simulations, the design of the experimental bench and its subsequent experimental validation were carried out, with the main focus being the quantification of the performance of the control circuits and signal acquisition. Finally, the

experimental results were obtained for the final validation of the proposed design for the multilevel APF, which consist of the measurement of the THD and the determination of the reactive power compensation, obtaining satisfactory results.

JULIO C. PACHER V.

*Marzo, 2022. San Lorenzo, Paraguay.*

## AGRADECIMIENTOS

---

A mi tutor, Dr. Raúl Gregor quién me ofrecieron su consejo y ayuda durante el desarrollo del curso de doctorado, lo cual fue fundamental para el logro de los objetivos propuestos en este trabajo.

A mis padres, César y Antonia por brindarme su apoyo incondicional en todas las etapas de mi vida, brindándome la mejor formación posible en todos los ámbitos que les fue posible, son lo cual no hubiese sido posible cumplir muchos de mis objetivos personales. Además, a mis hermanos, Marcos y Arnaldo por el apoyo recibido siempre por parte de ellos.

A mis compañeros de trabajo y amigos del Laboratorio de Sistemas de Potencia y control de la Facultad de Ingeniería de la Universidad Nacional de Asunción, por el apoyo en el ámbito laboral como personal.

Julio C. Pacher V.



## AGRADECIMIENTOS INSTITUCIONALES

---

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) del Paraguay por el apoyo económico a través del programa de Doctorado POSG16-05 y la participación en el proyecto 14-INV-096, de Investigación y Desarrollo *Análisis, diseño e implementación de nuevos sistemas de compensación basados en filtros activos para la mejora de la calidad de la potencia eléctrica*.

Al Laboratorio de Sistemas de Potencia y Control de la Facultad de Ingeniería de la Universidad Nacional de Asunción, por permitirme participar en los diferentes emprendimientos dentro del campo de la investigación realizada por la institución.

Julio C. Pacher V.





*Dedicado a*  
*Mis padres*  
*A mis hermanos*



# ÍNDICE GENERAL

---

|                                        |          |
|----------------------------------------|----------|
| Resumen                                | III      |
| Summary                                | V        |
| Agradecimientos                        | VII      |
| Agradecimientos Institucionales        | IX       |
| Índice General                         | XIII     |
| Índice de Figuras                      | XVII     |
| Índice de Tablas                       | XXI      |
| Acrónimos                              | XXIII    |
| <b>1 Justificación y Metodología</b>   | <b>1</b> |
| 1.1. Introducción                      | 1        |
| 1.2. Objetivos y Alcance               | 3        |
| 1.3. Descripción del sistema           | 4        |
| 1.4. Especificaciones de diseño        | 5        |
| 1.5. Organización de la Tesis Doctoral | 5        |
|                                        | XIII     |

|          |                                                                  |           |
|----------|------------------------------------------------------------------|-----------|
| <b>2</b> | <b>Estado del arte de los filtros activos de potencia</b>        | <b>7</b>  |
| 2.1.     | Introducción                                                     | 7         |
| 2.2.     | Topologías de los filtros activos de potencia                    | 8         |
| 2.2.1.   | Taxonomía de los APFs según su topología de interconexión        | 9         |
| 2.2.2.   | Taxonomía de los APFs según la topología del convertidor         | 13        |
| 2.2.3.   | Estrategias de control de los convertidores multiniveles         | 21        |
| 2.3.     | Teoría de los filtros activos de potencia trifásicos en paralelo | 25        |
| 2.3.1.   | Estrategias de control aplicadas al APF paralelo                 | 26        |
| 2.3.2.   | Filtro Activo de Potencia trifásico de tres hilos                | 26        |
| 2.3.3.   | Control de un APF paralelo basado en la teoría IRPT              | 28        |
| 2.3.4.   | Control de un APF basado en la teoría SRF                        | 30        |
| 2.4.     | Estrategias de control aplicadas al filtro activo de potencia    | 33        |
| 2.4.1.   | El control predictivo basado en el modelo                        | 34        |
| 2.4.2.   | Modelo predictivo del convertidor multinivel                     | 35        |
| 2.5.     | Análisis mediante simulación de las estrategias de control       | 39        |
| 2.5.1.   | El MBPC convencional basado en la técnica IRPT                   | 41        |
| 2.5.2.   | El MBPC basado en la técnica IRPT con modulación PWM             | 43        |
| 2.5.3.   | El MBPC con PWM en el marco de referencia síncrono               | 48        |
| 2.6.     | Conclusiones del capítulo                                        | 50        |
| <b>3</b> | <b>Diseño del filtro activo de potencia multinivel</b>           | <b>53</b> |
| 3.1.     | Introducción                                                     | 53        |
| 3.2.     | Diseño de la celda Puente-H                                      | 54        |
| 3.2.1.   | Criterios de diseño                                              | 54        |
| 3.2.2.   | Circuito de control de disparos para el Puente-H                 | 55        |
| 3.2.3.   | Diseño del circuito de potencia                                  | 59        |
| 3.3.     | Acondicionamiento de señales de voltaje y corriente              | 63        |
| 3.3.1.   | Circuito de acondicionamiento de señales de voltaje              | 65        |
| 3.3.2.   | Circuito de acondicionamiento de señales de corriente            | 65        |
| 3.4.     | Integración del filtro activo de potencia multinivel             | 66        |
| 3.5.     | Montaje experimental del APF                                     | 67        |
| 3.6.     | Validación experimental de los diseños propuestos                | 69        |
| 3.6.1.   | Análisis de la celda Puente-H                                    | 70        |
| 3.6.2.   | Análisis de los circuitos de acondicionamientos                  | 72        |
| 3.7.     | Conclusiones del capítulo                                        | 74        |
| <b>4</b> | <b>Validación experimental de la plataforma diseñada</b>         | <b>75</b> |
| 4.1.     | Introducción                                                     | 75        |

|          |                                                                   |            |
|----------|-------------------------------------------------------------------|------------|
| 4.2.     | Convertidor en configuración VSI multinivel                       | 76         |
| 4.2.1.   | Control predictivo de corriente aplicado al VSI multinivel        | 77         |
| 4.2.2.   | Resultados experimentales en modo VSI multinivel                  | 80         |
| 4.3.     | Convertidor en configuración filtro activo de potencia multinivel | 82         |
| 4.3.1.   | Modelo predictivo del filtro activo de potencia                   | 82         |
| 4.3.2.   | Compensación de reactiva aplicando la técnica IRPT                | 85         |
| 4.3.3.   | Compensación de armónicos aplicando la técnica SRF                | 88         |
| 4.4.     | Conclusiones del capítulo                                         | 94         |
| <b>5</b> | <b>Principales aportaciones</b>                                   | <b>95</b>  |
| 5.1.     | Conclusiones                                                      | 95         |
| 5.1.1.   | Artículos publicados en revistas                                  | 97         |
| 5.1.2.   | Artículos publicados en conferencias                              | 97         |
| 5.2.     | Líneas futuras de investigación                                   | 97         |
| <b>6</b> | <b>Apéndice</b>                                                   | <b>99</b>  |
|          | <b>Principales aportaciones de la Tesis Doctoral</b>              | <b>100</b> |
| A.1      | Artículo 1                                                        | 100        |
| A.2      | Artículo 2                                                        | 110        |
| A.3      | Artículo 3                                                        | 116        |
| A.4      | Artículo 4                                                        | 132        |
|          | Referencias bibliográficas                                        | 137        |



## ÍNDICE DE FIGURAS

---

|      |                                                                   |    |
|------|-------------------------------------------------------------------|----|
| 1.1  | Esquema del APF multinivel propuesto                              | 4  |
| 2.1  | Configuración APF en conexión paralelo                            | 9  |
| 2.2  | Configuración APF en conexión serie                               | 11 |
| 2.3  | Configuración APF en conexión serie-paralelo                      | 11 |
| 2.4  | Configuración APF híbrido en serie con la línea                   | 12 |
| 2.5  | Configuración APF en serie con el filtro pasivo                   | 12 |
| 2.6  | Configuración APF en paralelo con el filtro pasivo                | 13 |
| 2.7  | Convertidor de potencia trifásico con almacenamiento DC inductivo | 14 |
| 2.8  | Convertidor de potencia en esquema inversor de tres ramas         | 14 |
| 2.9  | MVSI de enclavamiento por diodos monofásico de cinco niveles      | 16 |
| 2.10 | MVSI de capacitores flotantes monofasico de cinco niveles         | 18 |
| 2.11 | Convertidor de Puente-H en cascada                                | 20 |



|      |                                                                        |    |
|------|------------------------------------------------------------------------|----|
| 2.12 | Señal de salida del CHB de 7 niveles                                   | 20 |
| 2.13 | Taxonomía básica de las estrategias de modulación multinivel           | 21 |
| 2.14 | Voltaje de salida escalonada multinivel para una referencia sinusoidal | 22 |
| 2.15 | Voltaje de salida escalonada con $m$ ángulos de conmutación            | 23 |
| 2.16 | Señal moduladora sinusoidal y portadora triangular                     | 24 |
| 2.17 | Diagrama de vectores para un inversor de tres niveles                  | 25 |
| 2.18 | Estrategias de control aplicadas al APF paralelo                       | 26 |
| 2.19 | APF trifásico en conexión paralelo, de tres hilos                      | 27 |
| 2.20 | Algoritmo de control de un APF utilizando la teoría IRPT               | 28 |
| 2.21 | Algoritmo de control de un APF utilizando la teoría SRF                | 31 |
| 2.22 | Diagrama de bloques del MBPC                                           | 34 |
| 2.23 | Diagrama de bloques del esquema filtro activo de potencia multinivel.  | 36 |
| 2.24 | Esquema de control propuesto para el APF multinivel trifásico          | 37 |
| 2.25 | Resultados de simulación del control predictivo del APF                | 42 |
| 2.26 | Análisis de THD mediante simulación                                    | 43 |
| 2.27 | Estrategia de modulación por desfase de portadora                      | 45 |
| 2.28 | Modulador phase shifted PWM unipolar                                   | 46 |
| 2.29 | Diagrama de bloques del MBPC con PWM                                   | 46 |
| 2.30 | Resultados de simulación del control predictivo del APF con PWM        | 47 |
| 2.31 | Análisis de THD mediante simulación MBPC-IRPT y PWM                    | 48 |
| 2.32 | Resultados de simulación MBPC-SRF y PWM                                | 49 |
| 2.33 | Análisis de THD mediante simulación MBPC-SRF y PWM                     | 50 |
| 3.1  | Circuito de acondicionamiento de señales PWM                           | 55 |
| 3.2  | Circuito generador de tiempo muerto y de señales complementarias       | 56 |
| 3.3  | Esquema eléctrico del circuito implementado con el IR2110              | 58 |

|      |                                                                          |    |
|------|--------------------------------------------------------------------------|----|
| 3.4  | Implementación de la placa de control para una celda Puente-H            | 59 |
| 3.5  | Esquema eléctrico de la red de snubber del tipo RCD                      | 61 |
| 3.6  | Implementación de la placa de potencia para una celda Puente-H           | 63 |
| 3.7  | Esquema general de adquisición de señales de voltaje y corriente de fase | 64 |
| 3.8  | Placa de acondicionamiento de señales                                    | 64 |
| 3.9  | Esquema circuital de acondicionamiento de señal de voltaje               | 65 |
| 3.10 | Esquema circuital de acondicionamiento de señal de corriente             | 66 |
| 3.11 | Diagrama de bloques de la plataforma experimental del APF multinivel     | 66 |
| 3.12 | Integración de los diferentes módulos diseñados                          | 68 |
| 3.13 | Vista lateral del APF y conexionado                                      | 69 |
| 3.14 | Esquema de plataforma de pruebas para el controlador y Puente-H          | 70 |
| 3.15 | Plataforma de pruebas implementado en el laboratorio                     | 71 |
| 3.16 | Señales complementarias de disparo para el Puente-H                      | 71 |
| 3.17 | Plataforma de pruebas para la celda Puente-H                             | 72 |
| 3.18 | Medición experimental del acondicionamiento de voltaje                   | 72 |
| 3.19 | Medición experimental del acondicionamiento de corriente                 | 73 |
| 3.20 | Señales de voltaje y corriente de los circuitos de medición diseñados    | 73 |
| 4.1  | Esquema de evaluación experimental en modo VSI multinivel                | 76 |
| 4.2  | Esquema MBPC aplicado al convertidor en modo VSI multinivel              | 78 |
| 4.3  | Resultados experimentales del VSI multinivel con MBPC                    | 80 |
| 4.4  | Análisis del THD de la corriente del VSI suministrada a la carga         | 81 |
| 4.5  | Esquema de evaluación experimental en modo APF multinivel                | 83 |
| 4.6  | Diagrama de bloques del esquema filtro activo de potencia multinivel     | 83 |
| 4.7  | Esquema de control propuesto para el APF multinivel trifásico            | 84 |
| 4.8  | Comparación de niveles de potencia reactiva                              | 86 |

|      |                                                                     |    |
|------|---------------------------------------------------------------------|----|
| 4.9  | Nivel de THD existente en las corrientes de la red eléctrica        | 87 |
| 4.10 | Resultados experimentales de compensación de potencia reactiva      | 87 |
| 4.11 | Generación de referencia de corriente basada en la teoría SRF       | 88 |
| 4.12 | Resultados experimentales de compensación de armónicos de corriente | 92 |
| 4.13 | Operación estable del APF para compensación de armónicos            | 93 |

## ÍNDICE DE TABLAS

---

|     |                                                                 |    |
|-----|-----------------------------------------------------------------|----|
| 2.1 | Conmutación de interruptores esquema capacitor flotante         | 18 |
| 2.2 | Vectores de disparo de un CHB de 3 celdas                       | 21 |
| 2.3 | Parámetros utilizados en las simulaciones                       | 41 |
| 3.1 | Parámetros eléctricos utilizados para los cálculos de Bootstrap | 58 |
| 3.2 | Criterios de diseño para la etapa de potencia                   | 60 |
| 3.3 | Parámetros eléctricos del SiC-MOSFET                            | 60 |
| 3.4 | Parámetros técnicos para los experimentos                       | 70 |



## ACRÓNIMOS

---

|         |                                                    |
|---------|----------------------------------------------------|
| FPGA    | Field Programmable Gate Array.                     |
| DSP     | Digital Signal Processor.                          |
| APF     | Active Power Filter.                               |
| EKF     | Extended Kalman Filter.                            |
| FCS-MPC | Finite Control-Set Model Predictive Control.       |
| PCC     | Common Point Connection.                           |
| OP-AMP  | Operational Amplifier.                             |
| HVICD   | High Voltage Integrated Circuit Drive.             |
| IGBT    | Insulate Gate Bipolar Transistor.                  |
| SOA     | Safe Operation Area.                               |
| IGCT    | Gate Controlled Thyristors.                        |
| SiC     | Silicon Carbide.                                   |
| MOSFET  | Metal-Oxide-Semiconductor Field-Effect Transistor. |

XXIV      ACRÓNIMOS

|      |                                     |
|------|-------------------------------------|
| SCR  | Silicon Controlled Rectifier.       |
| LED  | Light-Emitting Diode.               |
| AC   | Alternating Current.                |
| DC   | Direct Current.                     |
| THD  | Total Harmonic Distortion.          |
| GaN  | Gallium Nitride.                    |
| MVSI | Multilevel Voltage Source Inverter. |
| DCMC | Diode Clamped Multilevel Converter. |
| UPQC | Unified Power Quality Conditioner.  |
| PCC  | Point of Common Coupling.           |

# CAPÍTULO 1

---

## JUSTIFICACIÓN Y METODOLOGÍA

---

### 1.1. Introducción

Las La forma de onda en corriente o voltaje de salida de los sistemas generadores de energía eléctrica, pueden ser consideradas como sinusoidales perfectas y equilibradas. Sin embargo, los voltajes existentes en la mayoría de los sistemas de transmisión presentan una distorsión reducida, de un orden inferior al 1 %, y por lo general existen normas que definen los niveles máximos admisibles de distorsión como ser la IEEE 519-1992. A medida que nos alejamos de los sistemas de generación, y nos aproximamos a los puntos de consumo (cargas finales del sistema), la distorsión de estas formas de onda de voltaje y corriente así como los niveles de energía reactiva se incrementa debido a cargas no lineales y/o altamente inductivas [1]. En los últimos años, conceptos tales como la calidad de potencia (PQ), y la eficiencia energética han ido aumentando en notoriedad dentro del campo de la ingeniería, convirtiéndose en una cuestión de sumo interés tanto para las empresas productoras y suministradoras de energía eléctrica, como para los fabricantes y los usuarios finales [2].



En ese sentido, puede afirmarse que con el aumento de la industrialización debido principalmente al auge de las manufacturas electrointensivas así como el mejoramiento de la calidad de vida de las personas, conlleva a un aumento en el número de dispositivos de accionamientos eléctricos, lo que se traduce en la necesidad de controlar la potencia eléctrica de los sistemas industriales en algunas cargas típicas como ser los molinos de acero, cintas transportadoras y en especial todas aquellas que impliquen el uso de motores eléctricos, siendo este último el más representativo consumidor de potencia reactiva [3].

Por otro lado, en idéntica magnitud de importancia desde el punto de vista de la calidad de red, el número de cargas no lineales ha ido aumentando considerablemente con el paso de tiempo, esto se debe a la mejora en las técnicas de conversión de potencia, ya que equipos que antiguamente se conectaban directamente a la red eléctrica, ahora son alimentados a través de convertidores electrónicos de potencia, debido a las ventajas que ofrecen tales como la reducción de tamaño y un mejor rendimiento [4, 5]. Las cargas no lineales son generadas por dispositivos electrónicos como ser diodos, conmutación de transistores, dispositivos inversores, conmutación natural o forzada (diodos, transistores, inversores, etc) [6, 7]. Desde el punto de vista de la calidad de red, las cargas no lineales son las más perjudiciales a un sistema eléctrico debido al comportamiento que presentan las corrientes en altas frecuencias que generan el efecto skin, que se presenta cuando la corriente alterna tiende a evitar viajar dentro del conductor, viajando cerca de la superficie, con lo cual se limita la conductividad de los alimentadores, por consiguiente produce calentamiento hasta el punto de dañar los equipos debido a las resonancias [8, 9].

Uno de los inconvenientes habituales en los sistemas eléctricos de corriente alterna son los procesos de optimización tanto de la compensación de la potencia reactiva así como la eliminación de armónicos. La aparición de las cargas electrónicas ha motivado la investigación de nuevas topologías de convertidores de potencia, dichos sistemas de conversión de potencia se basan en la conmutación de dispositivos semiconductores de potencia (IGBT, MOSFET, SCR, etc) [10, 11]. Además, con el desarrollo de la tecnología de los semiconductores de potencia, las capacidades del manejo de la energía y la velocidad de conmutación de los dispositivos de potencia han mejorado considerablemente [12, 13]. Otro aspecto importante, es el aumento significativo en la capacidad de cómputo de los microprocesadores permitiendo el desarrollo de nuevas tecnologías semiconductoras con mayores velocidades de conmutación y menores pérdidas [14, 15]. Los convertidores son dispositivos electrónicos capaces de alterar las características del voltaje y corriente que reciben, transformándola de manera óptima para las aplicaciones a las cuales serán destinadas en cada caso.

En el proceso de diseñar e implementar un sistema de control digital para un circuito de potencia, ya sea un convertidor del tipo inversor o cualquier otro circuito convertidor

de potencia en general, se hace imprescindible el uso de un medio de depuración para simular y verificar el sistema antes de comprobar su funcionamiento experimental [16, 17]. Esto se debe a que se manejan potencias y corrientes elevadas que pueden causar daños si el control no ha sido depurado, no solo en los componentes o hardware empleados o en los sistemas de medición, sino incluso en las personas. Además, para los estudios de factibilidad y diseño se requiere una capacidad de modificación de la configuración de las plataformas de prueba con el propósito de disminuir los costos y el tiempo de desarrollo de las mismas [18].

Por otro lado, para las aplicaciones que requieren una potencia elevada, se hace uso de los convertidores multinivel de potencia. Los convertidores multinivel presentan dos ventajas principales. Por una parte, posibilitan alcanzar un voltaje mayor para un semiconductor dado sin la necesidad de conectar en serie los semiconductores, a la vez que aumenta la potencia del convertidor sin la necesidad de conectar en paralelo los semiconductores, esto posibilita disminuir las pérdidas por conducción. Por otro lado, el aumento de niveles de voltajes en la salida permite un mejor control de la corriente de salida, obteniéndose menores niveles de THD y permitiendo reducir el tamaño de los filtros de salida. Además, algunas topologías de convertidores multinivel permiten obtener una frecuencia aparente a la salida superior a la frecuencia de conmutación de los semiconductores utilizados [19].

Por lo mencionado anteriormente, la principal aportación de esta Tesis Doctoral se centra en el diseño y la validación experimental de un APF multinivel en configuración paralelo. En ese sentido, se utilizan técnicas de control modernas como el control predictivo basado en el modelo (MBPC) aplicado a topologías modulares y multinivel ya que permite una rápida implementación y adaptación a los cambios en la topología deseada así como la inclusión de no linealidades en el algoritmo de control [20]. Cabe mencionar que, las validaciones experimentales se realizan mediante el uso de nuevas tecnologías de semiconductores, específicamente los SiC-MOSFETs, ya que permite el uso de frecuencias de conmutación más elevadas en comparación con los dispositivos semiconductores convencionales del tipo IGBT.

## 1.2. Objetivos y Alcance

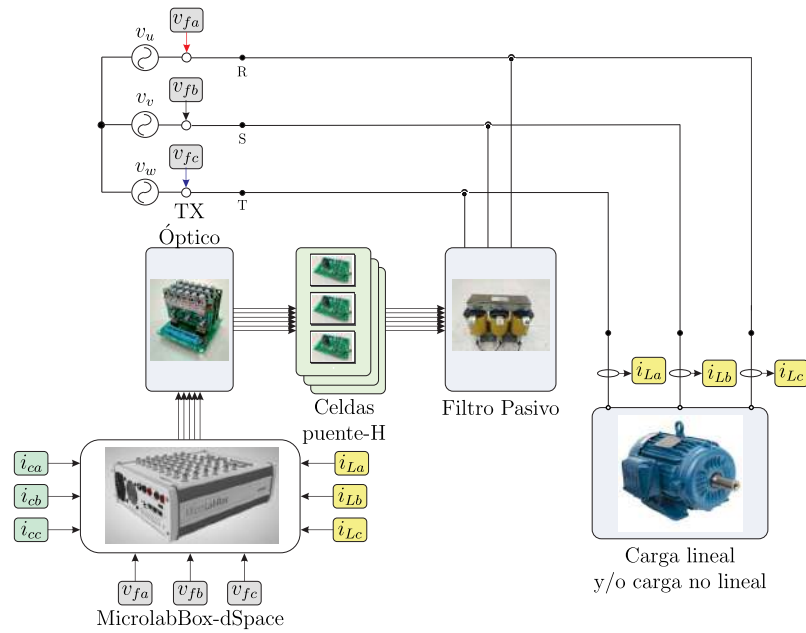
El objetivo de esta Tesis Doctoral se enfoca en el diseño e implementación de un APF trifásico multinivel basado en celdas Puente-H en cascada. El desarrollo de la Tesis Doctoral propone un diseño modular de la plataforma experimental. A fin de validar el diseño propuesto la Tesis inicia con un análisis mediante simulaciones de la topología propuesta para posteriormente avanzar hacia la etapa de diseño y validación experimental,

los cuales se constituyen como principal aporte de esta Tesis Doctoral. En este orden de ideas los siguiente objetivos específicos son:

- Validar mediante simulaciones el esquema APF multinivel.
- Diseñar el hardware requerido para la implementación del APF multinivel.
- Validar de forma experimental el diseño del APF multinivel mediante la técnica de control propuesta.

### 1.3. Descripción del sistema

El esquema general propuesto a ser implementado para la validación experimental del APF, con cada uno de los bloques que lo componen se presenta en la **Figura 1.1**.



**Figura 1.1** Esquema del APF multinivel propuesto

Como se aprecia en la **Figura 1.1** existen dos bloques bien diferenciados: la plataforma hardware desarrollada y la bloque de control implementado mediante el controlador MicroLabBox - dSPACE. La transmisión de señales entre ambos bloques se implementa mediante enlaces de fibra óptica de manera a reducir las interferencias provenientes de los circuitos de potencia.

La plataforma hardware consiste en una placa de control (driver) para la activación del Puente-H basado en dispositivos semiconductores del tipo SiC-MOSFET así como la placa base para el Puente-H propiamente. Además, se implementan módulos de adquisición de señales y con sus respectivos circuitos de acondicionamiento para corrientes y voltajes. Luego, estas mediciones son utilizadas dentro de los algoritmos de control implementados en los DSP o sistemas similares. La carga empleada para el Puente-H consiste en la red eléctrica trifásica, a la cual puede estar conectadas cargas del tipo lineal tales como motores, transformadores o cargas no lineales entre los que se tienen a los convertidores de potencia, circuitos rectificadores, sistemas de iluminación Led entre otros.

#### 1.4. Especificaciones de diseño

Las especificaciones deseadas para el diseño del APF multinivel son las siguientes:

- Voltaje de red: 220 V por fase.
- Potencia desarrollada: 15 kW.
- Tecnología: semiconductores SiC-MOSFET.
- Frecuencia de conmutación: hasta 50 kHz.

#### 1.5. Organización de la Tesis Doctoral

La presente Tesis Doctoral se ha organizado en cinco capítulos con el fin de facilitar la lectura. En ese sentido, se incluye un breve resumen de cada uno de ellos:

**Capítulo 1: Justificación y Metodología**, en este capítulo se describen el estado del arte de los APFs, antecedentes de la Tesis Doctoral, así como los objetivos y alcance. Además se brinda una descripción del sistema, y las especificaciones de diseño del convertidor.

**Capítulo 2: Estado del Arte de los Filtros Activos de Potencia**, en este capítulo se detallan las diferentes topologías de los APF, las ventajas y desventajas de cada topología, así como una descripción de las principales estrategias de control aplicados a los APF. Se analizan además las estrategias de control utilizadas para la compensación de la energía reactiva y la eliminación de armónicos. Además se realizan simulaciones de manera a validar los modelos matemáticos obtenidos así como las estrategias de control analizadas.

**Capítulo 3: Diseño del APF Multinivel**, dentro de este capítulo se detalla el proceso de diseño del hardware para la implementación del convertidor Puente-H y los circuitos controladores de los mismos. Además, se detalla el diseño de los circuitos de medición y acondicionamiento de señales.

**Capítulo 4: Análisis Experimental de la Plataforma Diseñada**, en el presente capítulo se muestra los resultados obtenidos para la validación experimental del diseño. En ese aspecto se realizaron pruebas con la plataforma experimental tanto en su modalidad de convertidor de potencia tipo VSI multinivel, así como en su modalidad APF para la compensación de energía reactiva y eliminación de armónicos.

**Capítulo 5: Principales aportaciones**, en esta sección se pone de manifiesto las principales conclusiones de la Tesis Doctoral y finalmente se propone las líneas futuras a ser abordadas en el marco de la línea de investigación que aborda la Tesis Doctoral.

## CAPÍTULO 2

---

# ESTADO DEL ARTE DE LOS FILTROS ACTIVOS DE POTENCIA

---

### 2.1. Introducción

La estrategia tradicional para la reducción de armónicos y compensación de la potencia reactiva consiste en el uso de filtros pasivos sintonizados a las componentes que se desean eliminar. Sin embargo, este tipo de soluciones presenta inconvenientes como ser el mayor tamaño físico de los componentes, posibilidad de resonancia con la impedancia de red eléctrica, pérdida de sintonía con el paso del tiempo debido a degradaciones en los valores iniciales de sus elementos, entre otros. Los filtros pasivos utilizan componentes pasivos (redes tipo RLC), que a bajas frecuencias son dispositivos voluminosos y de costo elevado [21, 22]. Los filtros pasivos se caracterizan por constituir una estructura rígida apta para eliminar armónicos bien definidos y valores de potencia reactiva dentro de un rango restringido, mientras que las características de la propia red, son parámetros variables en el tiempo debido al crecimiento natural de las mismas. Con el objeto de superar las limitaciones propias de un filtro pasivo, han sido propuestas varias soluciones en la literatura para compensar de forma dinámica la potencia reactiva, desbalance y dis-

torsión armónica [23, 24]. Entre ellas se encuentran los APFs, los cuales son considerados topologías apropiadas para compensar estas componentes no deseadas y de características cambiantes, debido a su versatilidad en términos de adaptación a las variaciones de los parámetros de la carga [25]. Los compensadores activos en paralelo, mediante algunas modificaciones pueden ser implementados como APF en paralelo, de manera eficaz para eliminar los armónicos de corriente generados por cargas no lineales. Por supuesto, el objetivo principal de APF paralelo siempre ha sido la de reducir los niveles de energía reactiva presentes en la red eléctrica.

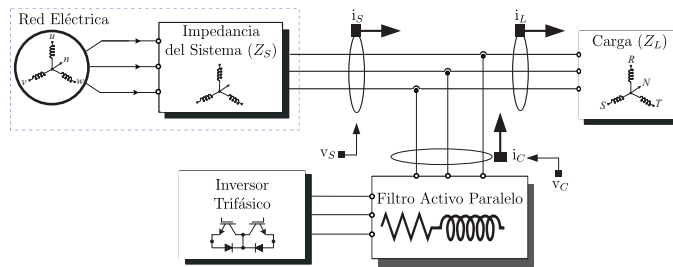
El presente capítulo se abordan los conceptos generales relacionados a los APF, abarcando las diferentes topologías de interconexión a la red eléctrica, las principales topologías paralelas para sistemas de distribución de 3 hilos, los diferentes tipos de convertidores de potencia aplicados en los APF y la topología final propuesta en esta Tesis Doctoral. Por otro lado, se realiza un análisis de las configuraciones, el modelado y el diseño de los APFs. Se aborda además los algoritmos de control aplicados a los APFs en configuración paralelo.

## 2.2. Topologías de los filtros activos de potencia

Las bases teóricas del filtrado activo datan de la década del 70, denominándose APF a los dispositivos electrónicos con la capacidad de comportarse como fuentes de voltaje o fuentes de corriente controlables y que de acuerdo a su interconexión a la red eléctrica poseen la capacidad de compensar o reducir los niveles de armónicos de voltaje o de la corriente, así como de la compensación la potencia reactiva existente [23]. En base a lo anterior, es posible clasificar al APF según la variable a compensar, voltaje o corriente y de acuerdo al tipo de interconexión, serie o paralelo [26].

Desde su concepción teórica hasta hoy día, varios factores han influido en la rápida aceptación de esta tecnología, principalmente debido a los avances en el desarrollo de las tecnologías de convertidores estáticos y por la incorporación de nuevos semiconductores de potencia, como ser los SiC-MOSFET con mejores prestaciones en cuanto a valores de corriente y voltaje que pueden soportar, facilidad de control, tiempos de conmutación reducidos y menores pérdidas de potencia [23]. Otro factor importante que ha influido en el auge de los APF es la disponibilidad de dispositivos de control de altas prestaciones, permitiendo el uso de algoritmos de control mas complejos.

Un sistema APF está constituido por cinco bloques bien diferenciados: El convertidor de potencia, el enlace de corriente entre el convertidor y el punto de conexión a la red (PCC), el elemento almacenador de energía del APF y los dispositivos de medición y acondicionamiento de las señales de potencia y el controlador. Los APFs utilizados pueden



**Figura 2.1** Configuración APF en conexión paralelo

clasificarse de varias maneras, es decir, de acuerdo al tipo de conexión del filtro respecto a la carga. De acuerdo al convertidor de potencia utilizado podemos distinguir a los filtros serie, paralelo y serie-paralelo o mixtos. De acuerdo al convertidor de potencia utilizado en el APF, el mismo puede clasificarse en convertidores de fuente de corriente (CSC) o en convertidores de fuente de voltaje (VSC). Desde un punto de vista práctico, cada una de estas topologías, actúa de forma distinta y la utilización de una u otra conexión dependerá de si es permisible que toda la corriente de carga atraviese o no el enlace de corriente del APF [27].

### 2.2.1. Taxonomía de los APFs según su topología de interconexión

Entre los criterios comúnmente asumidos a fin de realizar una clasificación del tipo de APF, se encuentra la que toma como parámetro su interconexión al punto PCC. En los apartados siguientes se ejemplifican las principales topologías de interconexión, siendo estas las topologías paralela, serie y serie/paralela respectivamente las comúnmente implementadas en la práctica. Cabe mencionar que existen otras topologías en las cuales se agregan filtros pasivos, siendo estas denominadas topologías híbridas [27].

**Filtro Activo de Potencia en conexión paralelo** La estructura de un APF paralelo para la compensación de las corrientes no activas y la corrección del factor de potencia se muestra en la **Figura 2.1**. Idealmente, para reducir las componentes oscilatorias de la potencia que circulan entre la fuente y las cargas, tanto el voltaje como la corriente deben ser del tipo sinusoidales, en fase y equilibrados. Por lo tanto, la red eléctrica puede funcionar de manera eficiente y con una mayor calidad de energía, evitando problemas referentes a la potencia reactiva, los armónicos y el desequilibrio en la red eléctrica. Sin embargo, en casos generales, debido a las cargas que normalmente son del tipo inductivas y no lineales, así como al desequilibrio de las cargas conectadas a las diferentes fases de una red trifásica, existirá una potencia reactiva y por ende formas de onda de corriente

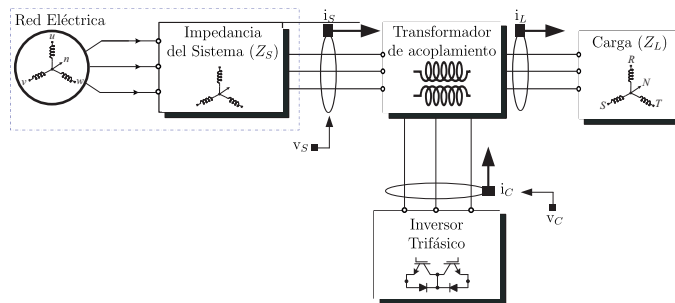


distorsionadas debido al desequilibrio así como la presencia de armónicos. El APF en conexión paralelo es una configuración práctica para mitigar los problemas mencionados anteriormente [28]. Los APF en paralelo actúan como una fuente de corriente, cuya función es reducir las distorsiones en la corriente generadas por la carga, de tal manera a que la corriente en la red eléctrica resultante de la suma de corrientes de la carga y el filtro sea del tipo sinusoidal.

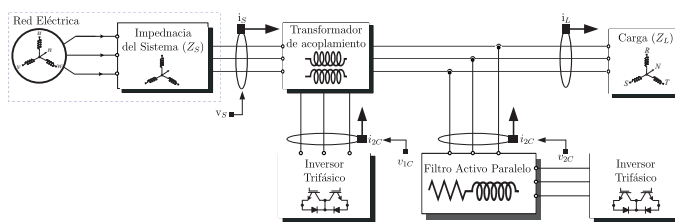
El principio de funcionamiento consiste en inyectar a la red, en el PCC y en contrafase, las corrientes armónicas generadas en la carga y la corriente necesaria para la reducción de la potencia reactiva, de modo que queden absolutamente anuladas por suma de corrientes en el nodo analizado. Para ello, es necesario un sistema de almacenamiento de energía en DC y un convertidor estático que permita la transferencia de esta energía bidireccionalmente entre AC y DC [23]. Dado que la energía asociada a los armónicos es de carácter no activo, la potencia en vatios requerida por el convertidor es teóricamente nula y, en la práctica, sólo hay que aportar la potencia debida a las pérdidas en los semiconductores y otros elementos no ideales. Este tipo de convertidor, que trabaja con la modulación de ancho de pulsos PWM a alta frecuencia, va dotado de un sistema de control cuya consigna de control se centra en el seguimiento de corriente en la carga, además de determinar el contenido de armónicos y generar las consignas de mando a los semiconductores para inyectar las corrientes armónicas en contrafase y conseguir su cancelación. La estructura más utilizada se basa en un convertidor de voltaje, que opera en modo de control por corriente, en donde la energía es almacenada en un capacitor situado en el lado de DC del convertidor [29].

**Filtro Activo de Potencia en conexión serie** Los APFs conectados en serie con la fuente generadora de armónicos se comportan como una fuente de voltaje en serie con la propia red. Se conecta antes de la carga y en serie con la alimentación, a través de un transformador, de tal manera a eliminar voltajes armónicos y para balancear y regular el voltaje en los terminales de la carga o la línea. La estructura de un APF serie se muestra en la **Figura 2.2** [23].

El APF de conexión serie provee el voltaje necesario para que la corriente por la línea esté libre de armónicos. El sistema actúa como una impedancia variable, cuyo valor es idealmente nulo para la componente fundamental de corriente e infinita para todas las demás componentes. Los APF serie se comportan como una fuente de voltaje en serie con la red eléctrica, y su principal función es que el voltaje entre los terminales de la carga sea del tipo sinusoidal no distorsionada [30]. El circuito constituido por el APF serie y la carga es un sistema dual respecto al APF paralelo, en donde la dualidad se establece por el intercambio de las posiciones serie en lugar de paralelo y por actuar como fuente de voltaje en lugar de como fuente de corriente [26].



**Figura 2.2** Configuración APF en conexión serie

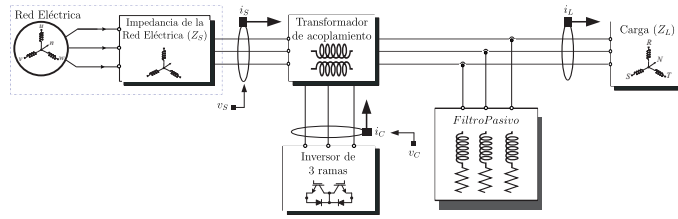


**Figura 2.3** Configuración APF en conexión serie-paralelo

**Filtro Activo de Potencia en conexión serie-paralelo** La estructura de un APF en conexión mixto se muestra en la **Figura 2.3**. La configuración representada en dicha figura es conocida además con el nombre de APF universal, y es una combinación de los dos filtros anteriores, donde el filtro paralelo cancela los armónicos de corriente y puede hacer compensación de energía reactiva, mientras que la configuración en serie realiza la función de desacoplo respecto a la red y puede realizar otras funciones, como regulación de voltaje, compensación de flicker y equilibrado de fases en el punto de conexión a la red [30].

**Filtro Activo de Potencia híbrido** El esquema de filtrado híbrido consta de un sistema de filtrado pasivo convencional apoyado por un filtro activo situado en diferentes posiciones en relación con el filtro pasivo. Esta combinación optimiza el sistema de cancelación pasiva, además de evitar los problemas de resonancias entre los componentes del filtro pasivo y la impedancia de línea y permite potencias de filtrado elevadas a un costo inferior al del filtrado activo puro [31, 32]. Por otro lado, dependiendo de la interconexión realizada entre el sistema de filtro pasivo y el sistema de filtro activo, pueden considerarse las siguientes estructuras básicas: APF en serie con la línea, APF en serie con el filtro pasivo, APF en paralelo con la línea y la carga, y finalmente APF en serie con la línea y el filtro pasivo.

**Filtro activo en serie con la línea:** El APF se comporta como una impedancia variable situada entre la red eléctrica y la carga, de tal manera a que la impedancia sea nula para

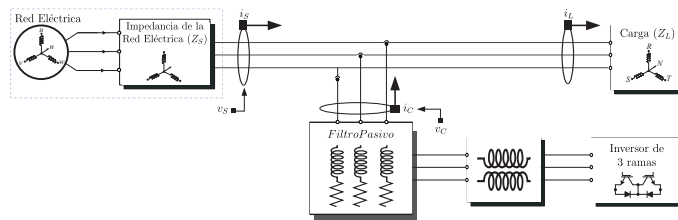


**Figura 2.4** Configuración APF híbrido en serie con la línea

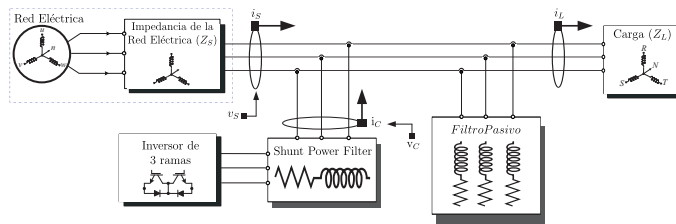
la componente fundamental y de carácter resistivo y elevada para los armónicos. Cabe mencionar que el filtro activo actúa como un aislador de armónicos [30]. Como la sección de filtro activo se instala en serie con la red, y posible bloquear el paso de armónicos desde y hacia ella, y en ese sentido, los armónicos generados en la carga necesariamente circularán por el filtro pasivo. De esta manera, el voltaje en el lado de línea del filtro activo serie es teóricamente la correspondiente a la frecuencia fundamental. En la **Figura 2.4** se observa el esquema de un APF híbrido en conexión serie con la línea [23].

El filtro activo de la **Figura 2.4** está formado por un convertidor PWM de voltaje conectado en serie con la red a través de un transformador (Booster). El secundario de este transformador se dimensiona para la totalidad de la corriente nominal de la carga, aunque el voltaje que debe soportar es la debida a las componentes armónicas, mientras que es nula para la componente fundamental. La ventaja de este sistema es que el grueso de la cancelación está a cargo del filtro pasivo, mientras que el filtro activo se dimensiona para una potencia de tan sólo el 2 % al 5 % de la potencia aparente de la carga, con lo cual es menos costoso que un filtro activo puro, que debe asumir la totalidad de la potencia de cancelación.

**Filtro activo en serie con el filtro pasivo:** Esta modalidad de conexión es similar a la configuración anterior en donde la sección correspondiente al filtro activo está situada en serie con el filtro pasivo. El APF está constituido por un convertidor estático PWM de voltaje conectado en serie con el filtro pasivo a través de un transformador [33]. El esquema del APF en conexión serie con el filtro pasivo se observa en la **Figura 2.5**.



**Figura 2.5** Configuración APF en serie con el filtro pasivo



**Figura 2.6** Configuración APF en paralelo con el filtro pasivo

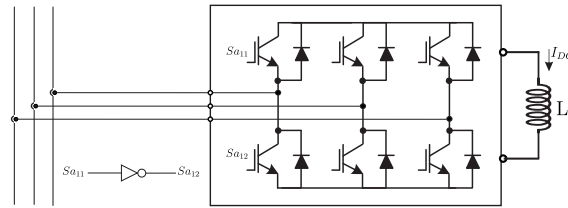
Este sistema se comporta como una fuente de voltaje variable, cuyo valor es teóricamente nulo para la frecuencia fundamental y de igual valor al de las componentes armónicas de voltaje en la carga. Por ello, el voltaje en el punto de conexión del filtro, es la correspondiente a la frecuencia fundamental, como se describió en el caso anterior. El filtro activo presenta impedancia nula a la componente fundamental y variable para las componentes armónicas. Este método posee la ventaja de que la sección de filtro activo debe soportar solo las corrientes armónicas que circulan por el filtro pasivo y no la corriente principal de la carga [30].

**Filtro Activo en paralelo con el filtro pasivo:** El sistema principal de filtrado es pasivo, sintonizado con los armónicos mas bajos y de mayor contenido. En paralelo con el filtro pasivo hay un filtro activo de corriente o voltaje encargado de eliminar los armónicos de frecuencias más elevadas. El Esquema del Filtro Activo en conexión paralelo con el filtro pasivo se observa en la **Figura 2.6**.

**Filtro Activo en serie con la línea y con el filtro pasivo:** Esta topología es una combinación de las configuraciones anteriores y está basado en los mismos principios, en donde la acción de los filtros activos complementa y optimiza la del filtro pasivo.

### 2.2.2. Taxonomía de los APFs según la topología del convertidor

Las configuraciones de los APFs descritas en los apartados anteriores requieren de elementos almacenadores de energía, existiendo dos opciones para la misma: el primero consiste en el almacenamiento de tipo capacitivo, en este caso la energía disponible para la compensación se almacena en un capacitor, pudiéndose establecer el nivel de energía del filtro activo mediante la medida de los voltajes de continua [26]. Es importante mencionar que el tipo de elemento almacenador de energía empleado determina las características de compensación del APF. Aunque la gran mayoría de los APF utilizan capacitores, la segunda opción consiste en el empleo de inductores. La **Figura 2.7** muestra un APF con sistema de almacenamiento de energía inductivo. En este caso el nivel de energía del filtro

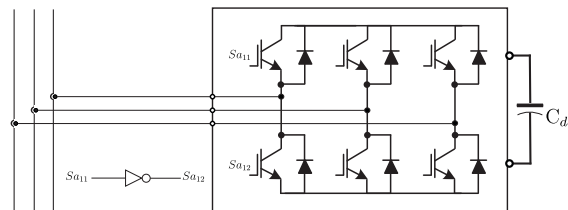


**Figura 2.7** Convertidor de potencia trifásico con almacenamiento DC inductivo

activo se puede obtener mediante la medición de la corriente en la bobina de continua. Sin embargo, una desventaja importante de este tipo de topologías es la imposibilidad de ser aplicadas a esquemas de compensación multinivel [34].

Otra clasificación que se puede mencionar, es la que se basa en el número de fases, como ser, los sistemas monofásicos de dos hilos, los sistemas trifásicos de tres hilos y finalmente los sistemas trifásicos de cuatro hilos.

**APFs basados en convertidores de 2 niveles:** En la **Figura 2.8** muestra la topología de un convertidor trifásico en puente completo, el cual se compone de seis transistores de potencia, cada uno con un diodo en conexión inversa, empleados para conducir la corriente reactiva de retorno a la fuente de energía. Estos inversores se dividen según su forma de operar en: conducción a  $180^\circ$  de cada elemento, con lo cual habrá tres elementos en conducción al mismo tiempo y conducción a  $120^\circ$ , con dos elementos por vez. Estos circuitos se utilizan en aplicaciones de mayor potencia, pudiendo estar formados por tres esquemas monofásicos independientes conectados a la misma fuente. Para las configuraciones trifásicas se disponen esquemas de inversores de tres o cuatro ramas dependiendo si se tiene acceso al neutro [34]. Cada par transistor-diodo opera en los estados de corte o saturación comportándose como un interruptor bidireccional. La secuencia de conmutación que siguen los interruptores viene impuesta por un proceso previo de modulación que será el que determine las características de la señal de salida, entre ellas: forma, amplitud, frecuencia y contenido armónico.



**Figura 2.8** Convertidor de potencia en esquema inversor de tres ramas

**APFs basados en convertidores multiniveles:** Existen aplicaciones que requieren una potencia elevada, y para alcanzar los altos niveles de potencia, se requieren de convertidores VSC para aumentar los niveles de voltaje de operación por encima de los límites físicos impuestos por la tecnología de los semiconductores actuales [35, 36]. Los convertidores multinivel incluyen un arreglo de dispositivos semiconductores de potencia y capacitores como fuentes de voltaje, donde la señal de salida generada tiene una forma de onda escalonada, sumando los voltajes de cada convertidor, mientras que los interruptores de potencia de manera individual, soportan voltajes reducidos. Los convertidores multiniveles fueron desarrollados especialmente para permitir que las topologías de fuente de voltaje alcancen voltajes más elevados [37]. En lugar de conectar varios interruptores de potencia en serie, las estructuras de convertidores multiniveles organizan los semiconductores con enlaces de capacitores DC adicionales que subdividen el voltaje total del convertidor al límite de bloqueo del semiconductor.

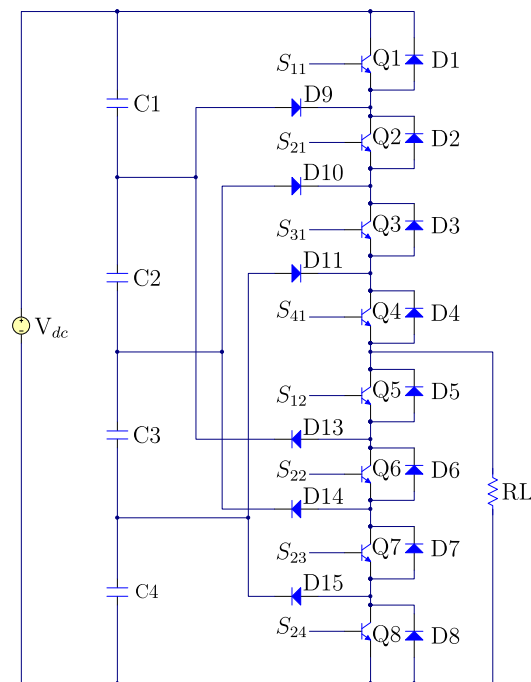
**Topologías de los convertidores multiniveles:** Existen tres topologías de convertidores multinivel ampliamente utilizados, los cuales pueden ser denominados como los convertidores multinivel clásicos. Por tanto, resulta de interés analizar dichas topologías clásicas, junto con las ventajas y limitaciones que presentan cada una [38]. El presente apartado no pretende realizar un análisis detallado de cada topología, sino mostrar la información relevante de ellas. Entre los convertidores multinivel clásicos están:

- Convertidor de enclavamiento del punto neutro (NPC)
- Convertidor de capacitor flotante (FC)
- Convertidor Puente-H en cascada (CHB)

A continuación se detalla las características más relevantes de cada topología de convertidor mencionada anteriormente.

**NPC o Neutral Point Clamped:** El convertidor NPC ha sido el convertidor multinivel más utilizado y estudiado en la literatura. Esta topología recibe el nombre de Neutral Point Clamped, dado que el enclavamiento de voltajes de los diodos se produce al punto medio del divisor capacitivo de entrada. La estructura básica consiste en el agregado de diodos a una rama de interruptores en serie como se muestra en la **Figura 2.9** [39]. Los diodos enclavan el voltaje en el punto medio entre cada par de interruptores al valor presente en uno de los capacitores del bus de continua. El banco de capacitores en serie divide el voltaje del bus de continua en forma equitativa, lo que permite generar los distintos niveles de voltajes a la salida [40, 41].

Entre las ventajas de esta topología podemos mencionar:



**Figura 2.9** MVSI de enclavamiento por diodos monofásico de cinco niveles

- El número de capacitores es pequeño en comparación con otras topologías multinivel
- No requiere el uso de transformadores
- La eficiencia es alta
- A medida que el número de niveles se incrementa, el contenido armónico se reduce
- El voltaje de bloqueo de los interruptores es el voltaje del capacitor de entrada
- Como ocurre con la mayoría de las topologías de MVSI, las llaves de los DCMC deben soportar solo una fracción del nivel de voltaje del DC-link

Por otro lado, entre sus limitaciones se pueden mencionar las siguientes:

- Son necesarios el uso de diodos recuperación rápida
- Es necesario que los voltajes de los capacitores se mantengan equilibrados en cualquier punto de trabajo, por lo que el control del convertidor se complica. Dicho equilibrio, se dificulta conforme aumenta el número de niveles, incluso puede ser imposible en algunas condiciones de operación

- Uno de los principales inconvenientes de esta topología es que los diodos deben soportar distintas fracciones del voltaje del DC-link, por lo que para altos niveles de voltaje se requiere utilizar complejas configuraciones de diodos en serie en los cuales es muy difícil ecualizar las tensiones en inversa y los tiempos de conmutación

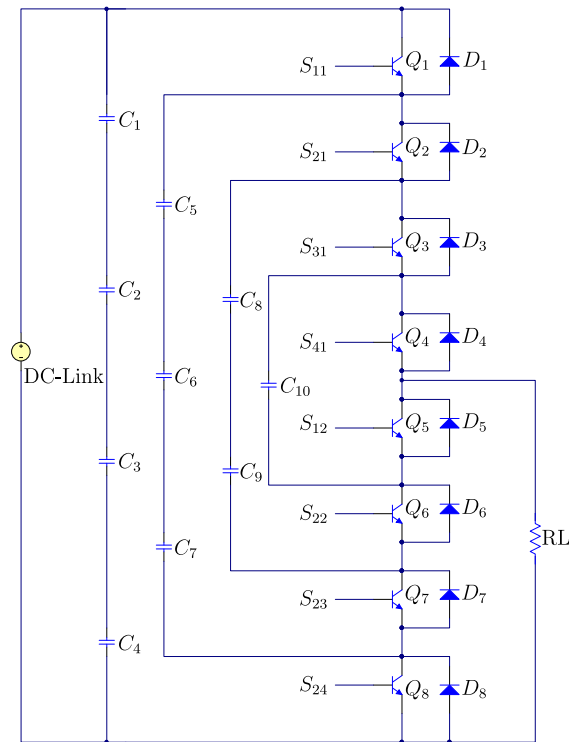
Cabe resaltar que, del análisis de las ventajas y limitaciones de los convertidores de tipo Diode-Clamped, se aprecia que la topología de tres niveles o NPC reúne las ventajas mencionadas y no presenta aquellos inconvenientes que aparecen al momento de implementar convertidores de más de tres niveles. En ese sentido, para migrar de la topología de dos a tres niveles, sólo es necesario agregar dos diodos de fijación por cada fase. Además, esta configuración presenta un diseño estructural simple, a diferencia de convertidores de más niveles. Por lo mencionado, la topología NPC ha sido la más ampliamente utilizada [42].

**Convertidor de capacitores flotantes:** Este tipo de convertidores poseen una estructura similar al convertidor de diodos anclados descrito en el apartado anterior, y al igual que dicha topología, los capacitores en serie actúan como fuentes DC, dividiendo el voltaje común en partes iguales. Esta configuración limita la  $\frac{dv}{dt}$  de los interruptores, obteniéndose así un mayor número de estados de conmutación posible, los cuales son utilizados para balancear la carga de los capacitores del DC-link [43]. La estructura básica de este tipo de convertidores se muestra en la **Figura 2.10**, donde se puede observar que en el punto medio de cada par de interruptores se conecta un capacitor que enclava el voltaje de ese punto y por lo tanto el voltaje aplicado a la carga para cada combinación de encendido de los interruptores. Sin embargo, la baja confiabilidad de los capacitores para voltajes elevados y altos niveles de potencia es una de las principales desventajas de esta topología, además los capacitores internos no pueden conectarse directamente en configuración Back-to-Back, aunque si es posible realizar esta configuración a través del DC-link. Por otro lado, es posible obtener un buen balance de los voltajes sobre los capacitores mediante el uso de una modulación adecuada, como por ejemplo la Modulación por Ancho de Pulso con Portadoras Desfasadas (PSC-SPWM) [44].

El funcionamiento normal de este tipo de convertidores se presenta cuando los todos los capacitores se encuentran cargados a un voltaje igual a  $V_{dc}/4$ , lo que significa que los capacitores  $C_1$ ,  $C_2$ ,  $C_3$  y  $C_4$  se encuentran conectados en serie entre sí y en paralelo a la fuente  $V_{dc}$  se cargarán de forma equilibrada. En consecuencia los capacitores  $C_5$ ,  $C_6$  y  $C_7$  entregarán un voltaje igual a  $3V_{dc}/4$ , mientras que los capacitores  $C_8$  y  $C_9$  serán igual a  $V_{dc}/2$  y por último el capacitor  $C_{10}$  se cargará a un voltaje de  $V_{dc}/4$ . De esta manera el equilibrio en los capacitores se logra escogiendo la combinación de interruptores apropiada. Estas combinaciones se representan en la **Tabla 2.1**.

Entre las ventajas que posee esta configuración es posible resaltar las siguientes:





**Figura 2.10** MVSI de capacitores flotantes monofasico de cinco niveles

| Interruptores Activos                                                             | Voltaje de Salida |
|-----------------------------------------------------------------------------------|-------------------|
| S1-S2-S3-S4                                                                       | $V_{dc}/2$        |
| S1-S2-S3-S5 ó S2-S3-S4-S8 ó S1-S3-S4-S7                                           | $V_{dc}/4$        |
| S1-S2-S5-S6 ó S3-S4-S7-S8 ó S1-S3-S5-S7 ó S1-S4-S6-S7 ó S2-S4-S6-S8 ó S2-S3-S5-S8 | 0                 |
| S1-S5-S6-S7 ó S4-S6-S7-S8 ó S3-S5-S7-S8                                           | $-V_{dc}/4$       |
| S5-S6-S7-S8                                                                       | $-V_{dc}/2$       |

**Tabla 2.1** Conmutación de interruptores y sus niveles de voltaje de salida

- Permite formas flexibles de disparar los semiconductores, para obtener un mejor balance de voltaje en los capacitores.
- A mayor número de niveles, los capacitores acumulan energía extra durante largos transitorios de descarga.

- Los flujos de potencia activa y reactiva pueden ser controlados.
- A mayor número de niveles, menor es la distorsión armónica.

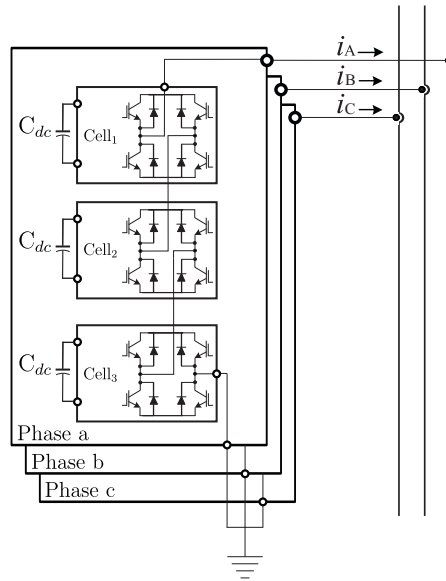
Por otro lado, la configuración de capacitores flotantes presentan también algunas desventajas, entre las que se pueden mencionar:

- Presentan baja eficiencia para transmisión de flujo real
- Es necesario un sistema de control complejo para mantener balanceados los voltajes de los capacitores
- Requiere una cantidad excesiva de capacitores, y al ser más voluminosos y costosos que los diodos, resulta menos atractivo que el de acoplamiento por diodo
- Debe de existir un proceso de precargado de los capacitores flotantes

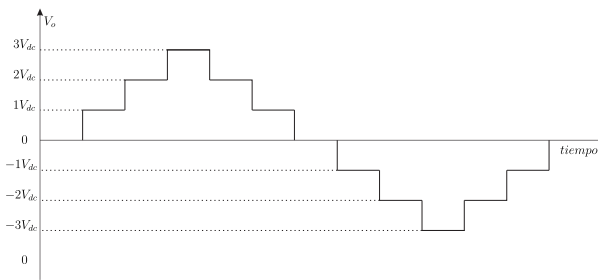
**Convertidor Puente-H en cascada:** El convertidor CHB es una estructura muy utilizada en aplicaciones de potencia, no posee un DC-link único como tal, sino mas bien posee varias fuentes de continua. Los convertidores multinivel fueron desarrollados desde mediados de 1980, inicialmente con el trabajo de Nabae, Takahashi y Agaki en el año 1988. Esta topología se implementa mediante la interconexión de etapas Puente-H independientes. En la **Figura 2.11** se observa un esquema de convertidor en cascada de 7 niveles, realizada mediante la interconexión en serie de 3 etapas convertidoras en Puente-H en cascada [45, 46].

Para el funcionamiento correcto de esta topología es necesario que los voltajes de los DC-link sean independientes y estén aisladas entre sí, lo cual se implementa mediante capacitores. Para incrementar el numero de niveles es necesario conectar mas celdas en cascada, siendo el voltaje de salida del convertidor la suma o combinación de cada uno de los voltajes que las diferentes celdas aporten [19, 47]. Las topologías de Puente-H multinivel se pueden dividir en dos categorías según la dependencia de la relación de los voltajes que maneje cada Puente-H, estas categorías son: simétricas o asimétricas. Se consideran simétricas si los voltajes de DC-link de todos los puentes son iguales entre sí o asimétricas a aquellas cuyos voltajes de DC-link son diferentes. Lo común es encontrar voltajes con relaciones 1:2 o 1:3 [45].

La **Figura 2.12** muestra la forma de onda del voltaje de salida para el convertidor en cascada tipo Puente-H de 7 niveles. El esquema Puente-H es capaz de generar tres niveles de voltajes de salida diferentes, que son:  $V_{dc}$ , 0 y  $-V_{dc}$ . El voltaje de salida resultante es la suma de los voltajes individuales generados por cada puente, por tanto, el voltaje de salida puede tomar los siguientes valores :  $+3V_{dc}$ ,  $+2V_{dc}$ ,  $+1V_{dc}$ , 0,  $-1V_{dc}$ ,  $-2V_{dc}$ ,  $-3V_{dc}$ .



**Figura 2.11** Convertidor de Puente-H en cascada



**Figura 2.12** Señal de salida del CHB de 7 niveles

En la **Tabla 2.2** se representan los primeros quince vectores de disparo asignados a los interruptores S1, S2, S3 y S4 de la interconexión en cascada con tres celdas CHB.

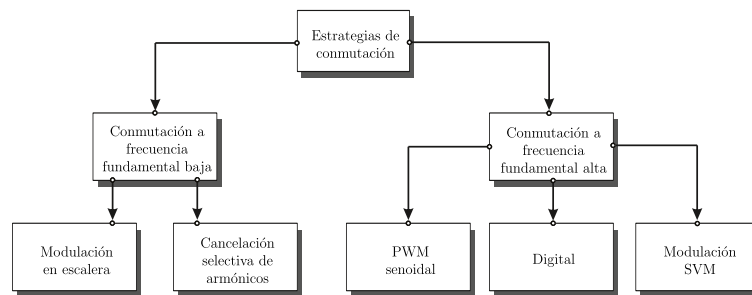
La mayor ventaja de la que goza esta topología es su modularidad. Gracias a ella se puedan construir convertidores de un número de niveles muy elevado. En contrapartida, su mayor inconveniente es la necesidad de que los voltajes de alimentación de cada celda sean independientes. Será necesario, por lo tanto, el empleo de tantas fuentes aisladas como celdas tenga el convertidor. Para aplicaciones en las que no se manipule potencia activa (filtrado activo, compensación de reactiva, etc.), si se eligen adecuadamente los estados redundantes de conmutación de los interruptores, se puede controlar la carga de los condensadores y, por lo tanto, evitar el uso de fuentes aisladas [48].

| $S_{i,j}$ |           |           |           |           |           | $i$ | Valor de $v_c$ |
|-----------|-----------|-----------|-----------|-----------|-----------|-----|----------------|
| $Sa_{11}$ | $Sa_{13}$ | $Sa_{21}$ | $Sa_{23}$ | $Sa_{31}$ | $Sa_{33}$ |     |                |
| 0         | 0         | 0         | 0         | 0         | 0         | 1   | 0              |
| 0         | 0         | 0         | 0         | 0         | 1         | 2   | -1             |
| 0         | 0         | 0         | 0         | 1         | 0         | 3   | 1              |
| 0         | 0         | 0         | 0         | 1         | 1         | 4   | 0              |
| 0         | 0         | 0         | 1         | 0         | 0         | 5   | -1             |
| 0         | 0         | 0         | 1         | 0         | 1         | 6   | -2             |
| 0         | 0         | 0         | 1         | 1         | 0         | 7   | 0              |
| 0         | 0         | 0         | 1         | 1         | 1         | 8   | -1             |
| 0         | 0         | 1         | 0         | 0         | 0         | 9   | 1              |
| 0         | 0         | 1         | 0         | 0         | 1         | 10  | 0              |
| 0         | 0         | 1         | 0         | 1         | 0         | 11  | 2              |
| 0         | 0         | 1         | 0         | 1         | 1         | 12  | 1              |
| 0         | 0         | 1         | 1         | 0         | 0         | 13  | 0              |
| 0         | 0         | 1         | 1         | 0         | 1         | 14  | -1             |
| 0         | 0         | 1         | 1         | 1         | 0         | 15  | 1              |

**Tabla 2.2** Primeros 15 vectores de disparo de un convertidor CHB de tres celdas

### 2.2.3. Estrategias de control de los convertidores multiniveles

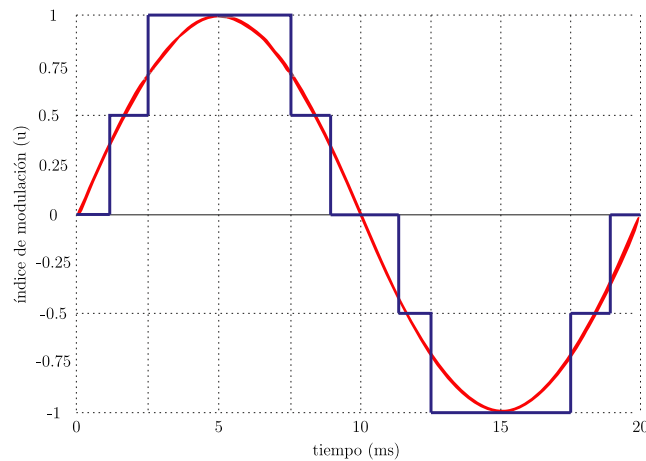
Las técnicas de conmutación para los convertidores multiniveles pueden agruparse tomando como parámetro la frecuencia de conmutación de los interruptores de potencia en las siguientes categorías mostradas en la **Figura 2.13**.



**Figura 2.13** Taxonomía básica de las estrategias de modulación multinivel

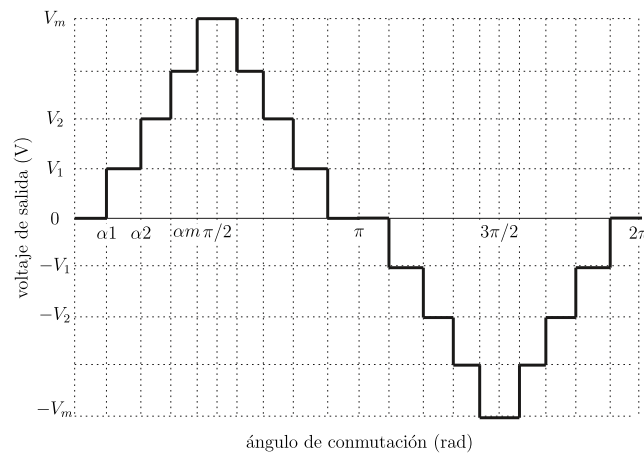
Entre los objetivos buscados mediante las diferentes estrategias de conmutación se tiene la minimización de los niveles de armónicos de las señales de salida del convertidor, regulación de la amplitud y frecuencia de salida así como el equilibrio de los voltajes en los capacitores del DC-link, siempre y cuando la topología y la implementación lo requieran [36]. El objetivo del presente apartado es mostrar un panorama de las diferentes estrategias de conmutación multinivel más empleados, haciendo énfasis en las ventajas e inconvenientes que presentan cada una [19].

**Modulación en escalera:** Es una de las primeras estrategias de modulación utilizada en convertidores multinivel y se limitan a la generación de formas de onda escalonadas, como se observa la **Figura 2.14**. Las ventajas más importantes de esta estrategia de modulación son la simplicidad para su implementación así como su baja frecuencia de conmutación, lo que posibilita su aplicación en convertidores basados en dispositivos GTO. Sin embargo, el voltaje de salida obtenido presenta un contenido armónico elevado, además de ofrecer una respuesta dinámica lenta debido a su baja frecuencia de conmutación. Su principal uso se encuentra en convertidores de muy alta potencia como ser los sistemas de distribución de potencia, accionamiento de motores, en donde se busca minimizar las pérdidas de conmutación mediante la reducción de la frecuencia de conmutación [42].



**Figura 2.14** Voltaje de salida escalonada multinivel para una referencia sinusoidal

**Cancelación selectiva de armónicos:** En la **Figura 2.15** se muestra una forma de onda de voltaje con una simetría de un cuarto de periodo, donde se tienen  $m$  ángulos de conmutación ( $\alpha_1, \alpha_2, \dots, \alpha_m$ ). Desarrollando en series de Fourier la señal de voltaje, y seleccionando adecuadamente los ángulos de conmutación, es posible cancelar hasta  $m - 1$  armónicos, reservando un grado de libertad para controlar la amplitud de la fundamental.

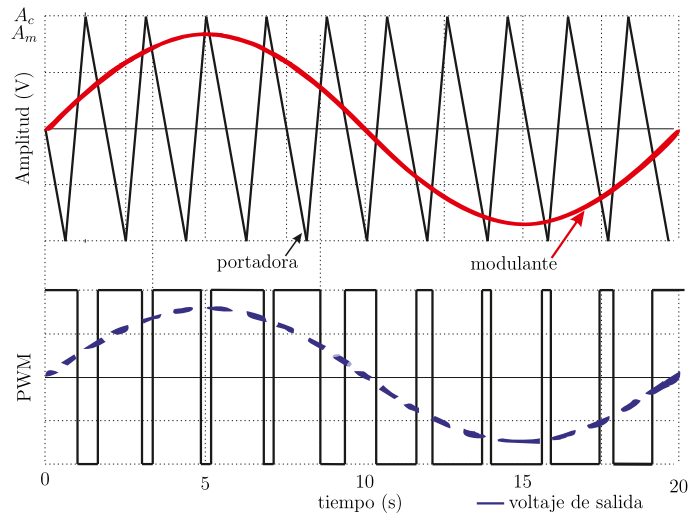


**Figura 2.15** Voltaje de salida escalonado con  $m$  ángulos de conmutación

En general, se suele seleccionar la cancelación de los armónicos más significativos de baja frecuencia, mientras que se recurre a filtros si se desea eliminar los armónicos de mayor frecuencia. Para conseguir la cancelación efectiva de los armónicos, la magnitud de los  $m$  ángulos de conmutación ( $\alpha_1, \alpha_2, \dots, \alpha_m$ ) deben estar comprendidos entre los valores de 0 y  $\pi/2$ , lo que resulta en un margen estrecho de variación del índice de modulación. Esto representa una limitación de esta estrategia de modulación. A modo de ejemplo, en una señal escalonada de siete niveles, el índice de modulación disponible está comprendido entre los valores de 0.5 y 1.05 [42].

**Modulación PWM sinusoidal:** La modulación de ancho de pulso sinusoidal (Sinusoidal Pulse Width Modulation), es una de las estrategias de modulación más empleadas en aplicaciones industriales debido principalmente a su simplicidad. La estrategia consiste en comparar una señal tipo sinusoidal a la frecuencia fundamental ( $f_m$ ) de salida de 50 o 60 Hertz, conocida como moduladora, y otra señal de tipo triangular o diente de sierra ( $f_c$ ) a la que se denomina señal portadora, ésta última es de frecuencia mayor que la señal moduladora. De la comparación de estas dos señales se obtiene como resultado los pulsos de disparo para los interruptores del potencia del convertidor. En la **Figura 2.16** se observa las formas de onda de la señal moduladora y de la señal portadora del tipo triangular [36].

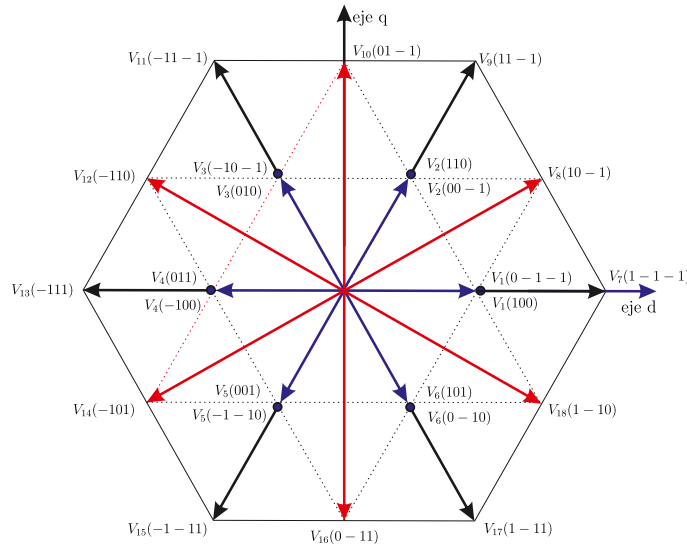
**Modulación vectorial (SVM):** La estrategia de modulación basada en vectores espaciales (Space Vector Modulation) SVM o SVM-PWM es una técnica bastante estudiada y ampliamente utilizada en convertidores ya sean convencionales o del tipo multiniveles. En la técnica SVM el puente inversor es manejado por ocho estados de conmutación. Se considera la una alternativa de modulación eficaz para inversores ya que maximiza el uso del voltaje de DC-link, su contenido armónico es bajo y minimiza pérdidas por



**Figura 2.16** Señal moduladora sinusoidal y portadora triangular

conmutación. Cada uno de los posibles estados del convertidor se representa mediante un vector de voltaje y el conjunto de todos estos vectores de estado configura el diagrama vectorial de voltajes del convertidor. El voltaje de salida deseado se puede expresar como un vector de referencia o modulación dentro del diagrama vectorial de voltajes, cuyo módulo se relaciona con la amplitud del voltaje de salida, donde la velocidad de giro es igual a la pulsación deseada del voltaje de salida y su fase coincide con la fase de salida. En la **Figura 2.17** se observa el diagrama de vectores de estado para un convertidor de tres niveles. El mismo cuenta con 27 estados posibles expresados por 19 vectores de estado diferentes, junto con un posible vector de modulación [36].

El giro del vector de referencia se discretiza en cada periodo de conmutación. Dentro de un periodo de conmutación, se debe generar el vector de referencia correspondiente a dicho periodo a partir de los vectores mostrados en el diagrama. Dado que cada vector de modulación discretizado normalmente no coincide con ningún vector de estado del convertidor, se genera su valor a partir del promediado de dos o más vectores de estado. La selección de vectores es un factor relevante para obtener un contenido armónico reducido en el voltaje de salida así como mantener el equilibrio de los capacitores del convertidor mediante la selección adecuada de los estados redundantes del convertidor.



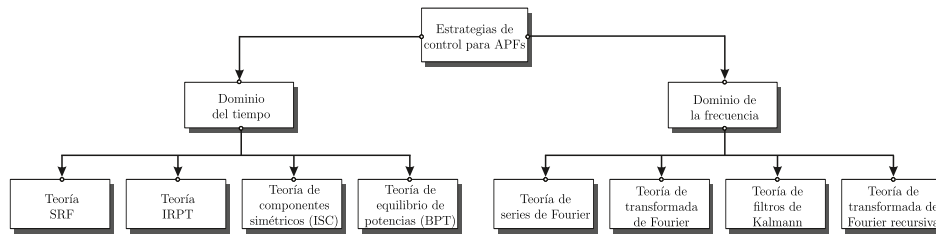
**Figura 2.17** Diagrama de vectores de estado y vector de modulación para un inversor de tres niveles

### 2.3. Teoría de los filtros activos de potencia trifásicos en paralelo

Los sistemas de distribución de AC actuales enfrentan una serie de problemas referentes a la calidad de la energía, especialmente debido al uso de equipos sensibles en la mayoría de las aplicaciones industriales, residenciales y comerciales. Estos problemas de calidad de la energía se clasifican como problemas de calidad en el voltaje y calidad en la corriente en los sistemas de distribución. Dispositivos como los DSTATCOM (distribution static compensators), Los DVR (dynamic voltage restorers) y los UPQC (unified power quality conditioners) se utilizan para mitigar algunos de los problemas mencionados. Entre ellos, los DSTATCOM se utilizan ampliamente para mitigar los problemas de calidad de la energía como ser un factor de potencia deficiente, corrientes desequilibradas y el aumento de la corriente en el neutro [49].

Los compensadores activos en paralelo, mediante algunas modificaciones pueden ser implementados como APF en paralelo, de manera eficaz para eliminar los armónicos de corriente generados por cargas no lineales. Por supuesto, el objetivo principal de APF paralelo siempre ha sido la de reducir los niveles de energía reactiva presentes en la red eléctrica. El presente capítulo se centra en el análisis de las configuraciones, el modelado y el diseño de los APFs. Se aborda además los algoritmos de control aplicados a los APFs en configuración paralelo.





**Figura 2.18** Estrategias de control aplicadas al APF paralelo

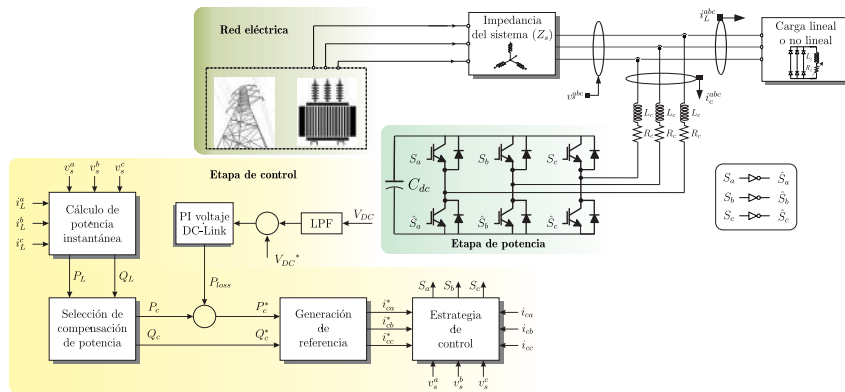
### 2.3.1. Estrategias de control aplicadas al APF paralelo

Existen varios algoritmos de control aplicados al APF paralelo, los cuales se clasifican como algoritmos de control en el dominio de tiempo y dominio de frecuencia. Algunos de los algoritmos de control más utilizados en los APFs se muestran en la **Figura 2.18**.

La mayoría de los algoritmos de control en dominio de la frecuencia se utilizan para el monitoreo de la calidad de la energía como ser en dispositivos como ser los analizadores de potencia, instrumentos PQ, etc. Algunos de ellos se han utilizado para el control de SAPF. Sin embargo, estos algoritmos son lentos y requieren un gran costo computacional, por lo que estos métodos de control no son muy preferidos para el control en tiempo real de un APF en comparación con los algoritmos de control en el dominio del tiempo. Por los motivos antes mencionados, este apartado sólo se centrará en la teoría SRF en el plano d-q y en la teoría basada en el controlador IRPT, también conocida como teoría PQ [50].

### 2.3.2. Filtro Activo de Potencia trifásico de tres hilos

Una característica particular de los sistemas trifásicos de tres hilos es la ausencia del conductor neutro y, en consecuencia, la ausencia de componentes de corriente de secuencia cero. Por lo tanto, la potencia de secuencia cero siempre es nula en estos sistemas. La **Figura 2.19** muestra los bloques más importantes de un APF en conexión paralelo trifásico de tres hilos para la compensación de corriente. El bloque de control que calcula la potencia instantánea toma como entradas los voltajes de fase en el PCC y las corrientes de línea de la carga no lineal que deben compensarse, además se requiere de las mediciones del voltaje de DC-link para determinar las pérdidas de potencia debido al accionamiento del APF mediante un control externo PI. Esto significa que el filtro activo en conexión paralelo posee una característica de compensación selectiva. En otras palabras, se comporta como un circuito abierto para las corrientes armónicas generadas por otras cargas no lineales adyacentes [50, 51].



**Figura 2.19** APF trifásico en conexión paralelo, de tres hilos

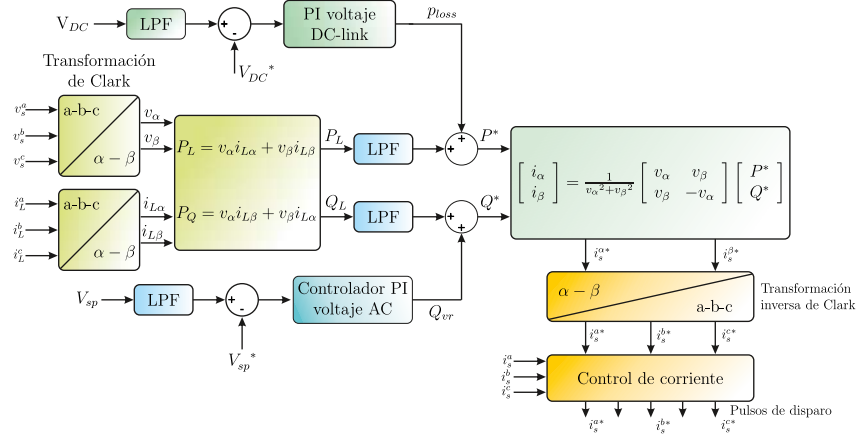
El controlador del APF consta de cuatro bloques funcionales, que son:

- Cálculo de potencia instantánea
- Selección de compensación de potencia
- Regulador de voltaje de DC
- Cálculo de referencia

El primer bloque se encarga de calcular las potencias instantáneas de la carga no lineal, que acuerdo con la teoría de potencia instantánea P-Q, estas son la potencia activa (P) y la reactiva (Q), teniendo en cuenta que la potencia de secuencia cero (P0) es nula. El segundo bloque determina la función del APF paralelo, en otras palabras, selecciona las consignas a ser compensadas ya sea la potencia reactiva o los armónicos existentes en la red.

El bloque regulador de voltaje de DC determina una cantidad adicional de potencia real, representada por la pérdida de potencia  $P_{loss}$  en la **Figura 2.19**, que provoca un flujo adicional de energía hacia o desde el capacitor de DC-link necesaria para mantener su voltaje alrededor de una referencia valor fijo. Esta pérdida de potencia real  $p$  se agrega a la potencia real a compensar  $P_c$ , que, junto con la potencia imaginaria a compensar  $Q_c$ , que se utiliza en el bloque de generación de referencias para determinar la corriente de compensación instantánea de las potencias.

El circuito de potencia del APF paralelo consiste en un convertidor VSC trifásico compuesto generalmente por dispositivos IGBT o en algunas aplicaciones recientes en dispositivos tipo SiC-MOSFET. El control de corriente PWM obliga al VSC a comportarse como una fuente de corriente controlada. Para evitar altos valores de  $dv/dt$ , el acoplamiento del VSC a la red eléctrica debe realizarse a través de un inductor en serie, comúnmente



**Figura 2.20** Algoritmo de control de un APF utilizando la teoría IRPT

conocido como inductor de acoplamiento, el cual junto a su inductancia  $L_c$  y resistencia interna  $R_c$  forman un filtro tipo  $R - L$ , necesario para filtrar las señales de corriente alrededor de la frecuencia de conmutación [50].

### 2.3.3. Control de un APF paralelo basado en la teoría IRPT

En la teoría IRPT los voltajes trifásicos medidos y las corrientes de carga se transforman en magnitudes bifásicas en el marco de referencia  $\alpha - \beta$  utilizando la transformación de Clark. El algoritmo de control de un APF paralelo utilizando la teoría IRPT (Instantaneous reactive power theory) se muestra en la **Figura 2.20**. Las corrientes de la carga trifásica y los voltajes en el punto PCC se miden y son utilizadas para calcular las potencias activa y reactiva debido a los componentes armónicos. Los voltajes de la red trifásica se miden y procesan a través de filtro pasa bajos (LPF) antes de su transformación de manera a eliminar su contenido de ondulatorio y se denotan como  $(v_{sa}, v_{sb}$  y  $v_{sc})$ . Además, se requiere de la medición del voltaje de DC-link de manera a estimar las pérdidas de potencia en el APF [52]. Se acostumbra utilizar un filtro de Butterworth de primer orden como LPF.

Los voltajes de la red trifásicos son transformados a los marcos de referencia ortogonales  $\alpha - \beta$  bifásicas, denotados como  $v_\alpha$  y  $v_\beta$ :

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & \frac{1}{2} \\ 0 & \sqrt{\frac{3}{2}} & -\sqrt{\frac{3}{2}} \end{bmatrix} \begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} \quad (2.1)$$

De manera similar, las corrientes de carga trifásica ( $i_{La}, i_{Lb}, i_{Lc}$ ) se transforman a los marcos de referencia ortogonales  $\alpha - \beta$ , denominadas  $i_{L\alpha}$  e  $i_{L\beta}$  como:

$$\begin{bmatrix} i_{L\alpha} \\ i_{L\beta} \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & \frac{1}{2} \\ 0 & \sqrt{\frac{3}{2}} & -\sqrt{\frac{3}{2}} \end{bmatrix} \begin{bmatrix} i_{La} \\ i_{Lb} \\ i_{Lc} \end{bmatrix} \quad (2.2)$$

A partir de las expresiones de voltajes y corrientes en el marco de referencia  $\alpha - \beta$ , la potencia activa instantánea  $P_L$  y la potencia reactiva instantánea  $Q_L$  de la carga se calculan como:

$$\begin{bmatrix} P_L \\ Q_L \end{bmatrix} = \begin{bmatrix} v\alpha & v\beta \\ v\beta & -v\alpha \end{bmatrix} \begin{bmatrix} i_{L\alpha} \\ i_{L\beta} \end{bmatrix} \quad (2.3)$$

La potencia instantánea activa  $P_L$  puede desdoblarse en las potencias  $\bar{p}_L$  y  $\tilde{p}_L$ , que representan al valor medio de la potencia activa y a la componente armónica de dicha potencia, respectivamente, y análogamente  $\bar{q}_L$  y  $\tilde{q}_L$  representan al valor medio de la potencia reactiva y la componente armónico de la potencia reactiva, respectivamente. Por lo tanto, estos pueden expresarse como:

$$\begin{aligned} P_L &= \bar{p}_L + \tilde{p}_L \\ Q_L &= \bar{q}_L + \tilde{q}_L \end{aligned} \quad (2.4)$$

Los componentes AC ( $\tilde{p}_L$  y  $\tilde{q}_L$ ), de las potencias activa y reactiva se extraen utilizando filtros pasa bajos y las corrientes de referencia trifásicas ( $i_{sa}^*$ ,  $i_{sb}^*$  e  $i_{sc}^*$ ), se obtienen mediante las siguientes expresiones:

$$\begin{bmatrix} i_{sa}^* \\ i_{sb}^* \\ i_{sc}^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v\alpha & v\beta \\ -v\beta & v\alpha \end{bmatrix}^{-1} \begin{bmatrix} p^* \\ q^* \end{bmatrix} \quad (2.5)$$

En la **Figura 2.20** se observa que las potencias de referencia  $p^*$  y  $q^*$  requieren del cálculos de los valores de  $P_{loss}$  y  $Q_{vr}$ , que son respectivamente, la potencia activa instantánea necesaria para ajustar el voltaje del capacitor de DC-link a su valor de referencia, debido a las variaciones del voltaje en los mismos durante el funcionamiento del APF, y la potencia reactiva instantánea necesaria para ajustar el voltaje de la red AC a su valor de referencia. Además, para la determinación de las potencias de referencia, se utilizan las

potencias  $P_L$  y  $Q_L$  activa y reactiva de la carga cuyas magnitudes se determinan mediante el uso de la transformación de Clarke.

El método de control basado en la teoría IRPT puede modificarse fácilmente para el control de las corrientes de red de forma indirecta. Para este caso, el modo de operación de corrección del factor de potencia del APF, se requiere que  $p^* = P_L + P_{loss}$  y  $q^* = Q_L + Q_{vr} = 0$  en la ecuación 2.5, y después de la transformación desde el marco de referencia  $\alpha - \beta$  al marco de referencia en el dominio del tiempo  $a-b-c$ , las corrientes trifásicas transformadas son las corrientes de referencia de la red eléctrica y deben ser comparadas con las corrientes de red medidas como se muestra en la **Figura 2.20** para el control de corriente indirecta del APF.

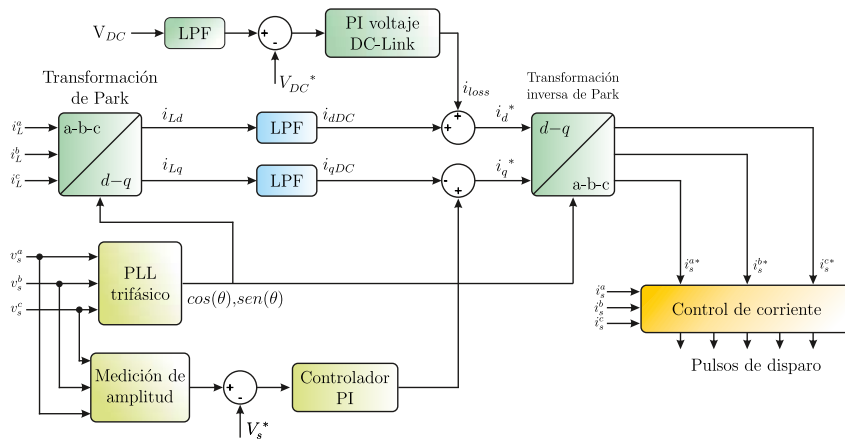
Para la regulación de voltaje en el punto PCC (modo de operación de regulación de voltaje del APF), se utiliza un controlador de voltaje PI, cuya salida se denomina  $qvr$  y a la cual se resta la potencia  $Q_L$  para estimar la potencia de referencia  $q^* = qvr - Q_L$ .

#### 2.3.4. Control de un APF basado en la teoría SRF

La teoría SRF (Synchronous Reference Frame) puede ser empleado para el control de un convertidor de potencia trifásico de tres hilos, aplicado a un APF. El diagrama en bloques del esquema de control se observa en la **Figura 2.21**, en la misma, las corrientes de carga ( $i_{La}$ ,  $i_{Lb}$  e  $i_{Lc}$ ), los voltajes de red ( $v_{sa}$ ,  $v_{sb}$  y  $v_{sc}$ ) y el voltaje del DC-link ( $V_{DC}$ ) del APF son variables medidas y se utilizan señales de entrada para el algoritmo implementado en el dispositivo controlador. Las corrientes de carga en las tres fases se convierten al marco de referencia  $dq0$  utilizando las ecuaciones de la transformación de Park de la siguiente manera:

$$\begin{bmatrix} i_{Ld} \\ i_{Lq} \\ i_{L0} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos\theta & -\sin\theta & \frac{1}{2} \\ \cos\left(\theta - \frac{2}{3}\pi\right) & -\sin\left(\theta - \frac{2}{3}\pi\right) & \frac{1}{2} \\ \cos\left(\theta + \frac{2}{3}\pi\right) & -\sin\left(\theta + \frac{2}{3}\pi\right) & \frac{1}{2} \end{bmatrix} \begin{bmatrix} i_{La} \\ i_{Lb} \\ i_{Lc} \end{bmatrix} \quad (2.6)$$

Se requiere del uso de un PLL trifásico para la determinación del ángulo de fase  $\theta$  para sincronizar estas señales con los voltajes de red. Las componentes de corriente d-q pasan a través de filtros de paso bajo (LPF) para extraer los componentes de DC de  $i_{Ld}$  e  $i_{Lq}$ . Las corrientes en los ejes d y q pueden ser representadas como la suma de su componentes fundamentales y armónicos de la siguiente manera:



**Figura 2.21** Algoritmo de control de un APF utilizando la teoría SRF

$$\begin{aligned} i_{Ld} &= i_{dDC} + i_{dAC} \\ i_{Lq} &= i_{qDC} + i_{qAC} \end{aligned} \quad (2.7)$$

La característica fundamental de este controlador es la utilización de un marco de referencia que gira en el plano complejo sincronizado con la señal de voltaje en el punto de conexión. La introducción de esta nueva transformación hace posible el cálculo de las componentes activa y no activa de la corriente de carga sin necesidad de determinar previamente la potencia. Un controlador SRF extrae las magnitudes de DC mediante un filtro paso bajo y, por lo tanto, y una vez obtenida esta, es posible calcular la componente AC, restando de la corriente ya sea  $i_{Ld}$  o  $i_{Lq}$ . El beneficio obtenido de la aplicación de la teoría SRF es que se trata con magnitudes de DC. Para aplicaciones de control, las magnitudes DC son fácilmente controlables sin presentar errores de estado estacionario.

La teoría SRF permite operar en modo de Factor de potencia unitario (UPF) y en el modo de Regulación de voltaje cero (ZVR).

**Modo de factor de potencia unitario:** La estrategia de control para la compensación de potencia reactiva en el modo de operación UPF considera que la red debe entregar la componente DC de la corriente de carga ( $i_{dDC}$ ), junto con la componente de potencia activa de la corriente de carga necesaria para mantener el DC-link, supliendo las pérdidas ( $i_{loss}$ ) en la APF [53]. La salida del controlador PI de voltaje del DC-link del APF corresponde a la corriente ( $i_{loss}$ ) necesaria para satisfacer las pérdidas de potencia durante el funcionamiento del filtro, según se observa en la ecuación 2.8:

$$\begin{aligned} i_{loss} &= i_{loss}(n-1) + K_p * (V_{de}(n) - V_{de}(n-1)) + K_i * V_{de}(n) \\ V_{de}(n) &= V_{DC}^* - V_{DC}(n) \end{aligned} \quad (2.8)$$

donde,  $V_{de}(n)$  representa el error entre la referencia  $V_{DC}^*$  y el voltaje DC medido  $V_{DC}(n)$  en el instante de muestreo  $n$ ,  $K_p$  y  $K_i$  son las constantes de ganancia proporcional e integral del controlador PI de voltaje del DC-link, respectivamente.

Mientras que la corriente de referencia  $i_d^*$  en el eje directo viene dado por:

$$i_d^* = i_{dDC} + i_{loss} \quad (2.9)$$

La corriente de referencia de la red debe estar en fase con el voltaje de la red, pero sin componente de secuencia cero. Por lo tanto, se obtiene mediante la transformación inversa de Park y las consideraciones mencionadas las corrientes de referencia de la red como:

$$\begin{bmatrix} i_{sa}^* \\ i_{sb}^* \\ i_{sc}^* \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta & 1 \\ \cos(\theta - \frac{2}{3}\pi) & \sin(\theta - \frac{2}{3}\pi) & 1 \\ \cos(\theta + \frac{2}{3}\pi) & \sin(\theta + \frac{2}{3}\pi) & 1 \end{bmatrix} \begin{bmatrix} i_d^* \\ i_q^* \\ i_0^* \end{bmatrix} \quad (2.10)$$

**Modo de regulación de voltaje cero:** La estrategia de control para el modo de operación ZVR del APF considera que la red debe entregar la componente DC de la corriente de carga ( $i_{dDC}$ ), junto con la componente de potencia activa de la corriente de carga necesaria para mantener el DC-link, supliendo las pérdidas ( $i_{loss}$ ) en la APF, al igual que el modo UPF, la diferencia radica en que de la corriente del eje en cuadratura de la carga ( $i_{qDC}$ ) y el componente obtenido a través del controlador PI de voltaje ( $i_{qr}$ ) es utilizado para regular el voltaje de la red en el punto PCC.

La amplitud del voltaje  $V_s$  en el punto PCC se regula a su voltaje de referencia ( $V_s^*$ ) mediante el controlador PI de voltaje. La salida de dicho controlador corresponde a la componente reactiva de la corriente ( $i_{qr}$ ) para la regulación de voltaje cero en el PCC. La amplitud del voltaje en el PCC se calcula a partir de los voltajes de red medidos ( $v_{sa}$ ,  $v_{sb}$ ,  $v_{sc}$ ) de la siguiente manera:

$$V_{sp} = \sqrt{\frac{2}{3}} * \sqrt{(v_{sa}^2 + v_{sb}^2 + v_{sc}^2)} \quad (2.11)$$

Luego, se utiliza un controlador PI de voltaje para regular el voltaje  $V_{sp}$  a un valor de referencia, como se observa en la siguiente ecuación:

$$\begin{aligned} i_{qr}(n) &= i_{qr}(n-1) + K_p * (V_{te}(n) - V_{te}(n-1)) + K_i * V_{te}(n) \\ V_{te}(n) &= V_{sp}^* - V_{sp}(n) \end{aligned} \quad (2.12)$$

donde,  $V_{te}(n)$  representa el voltaje de error entre la referencia  $V_{sp}^*$  y voltaje  $V_{sp}(n)$  en el instante de muestreo  $n$ ,  $K_p$  y  $K_i$  corresponden a las constantes de ganancia proporcional e integral del controlador PI respectivamente.

La corriente de referencia  $i_q^*$  en el eje de cuadratura viene dado por:

$$i_q^* = i_{qr} + i_{qDC} \quad (2.13)$$

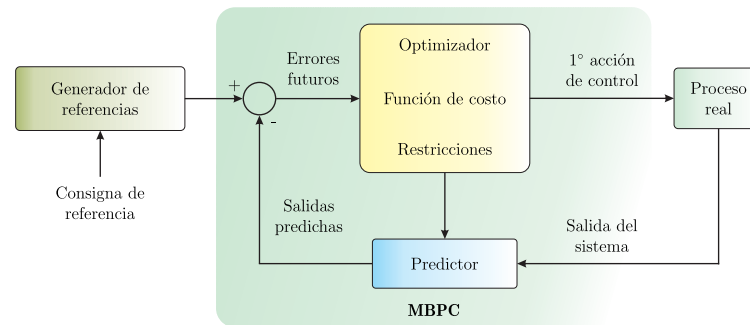
Las corrientes de referencia de la red trifásica se obtienen mediante la transformación inversa de Park utilizando la ecuación 2.10 con un valor de  $i_d^*$  dado por la ecuación 2.9, mientras que  $i_q^*$  está dado por la ecuación 2.13 e  $i_0$  con valor igual cero.

## 2.4. Estrategias de control aplicadas al filtro activo de potencia

El uso de convertidores de potencia se ha vuelto muy popular en las últimas décadas para una amplia gama de aplicaciones, como se la conversión de energía, control de motores y generación distribuida. El control de los convertidores de potencia ha sido ampliamente estudiado y se presentan nuevos esquemas de control cada año. Se han propuesto varios esquemas de control para el control de convertidores de potencia, entre estos, el control de histéresis y el control lineal con modulación PWM son los más desarrollados en la literatura. Sin embargo, con el desarrollo de microprocesadores más potentes, es posible la implementación de esquemas de control nuevos y más complejos, entre los que es posible mencionar al control basado en lógica difusa, control de modo deslizante y control predictivo. La lógica difusa es adecuada para aplicaciones en las que se desconoce el sistema controlado o algunos de sus parámetros. El control de modo deslizante presenta robustez y tiene en cuenta la naturaleza de conmutación de los convertidores de potencia [54].

El control predictivo presenta varias ventajas que lo hacen adecuado para el control de convertidores de potencia: es conceptualmente intuitivo y fácil de comprender, se puede aplicar a una gran variedad de sistemas, además, las restricciones y las no linealidades se pueden incluir fácilmente. Otra ventaja es que puede considerar casos multivariados y el controlador resultante es de fácil implementación. La desventaja del control predictivo es que requiere de una gran potencia de cálculos en comparación con un esquema de control





**Figura 2.22** Diagrama de bloques del MBPC

tradicional, sin embargo los nuevos y veloces procesadores disponibles actualmente hacen posible su implementación [55].

#### 2.4.1. El control predictivo basado en el modelo

El Control Predictivo Basado en Modelo (model-based predictive control) o MBPC, describe a una amplia familia de controladores y a no a una estrategia de control específica. Los elementos comunes de este tipo de controladores son que utilizan un modelo explícito del proceso a controlar llamado modelo de predicción, el cual se utiliza para predecir el comportamiento del sistema en un tiempo futuro a lo largo de un horizonte temporal, llamado horizonte de predicción, y la selección de las actuaciones óptimas minimizando una función de costo [56, 57]. Los pasos que se ejecutan al implementar la técnica MBPC se pueden describir en el flujograma mostrado en la **Figura 2.22** [58, 59].

- **Predictor:** Basado en el modelo del proceso, es el responsable de calcular, para cada instante de muestreo  $t$ , las predicciones de la evolución dinámica del proceso  $[y(t+1 | t), \dots, y(t+N | t)]$  a lo largo del horizonte de predicción  $N$ , a partir de la información disponible hasta ese instante, o sea las medidas de las variables del proceso y entradas pasadas hasta el instante actual  $t$  y una ley de control postulada o futura  $[u(t | t), \dots, u(t+N | t)]$  a lo largo del horizonte de predicción.
- **Función de costo:** Las acciones de control futuras se calculan de manera a minimizar una determinada función de costo. De esta manera, la función de costo asigna un valor a cada predicción y por tanto a cada ley de control postulada. El objetivo principal de la función de costo consiste en mantener la salida del proceso  $y(t+k | t)$  lo más cercano posible de una trayectoria de referencia  $w(t+k)$  que describe cómo se desea guiar dicha salida desde su valor actual  $y(t)$  hasta sus puntos de consigna

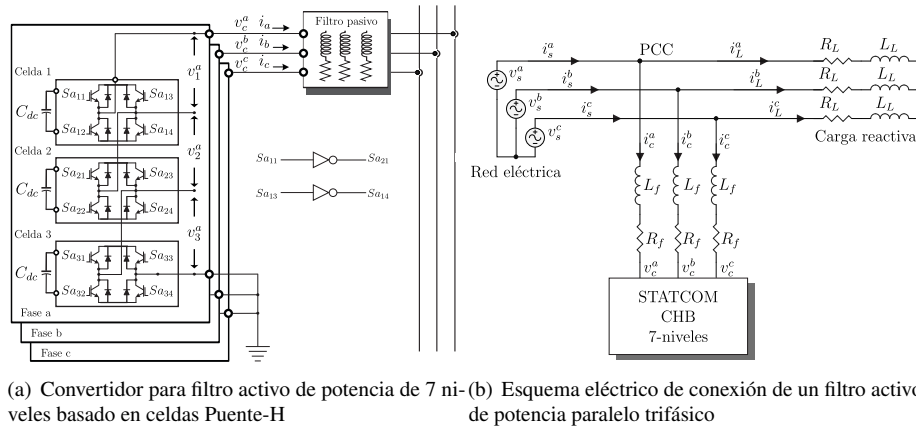
futuros [58]. Por lo tanto, el valor cuadrático del error, o su valor absoluto, se emplea comúnmente para encontrar el valor mínimo de la función de costo [55].

- **Optimizador:** Se encarga de encontrar el vector de las acciones de control que optimice la función de costo. Generalmente en este proceso de búsqueda se realiza de manera iterativa realizando evaluaciones de la ley de control, tratando de acercarse a dicha ley de manera óptima. Además, si la función de costo definida es cuadrática, el modelo utilizado es lineal y no existen restricciones para ninguna señal implicada, entonces es posible encontrar una solución analítica para el problema de optimización. En caso contrario, es necesario utilizar, en general, un método numérico de optimización [58].
- **Horizonte móvil:** Una vez calculada las acciones de control futuras que en el instante de muestreo optimiza la función de costo, se hace uso del concepto de horizonte móvil. Solamente se aplica como entrada al proceso  $u(t | t)$  la primera de ellas, despreciando el resto, puesto que en el siguiente instante de muestreo  $t + 1$ , la salida  $y(t + 1)$  ya es conocida, y con esa nueva información se repiten los pasos anteriormente mencionados, obteniendo de esta forma la señal de control  $u(t + 1 | t + 1)$  a aplicar en ese instante, la cual no es igual a la que se había postulado en el instante anterior  $u(t + 1 | t)$  [58].

El análisis de la metodología de control MBPC muestra que, independientemente de cual sea la implementación a ser realizada, cualquier MBPC puede ser entendida como un problema de optimización en cada periodo de muestreo (horizonte móvil) que consta de tres elementos fundamentales: predictor, función de costo y optimizador [58], [60].

#### 2.4.2. Modelo predictivo del convertidor multinivel

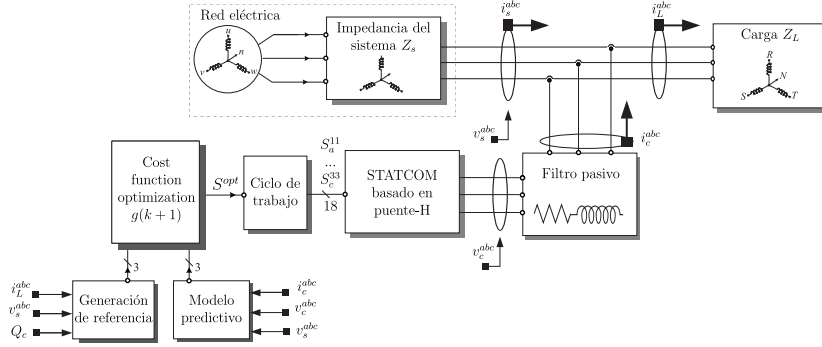
La presente Tesis Doctoral se centra en un convertidor tipo Puente-H en cascada trifásico en el modo simétrico, para aplicar el voltaje de salida a una carga ya sea del tipo R-L o una carga no lineal. Existen varias estrategias para controlar y modular un convertidor de potencia CHB, pero de entre las opciones disponibles en la literatura, se selecciona el control MBPC [61]. En esta sección se presenta un análisis sobre diferentes esquemas de control MBPC, ya sea el predictivo clásico o el modulado, para ello, primeramente se ilustra en detalle el modelo matemático del convertidor CHB [62, 63]. La **Figura 2.23 (a)** muestra la topología de interconexión de las celdas Puente-H en cascada que integra el convertidor de siete niveles. Tal como puede apreciarse, el convertidor integra tres celdas Puente-H por cada fase, interconectadas entre sí conforme el diagrama de bloques, donde puede observarse además que cada celda posee un DC-link independiente que se conforma



**Figura 2.23** Diagrama de bloques del convertidor multinivel y topología de interconexión en un esquema de filtro activo de potencia

a partir de unos capacitores ( $C_{dc}$ ), de valores acorde a la capacidad de compensación del APF. Cada celda contiene cuatro dispositivos de potencia del tipo SiC-MOSFET, lo que da como resultado un total de 36 interruptores. En consecuencia, se necesitan de cuatro señales de conmutación ( $S_{fij}$ ) para controlar cada celda, donde  $f$  representa la fase ( $a$ ,  $b$  y  $c$ ),  $i$  el número de celda en la fase correspondiente (1, 2 o 3) y  $j$  el dispositivo de conmutación correspondiente a la celda (1, 2, 3 o 4), respectivamente. Para evitar cortocircuitos en una misma rama de un medio Puente-H del convertidor, se utilizan dos señales de activación y sus niveles complementarios como se muestra en la **Figura 2.23 (a)**, dichas señales complementarias son generadas mediante un esquema hardware de tal manera que de las cuatro señales necesarias para el control del Puente-H sólo se requiere de la transmisión de dos señales. El acoplamiento de los convertidores Puente-H con la red eléctrica y la carga se realiza mediante un filtro tipo R-L cuya importancia radica en suavizar las señales de corriente inyectadas a la red, este filtro R-L debe ser modelado para su consideración dentro del MBPC.

**Modelo predictivo del filtro activo de potencia:** El modelo dinámico de la configuración del circuito que conforma el filtro activo de potencia multinivel observado en la **Figura 2.23 (b)**, se puede obtener utilizando las leyes de Kirchhoff. Para fines de modelado, se supone que las fuentes de voltajes trifásicas están balanceadas y que todas las celdas Puente-H del convertidor multinivel poseen la misma capacitancia y voltaje en su lado de continua. Se realiza el análisis de mallas para cada fase de manera independiente, quedando reducida la ecuación a la de un equivalente monofásico. Como puede apreciarse en la **Figura 2.23 (b)**, el filtro activo de potencia está conectado en el PCC, en paralelo



**Figura 2.24** Esquema de control propuesto para el filtro activo de potencia multinivel trifásico

con la carga que genera la potencia reactiva a compensar y a la red eléctrica. Aplicando la ley de voltajes de Kirchhoff se obtienen las siguientes ecuaciones [64], [65]:

$$\frac{di_c^{abc}}{dt} = \frac{v_s^{abc}}{L_f} - \frac{R_f}{L_f} i_c^{abc} - \frac{n_c S_{fij} v_{dc}^{abc}}{L_f} \quad (2.14)$$

Para el caso particular del filtro activo de potencia multinivel, la ecuación diferencial que modela el lado AC se representa mediante la siguiente ecuación:

$$\frac{di_c^{abc}}{dt} = \frac{v_s^{abc}}{L_f} - \frac{v_c^{abc}}{L_f} - \frac{R_f i_c^{abc}}{L_f} \quad (2.15)$$

Estas ecuaciones dinámicas representadas en tiempo continuo pueden aproximarse a una ecuación en diferencia utilizando la notación en tiempo discreto mediante el uso de la aproximación a la primera derivada según el método de Euler hacia adelante. Esta aproximación permite calcular el modelo predictivo de las corrientes de salida del filtro activo de potencia para cada fase, las cuales quedan representadas por la siguiente ecuación [66]:

$$i_c^{abc}(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^{abc}(k) + \frac{T_s}{L_f} \{v_s^{abc}(k) - v_c^{abc}(k)\} \quad (2.16)$$

donde el término  $k$  representa la muestra actual, a su vez  $T_s$  es el tiempo de muestreo e  $i_c^{abc}(k+1)$  son las predicciones de las corrientes de salida por cada fase del filtro activo de potencia multinivel calculadas tomando como referencia las corrientes medidas en el instante de muestra  $k$ .

**Control predictivo aplicado al filtro activo de potencia:** La **Figura 2.24** muestra el diagrama de bloques del esquema de control propuesto aplicando el control predictivo al filtro activo de potencia trifásico de siete niveles basado en celdas Puente-H en cascada.

El algoritmo implementado dentro del bloque de generación de referencias determina en gran manera la calidad del control a ser implementado, siendo las estrategias IRPT y SRF las seleccionadas para la implementación. En el control predictivo propuesto, los errores de predicción calculan para cada vector de voltaje posible siguiendo un esquema de optimización realizado en cada instante de muestreo. Primeramente se describe la estrategia de control basada en la teoría IRPT.

En primer lugar se requiere del calculo de las señales de referencias de potencia instantánea activa y reactiva obtenidas mediante la transformación de Clarke de manera a trasladar las expresiones de las señales eléctricas del dominio del tiempo al marco de referencia  $\alpha - \beta$ . Para la realización de las transformaciones  $\alpha - \beta$  se utiliza el criterio de potencia invariante, y mediante las ecuaciones 2.1 y 2.2 se obtienen las expresiones de los voltajes de red y corrientes de carga en el marco  $\alpha - \beta$ .

En consecuencia, mediante el uso de las expresiones de los voltajes y corrientes calculados y expresados en el marco  $\alpha - \beta$  es posible calcular las potencias instantáneas activa y reactiva consumidas por la carga y que están dadas por las siguientes ecuaciones:

$$P_L(k) = v_s^\alpha(k)i_L^\alpha(k) + v_s^\beta(k)i_L^\beta(k) \quad (2.17)$$

$$Q_L(k) = v_s^\beta(k)i_L^\alpha(k) - v_s^\alpha(k)i_L^\beta(k) \quad (2.18)$$

Con el fin de lograr un factor de potencia unitario en el lado de la red eléctrica y considerando las pérdidas de potencia en el filtro activo de potencia multinivel, las referencias de potencia instantáneas se pueden escribir como:

$$P_c^*(k) = \tilde{P}_L(k) \quad (2.19)$$

$$Q_c^*(k) = -Q_L(k) \quad (2.20)$$

donde el superíndice (\*) indica a las variables de referencia,  $Q_L$  es la potencia reactiva instantánea de la carga a ser compensada por el filtro activo de potencia y,  $P_c^*(k)$  y  $Q_c^*(k)$  son las referencias de potencia instantánea activa y reactiva, respectivamente. Por otro lado, las referencias de corriente a ser inyectadas por el APF pueden ser escritas en función de las potencias activa y reactiva de compensación en el marco de referencia  $\alpha - \beta$ , mediante las siguientes ecuaciones:

$$\begin{bmatrix} i_c^{\alpha*}(k) \\ i_c^{\beta*}(k) \end{bmatrix} = \frac{1}{v_s^{\alpha}(k)^2 + v_s^{\beta}(k)^2} \begin{bmatrix} v_s^{\alpha}(k) & v_s^{\beta}(k) \\ v_s^{\beta}(k) & -v_s^{\alpha}(k) \end{bmatrix} \begin{bmatrix} P_c^*(k) \\ Q_c^*(k) \end{bmatrix} \quad (2.21)$$

### Proceso de optimización de la función de costo

Los errores de predicción teniendo en cuenta el seguimiento de corriente se calculan de la siguiente manera:

$$ei_c(k+1) = i_c^{abc*}(k+1) - i_c^{abc}(k+1) \quad (2.22)$$

siendo  $ei_c(k+1)$  el error de predicción de corriente generada a la salida del filtro activo de potencia. El error de predicción es calculado para cada vector de conmutación para posteriormente evaluar una función de costo, la cual puede definirse como [67], [68]:

$$g(k+1) = \| ei_c(k+1) \|^2 \quad (2.23)$$

El proceso de optimización consiste en determinar la predicción del valor de la corriente a ser inyectada por el filtro en cada instante de muestreo mediante el recorrido de los 64 estados de conmutación posibles en un APF de siete niveles. El algoritmo de optimización selecciona el estado de conmutación óptimo que minimiza la función de costo. El estado de conmutación óptimo determina las señales de disparo para cada celda Puente-H del convertidor de potencia.

Los pasos básicos para la implementación del algoritmo MBPC aplicado al APF multi-nivel trifásico se ilustra en el **Algoritmo 1**. Al comienzo de cada instante de muestreo se almacenan las mediciones correspondientes al instante de muestreo actual. Posteriormente se calculan las señales de referencia para el instante de muestreo posterior ( $k+1$ ) y se inicializan los valores óptimos de las funciones de costo a un valor muy elevado para garantizar una solución óptima al problema de optimización. Dentro del bucle de optimización se realizan las iteraciones necesarias para recorrer toda la matriz de vectores de conmutación del convertidor, y una vez finalizado este proceso se asigna el índice del vector de conmutación que minimiza la función de costo.

## 2.5. Análisis mediante simulación de las estrategias de control

De manera a cuantificar la eficacia de las estrategias control predictivo propuestas, mencionada en los apartados anteriores, se realiza un estudio teórico mediante herramientas de simulación, utilizando para tal propósito la herramienta de simulación computacional

**Algoritmo 1:** Algoritmo de la técnica MBPC

- 
1. Memorizar  $i_L^a(k)$ ,  $i_L^b(k)$  y  $i_L^c(k)$
  2. Memorizar  $v_s^a(k)$ ,  $v_s^b(k)$  y  $v_s^c(k)$
  3. Calcular  $i_L^\alpha(k)$  y  $i_L^\beta(k)$
  4. Calcular  $v_s^\alpha(k)$  y  $v_s^\beta(k)$
  5. Calcular  $i_c^{a*}(k)$ ,  $i_c^{b*}(k)$  y  $i_c^{c*}(k)$
  6. Inicializar  $g_{opt}^a := \infty$ ,  $g_{opt}^b := \infty$ ,  $g_{opt}^c := \infty$ ,  $\eta := 0$
  7. **Mientras**  $\eta \leq \varepsilon$  **hacer**
  8.   Calcular  $i_c^a(k+1)$ ,  $i_c^b(k+1)$  y  $i_c^c(k+1)$
  9.   Calcular  $ei_c^a(k+1)$ ,  $ei_c^b(k+1)$  y  $ei_c^c(k+1)$
  10.   Calcular  $g^a$ ,  $g^b$  y  $g^c$
  11.   **Si**  $g^a < g_{opt}^a$  **entonces**
  12.      $g_{opt}^a \leftarrow g^a$
  13.      $F_{s,opt}^a \leftarrow F_{s,\eta}^a$
  14.   **fin Si**
  15.   **Si**  $g^b < g_{opt}^b$  **entonces**
  16.      $g_{opt}^b \leftarrow g^b$
  17.      $F_{s,opt}^b \leftarrow F_{s,\eta}^b$
  18.   **fin Si**
  19.   **Si**  $g^c < g_{opt}^c$  **entonces**
  20.      $g_{opt}^c \leftarrow g^c$
  21.      $F_{s,opt}^c \leftarrow F_{s,\eta}^c$
  22.   **fin Si**
  23.    $\eta := \eta + 1$
  24. **fin Mientras**
- 

MatLab/Simulink. Para la implementación del algoritmo de control se utiliza los bloques de intérprete de códigos, de manera a lograr una transición suave entre las simulaciones y su posterior implementación en los dispositivos de control, los cuales implementan principalmente el lenguaje de programación C o variantes de la misma.

Se analizan dos estrategias de control aplicados al APF multinivel, los cuales son, primeramente la estrategia de control basada en la teoría de potencia instantánea (p-q), y la segunda consiste en la estrategia de control basada en el plano de referencia síncrono (SRF) con modulación PWM. De manera a contrastar los resultados se analiza además el control predictivo clásico.

En base a los parámetros mostrados en la **Tabla 2.3**, se realizaron simulaciones con diferentes estrategias de control de manera a analizar la eficiencia de cada una. Se evaluaron aspectos referentes a la compensación de potencia reactiva, seguimiento de la corriente de referencia, y estabilidad del voltaje de los capacitores del DC-link [69]. De manera a cuantificar la eficiencia del algoritmo en cuanto al seguimiento de la referencia se

**Tabla 2.3** Parámetros eléctricos utilizados en las simulaciones

| Parámetro                        | Símbolo  | Valor | Unidad   |
|----------------------------------|----------|-------|----------|
| Tiempo de muestreo               | $T_s$    | 40    | $\mu s$  |
| Paso de simulación               | -        | 1     | $\mu s$  |
| Tiempo de interconexión          | $t_{on}$ | 20    | ms       |
| Resistencia de la carga          | $R_L$    | 40    | $\Omega$ |
| Inductancia de la carga          | $L_L$    | 114   | mH       |
| Resistencia del filtro           | $R_c$    | 0.35  | $\Omega$ |
| Inductancia del filtro           | $L_c$    | 10    | mH       |
| Voltaje de bus continua          | DC-link  | 65    | V        |
| Capacitancia del bus de continua | $C_{DC}$ | 2400  | $\mu F$  |
| Frecuencia de la red             | $f_e$    | 50    | Hz       |
| Voltaje de la red                | $v_s$    | 120   | V        |

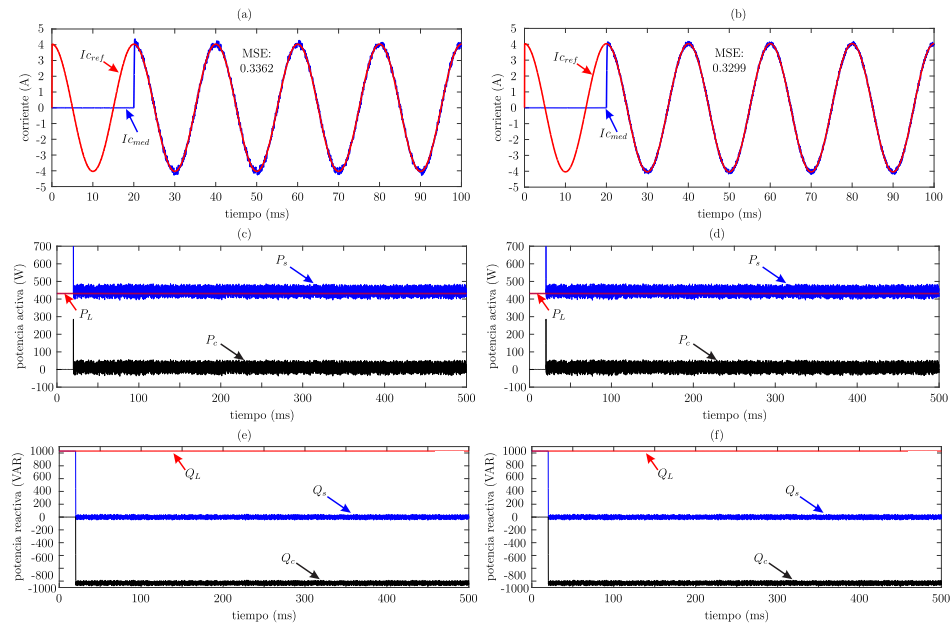
utiliza como cuantificador el error cuadrático medio (MSE), entre la corriente de referencia y la corriente medida. Además, se analiza el nivel de distorsión armónica total (THD) existente en la corriente de la red eléctrica.

### 2.5.1. El MBPC convencional basado en la técnica IRPT

La técnica MBPC aplicada al APF multinivel, como fue mencionado en apartados anteriores, utiliza un modelo predictivo para predecir el comportamiento de los estados futuros de todos los posibles estados de conmutación, mediante la minimización de una función de costo definida, selecciona el estado de conmutación óptimo a ser aplicado al convertidor durante un periodo de muestreo. Primeramente se analizará la eficiencia del MBPC convencional, sin estrategias de modulación de reducción de estados redundantes, para luego contraponer con otras variantes del MBPC.

La **Figura 2.25** presenta el comportamiento del APF a diferentes frecuencias de conmutación, con valores de  $f_s=15$  kHz y  $f_s=25$  kHz para una estrategia de control predictivo clásico. La **Figura 2.25 (a)** y la **Figura 2.25 (b)** representan el seguimiento de la corriente de referencia, en la misma se observa niveles de error cuadrático medio similares, con un valor de  $MSE= 0.3362$  para una  $f_s=15$  kHz y  $MSE = 0.3299$  para una  $f_s=25$  kHz respectivamente. La **Figura 2.25 (c)** y la **Figura 2.25 (d)** representan la evolución de la medición de la potencia activa en el APF, antes de la activación del mismo y posterior a la activación del APF a los 20ms, en ambos casos se observa un nivel de ruido en la mediciones, fruto de la corriente inyectada a la red eléctrica por el APF en el

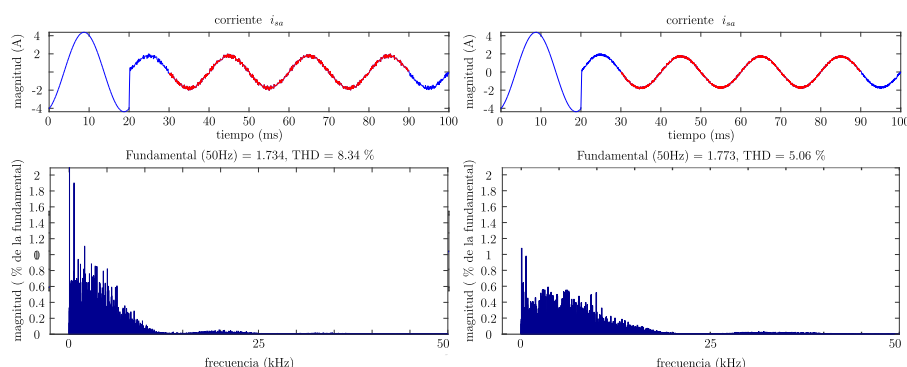




**Figura 2.25** a) Seguimiento de corriente  $f_s=15$  kHz, b) Seguimiento de corriente  $f_s=25$  kHz, c) Potencia activa  $f_s=15$  kHz, d) Potencia activa  $f_s=25$  kHz, e) Potencia reactiva  $f_s=15$  kHz, e) Potencia reactiva  $f_s=25$  kHz

punto PCC. Dicha corriente viene acompañada de una cantidad de ruido inherente a un dispositivo conmutado. La potencia activa para una  $f_s=15$  kHz presenta un rizado pico de 50W, mientras que para una  $f_s=25$  kHz el rizado de la potencia activa posee un valor de 25W pico. Análogamente, la **Figura 2.25 (e)** y la **Figura 2.25 (f)** representan la evolución de la medición de la potencia reactiva en el APF, con una transición de 1000VAR a 0 desde los 20ms en el valor de la potencia reactiva de la red eléctrica, comprobándose la compensación de la misma, en ambos casos,  $f_s=15$  kHz y  $f_s=25$  kHz, se observa características semejantes en el comportamiento dinámico del APF.

La **Figura 2.26** muestra los resultados de la comparativa del análisis de distorsión armónica mediante el cálculo del nivel de THD existente en la corriente de la red eléctrica. En la **Figura 2.26 (a)** se observa un nivel de THD de valor igual a 8,10 % para una frecuencia de conmutación de  $f_s=15$  kHz, mientras que en la **Figura 2.26 (b)** se obtiene un nivel de THD de valor igual a 4,99 % para una frecuencia de conmutación de  $f_s=25$  kHz. lo cual es un resultado teórico esperado de acuerdo a los valores de frecuencia de conmutación, a mayor frecuencia, menor nivel de THD. Aunque a priori pareciera una solución simple elevar la frecuencia de conmutación, esto en la práctica se ve limitado a la potencia



**Figura 2.26** Análisis de THD mediante simulación MBPC clásico. a) Análisis de THD mediante simulación  $f_s=15$  kHz, b) Análisis de THD mediante simulación  $f_s=25$  kHz

de cómputo de los dispositivos controladores, ya sean sistemas microcontroladores o sistemas DSP, un nivel de  $f_s=15$  kHz esta cercano a los valores máximos de dispositivos de conmutación como los IGBT, mientras que para la utilización de frecuencias de  $f_s=25$  kHz o mayores ya se requiere del uso de nuevos dispositivos de conmutación como ser los SiC-MOSFET, el cual es el dispositivo seleccionado para el desarrollo experimental de la presente Tesis Doctoral.

### 2.5.2. El MBPC basado en la técnica IRPT con modulación PWM

Para aplicaciones basadas en convertidores de potencia se utilizan principalmente frecuencias de conmutación elevadas, del orden de los kHz, ya que los semiconductores de potencia realizan con un elevado número de conmutaciones en cada período [70]. De manera a implementar elevadas frecuencias de conmutación, se emplean técnicas basadas en modulación PWM, entre ellas se tienen a la modulación PWM sinusoidal basado en portadora (SPWM) o la modulación vectoriales con vectores de estados PWM (SVPWM).

Las técnicas de modulación de alta frecuencia generan mayores pérdidas de potencia por conmutación en comparación a las pérdidas de potencia obtenidas con las técnicas de modulación de baja frecuencia, pero en cambio, las señales sintetizadas a su salida poseen un menor contenido de armónicos [71]. Por esta última característica para el presente trabajo se selecciona la estrategia de alta frecuencia para la modulación.

La estrategia MBPC con modulación PWM hace uso del vector óptimo resultante del proceso de minimización de la función de costo para calcular el voltaje de salida necesario en cada fase y en base a ésta determinar los ciclos de trabajo para cada fase ( $\tau_a$ ,  $\tau_b$ ,  $\tau_c$ ), a

ser enviadas a cada modulador PWM, como se muestra en la siguiente ecuación:

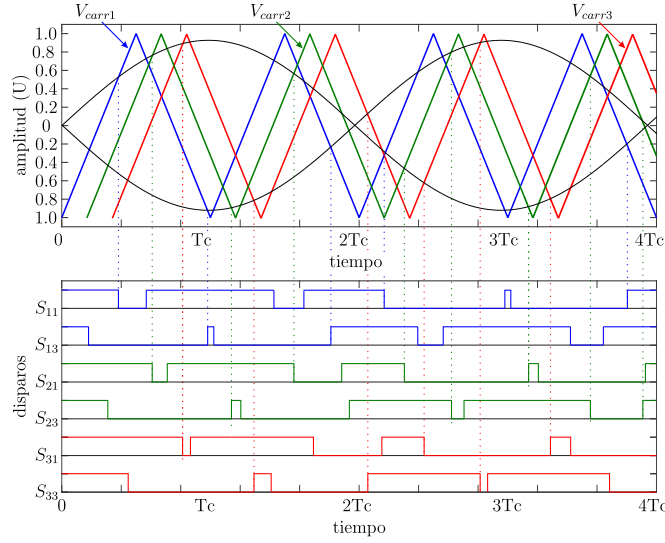
$$\begin{bmatrix} \tau_a \\ \tau_b \\ \tau_c \end{bmatrix} = \frac{1}{3} v_{dc}^{-1} \begin{bmatrix} v_{c,opt}^a \\ v_{c,opt}^b \\ v_{c,opt}^c \end{bmatrix} \quad (2.24)$$

donde  $v_{c,opt}^\phi$  representan los voltajes óptimos calculados por el control predictivo para cada fase. Los ciclos de trabajo se obtienen a partir de la normalización de los voltajes  $v_{c,opt}^\phi$  con respecto a la amplitud final de salida para cada fase ( $\pm 3v_{dc}$ ) de manera a obtener un índice de modulación entre los niveles  $\pm 1$ .

En la literatura se encuentran disponibles estudios de varias topologías tradicionales de convertidores multinivel, que mejoran el nivel de armónico de voltaje o corriente [72]. Existen dos estrategias de modulación ampliamente utilizadas en los esquemas de convertidores multinivel; PWM con desplazamiento de nivel (level shifted PWM) y PWM con desplazamiento de fase (phase shifted PWM) [73]. La estrategia de modulación level shifted PWM utiliza varias señales portadoras triangulares, una portadora por cada nivel del convertidor de potencia empleado y una señal de referencia por fase [74]. Las estrategias de modulación level shifted PWM se propusieron principalmente para su aplicación en convertidores NPC y de capacitor flotante. La modulación level shifted PWM no es una opción muy adecuada para los convertidores Puente-H ya que generan una distribución desigual de energía entre las celdas Puente-H, que a su vez contamina aumenta el nivel de armónicos en la corriente de red [75].

La técnica phase shifted PWM utiliza tantas señales portadoras triangulares de igual amplitud y frecuencia, pero desplazadas en fase entre sí como convertidores de potencia se tengan instalados [76]. A fin de que los armónicos se reduzcan, es necesario desfasar adecuadamente las portadoras generadas [77]. Un convertidor CHB de  $n$  niveles de voltaje posee  $(n - 1)/2$  celdas Puente-H por fase, por lo que la estrategia de modulación phase shifted PWM utilizará la misma cantidad de portadoras triangulares, con un desfase de  $360^\circ / (n - 1)$ , el cual representa el desfase óptimo para cancelar los armónicos. Las señales de portadora utilizada para la modulación phase shifted PWM unipolar se observa en la **Figura 2.27**, junto con las señales aplicadas a los interruptores de potencia.

El esquema phase shifted PWM realiza la mayor cantidad de conmutaciones en comparación con otras técnicas de modulación, por lo tanto, por lo tanto genera una mayor pérdida de conmutación. Sin embargo, las pérdidas de potencia y la potencia entregada en el esquema phase shifted PWM se equilibran mediante la operación de conmutación uniforme de cada celda [78]. El método phase shifted PWM posee además una propiedad de autobalanceo, por lo que ha sido ampliamente utilizado para convertidores multiniveles

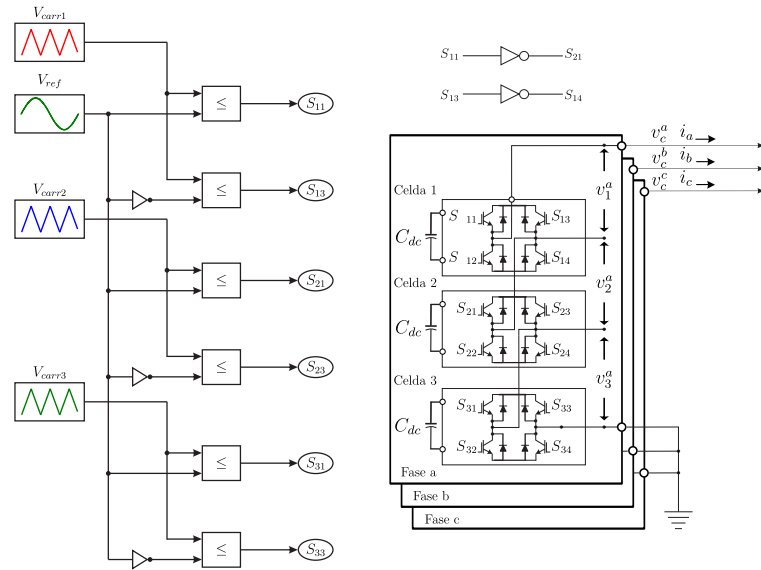


**Figura 2.27** Estrategia de modulación Phase Shifted PWM unipolar para una referencia sinusoidal

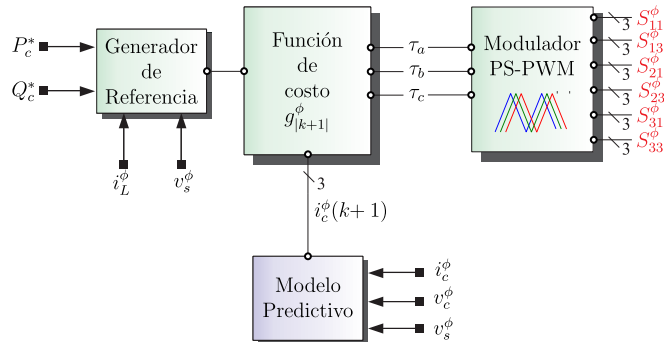
de capacitores flotantes [79, 80]. Sin embargo, en aplicaciones prácticas, los voltajes de los capacitores de cada CHB pueden variar de sus valores nominales debido a condiciones no ideales y las perturbaciones como ser corrientes de fuga de los capacitores, retrasos desiguales en la conmutación y la carga o descarga asimétrica de capacitores [81]. Estas características no ideales obliga el uso de un lazo de control externo, además del método phase shifted PWM, para equilibrar el voltaje de los capacitores [82]. En la **Figura 2.28** se observa el esquema de modulación utilizado, junto con las señales de disparo para cada interruptor de potencia.

El diagrama de bloques de la estrategia MBPC con modulación PWM se muestra en la **Figura 2.29**, en dónde el algoritmo utilizado es semejante al MBPC clásico, con la diferencia de que una vez finalizado el bucle de optimización, se calculan los ciclos de trabajo a partir de la ecuación (2.24) antes de asignar a la salida el estado de conmutación óptimo, además se determinan la potencia activa  $P_c^*$  necesaria para mantener la energía de los capacitores de DC-link. Con esta variante del MBPC, en dónde las iteraciones analizan sólo los siete niveles de voltaje de salida, en vez de los 64 estados de conmutación, disminuyendo de esta manera el costo computacional del algoritmo.

La **Figura 2.30** presenta el comportamiento del APF para una estrategia de control predictivo clásico con modulación Phase Shifted PWM. La **Figura 2.30 (a)** representa el seguimiento de la corriente de referencia, en la misma se observa un error cuadrático medio de  $MSE=0.0744$  para una frecuencia de muestreo de  $f_s=25$  kHz. La **Figura 2.30 (b)**



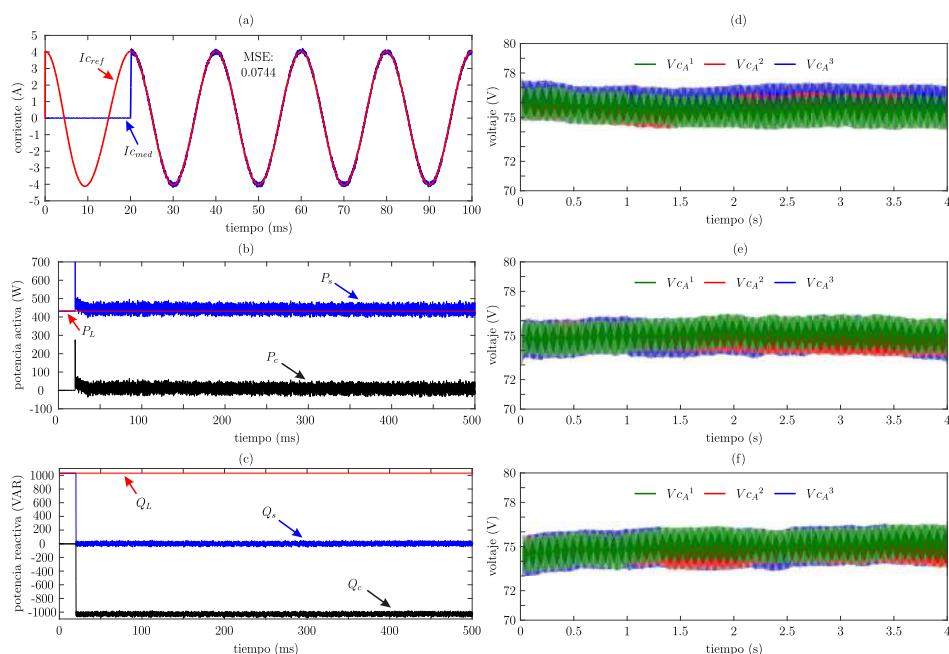
**Figura 2.28** Esquema del modulador phase shifted PWM unipolar



**Figura 2.29** Diagrama de bloques del MBPC con PWM aplicado a un convertidor multinivel trifásico

y la La **Figura 2.30 (c)** representan la evolución de la medición de la potencia activa y la potencia reactiva en el APF, antes de la activación del mismo y posterior a la activación del APF a los 20ms, dichas mediciones vienen acompañadas por un nivel de ruido propio de la actuación del APF. La potencia activa para una presenta un rizado pico de 40 W, mientras que para una  $f_s=25$  kHz el rizado de la potencia reactiva posee un valor de 20 VAR pico.

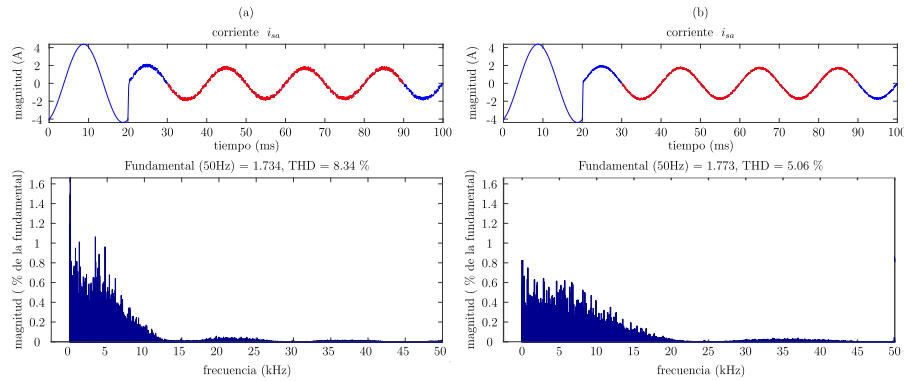
De igual manera, la **Figura 2.30 (d)**, **Figura 2.30 (e)** y **Figura 2.30 (f)** representan las variaciones del nivel de voltaje existentes en los capacitores de DC-link de las celdas que



**Figura 2.30** a) Seguimiento de corriente  $f_s=25$  kHz, b) Potencia activa  $f_s=25$  kHz, c) Potencia reactiva  $f_s=25$  kHz, d) Voltaje DC-link  $V_{DC_A}^1$ , e) Voltaje DC-link  $V_{DC_A}^2$ , f) Voltaje DC-link  $V_{DC_A}^3$

componen una fase del APF, en dichas mediciones se observan una rizado de aproximadamente 3 Vpp. El lazo externo de control PI implementado permite mantener el voltaje de cada Puente-H dentro unos umbrales razonables.

La **Figura 2.31** muestra los resultados de la comparativa del análisis de distorsión armónica total existente en la corriente de la red eléctrica, realizando el análisis para dos valores de frecuencia de conmutación. En la **Figura 2.31 (a)** se observa un nivel de THD de valor igual a 8,34 % para la frecuencia de conmutación de  $f_s=15$  kHz, a su vez, en la **Figura 2.31 (b)** se observa las mediciones para una frecuencia de  $f_s=25$  kHz, con un nivel de THD medido de 5,06 %. La comparativa muestra nuevamente la dependencia del nivel de THD con la frecuencia de conmutación para una misma estrategia de control y esquema propuesto para el APF, donde a mayor frecuencia, menor nivel de THD.

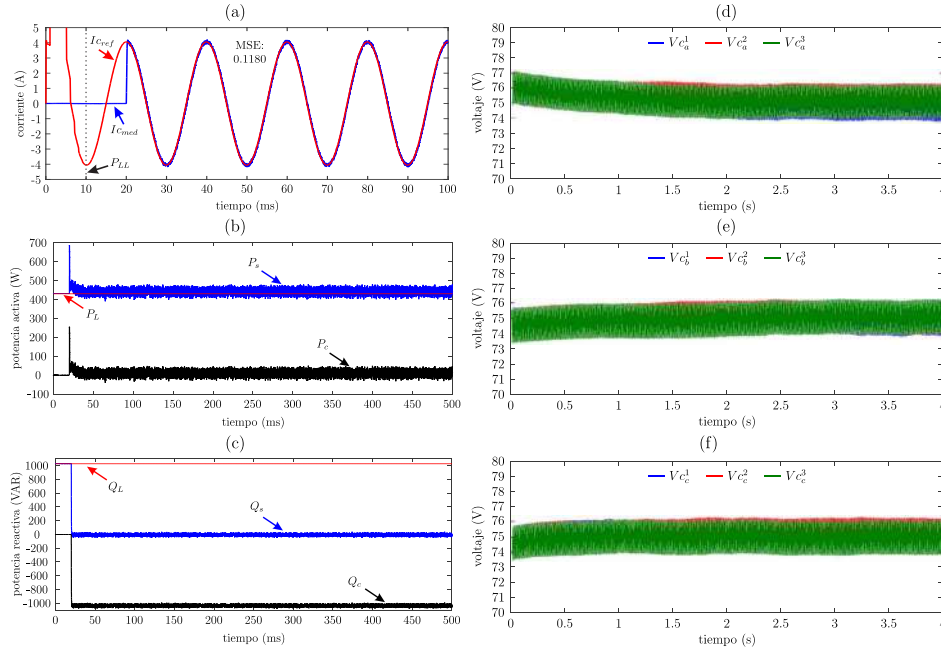


**Figura 2.31** Análisis de THD mediante simulación MBPC con la técnica IRPT y PWM. a) frecuencia  $f_s=15$  kHz, b) frecuencia  $f_s=25$  kHz

### 2.5.3. El MBPC con PWM en el marco de referencia síncrono

La característica básica de esta estrategia de control es la utilización de un marco de referencia giratorio en el plano complejo sincronizado con la señal de voltaje de la red. El uso de la transformación de Park posibilita el cálculo de las componentes activa y reactiva de la corriente de carga sin la necesidad de calcular previamente la potencia en la carga [83]. La utilización de la estrategia de control basada en el método SRF presenta mejores resultados que la estrategia de control basado en la teoría P-Q, bajo condiciones de voltajes de red distorsionados y desequilibrados [84, 85]. Además, con cargas desequilibradas la estrategia SRF presenta mejores resultados [86].

En esta propuesta de control se implementa el mismo tipo de modulador PWM con desfase de portadora al utilizado en la estrategia de control basado en la teoría de potencia instantánea. Además se implementa un lazo externo de control PI utilizado para el cálculo de la potencia activa a ser entregada a los capacitores de DC-link. El esquema básico de la estrategia basado en SRF se observa en la **Figura 2.21** y los parámetros utilizados para las simulaciones son las mismas que las mostrados en la **Tabla 2.3**, para la estrategia de control basada en la teoría P-Q. Análogamente, se evaluaron aspectos referentes a la compensación de potencia reactiva, seguimiento de la corriente de referencia, y estabilidad del voltaje de los capacitores del DC-link. Se utiliza como parámetros de eficiencia del algoritmo en cuanto al seguimiento de la referencia al error cuadrático medio (MSE). Finalmente, se analiza el nivel de distorsión armónica total (THD) existente en la corriente de la red eléctrica.

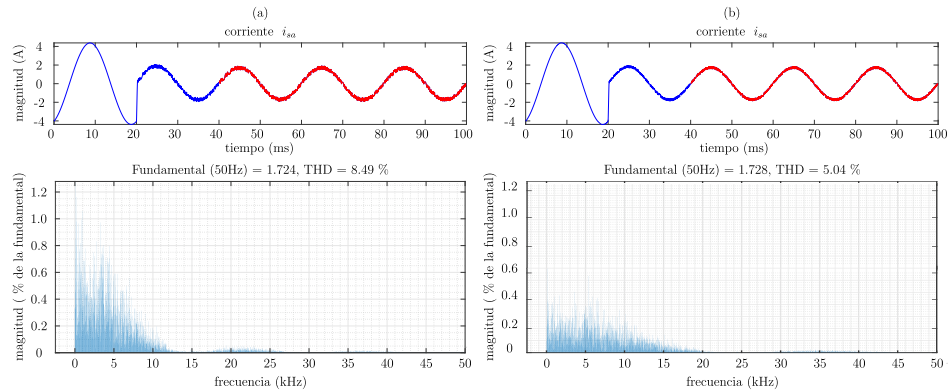


**Figura 2.32** a) Seguimiento de corriente  $f_s=25$  kHz, b) Potencia activa  $f_s=25$  kHz, c) Potencia reactiva  $f_s=25$  kHz, d) Voltaje DC-link  $V_{c_a}$ , e) Voltaje DC-link  $V_{c_b}$ , f) Voltaje DC-link  $V_{c_c}$

La **Figura 2.32** presenta el comportamiento del APF para una estrategia de control predictivo clásico con modulación phase shifted PWM en el marco de referencia síncrono SRF. La **Figura 2.32 (a)** representa el seguimiento de la corriente de referencia, en la misma se observa un error cuadrático medio de  $MSE= 0.1180$  para una frecuencia de muestreo de  $f_s=25$  kHz. La **Figura 2.32 (b)** y la **Figura 2.32 (c)** representan la evolución de la medición de la potencia activa y la potencia reactiva en el APF, antes de la activación del mismo y posterior a la activación del APF a los 20ms, dichas mediciones vienen acompañadas por un nivel de ruido propio de la actuación del APF. La potencia activa para una presenta un rizado pico de 40 W, mientras que para una  $f_s=25$  kHz el rizado de la potencia reactiva posee un valor de 20 VAR pico.

De igual manera, la **Figura 2.32 (d)**, **Figura 2.32 (e)** y **Figura 2.32 (f)** representan las variaciones del nivel de voltaje existentes en los capacitores de DC-link de las celdas que componen una fase del APF, en dichas mediciones se observan una rizado de aproximadamente 2 Vpp. Esta estrategia de control, análogamente a la estrategia basada en la teoría de potencia instantánea, hace uso de un lazo externo de control PI para estabilizar el voltaje de DC-link de cada Puente-H. Para la implementación del control PI, se realiza la





**Figura 2.33** Análisis de THD mediante simulación MBPC con la técnica SRF y PWM. a) frecuencia  $f_s = 15$  kHz, b) frecuencia  $f_s = 25$  kHz

lectura de un capacitor por cada fase y con dicha medición se realiza el control PI para posteriormente promediar la acción de control de dichos controladores para su posterior aplicación en la generación de referencia.

En la **Figura 2.33** se observan los resultados obtenidos mediante simulación de la comparativa del análisis de distorsión armónica total existente en la corriente de la red eléctrica, para dos valores de frecuencia de conmutación. En la **Figura 2.33 (a)** se observa un nivel de THD de valor igual a 8,49 % para la frecuencia de conmutación de  $f_s = 15$  kHz, a su vez, en la **Figura 2.33 (b)** se observa las mediciones para una frecuencia de  $f_s = 25$  kHz, con un nivel de THD medido de 5,04 %. El análisis del THD muestra nuevamente la dependencia del nivel de THD con la frecuencia de conmutación, siendo ésta de menor valor a medida que aumenta la frecuencia de conmutación.

## 2.6. Conclusiones del capítulo

En el presente capítulo se han detallado las principales topologías de APFs, donde se describen las diferentes configuraciones de los mismos, clasificándolos según su método de conexión a la red y con la carga. Se detallaron sus características y tipo de compensación realizada para cada una. Además, se describieron los circuitos convertidores de potencia utilizados en los diferentes esquemas de APFs, resaltando las ventajas y desventajas de cada una de ellas, desde las simples configuraciones de dos niveles hasta las topologías multinivel. De las topologías de APFs y convertidores descritas en el capítulo se opta por utilizar para el diseño de la Tesis Doctoral la configuración de APF multinivel y

convertidor CHB en conexión paralela ya que permite la compesación de la energía reactiva así como la eliminación de armónicos de corriente.

Además, se ha abordado el estudio de estrategias de control predictivo basado en el modelo mediante el uso de herramientas de simulación. Se han considerado las estrategias de control de la teoría de potencia activa instantánea (IRPT) y transformación al marco de referencia síncrono (SRF), tomando como parámetro de comparación básica al método MBPC clásico sin modulación. En base a los resultados teóricos presentados, se concluye que las técnicas MBPC con modulación PWM presentan mejores prestaciones en comparación al control predictivo clásico sin modulación en balance de los voltajes de los capacitores de DC-link, se hace pertinente el uso de algún método de modulación, siendo la más recomendada por la literatura la técnica phase shifted PWM.

De entre las técnicas de control predictivo con modulación analizadas, la estrategia de control basado en la técnica SRF presenta mejores resultados en cuanto al balanceo del voltaje de DC-link. En cuanto a los parámetros de calidad de la energía, ambos presentan niveles semejantes de THD para una misma frecuencia de conmutación. En lo referente a la capacidad de seguimiento y compensación deseada, ambas presentan niveles semejantes del parámetro MSE con valores de 0.1180 para el método SRF y 0.1124 para el método IRPT, decantándose por tanto hacia la aplicación de la estrategia SRF para la optimización del balanceo de los voltajes de los capacitores de DC-link.



## CAPÍTULO 3

---

# DISEÑO DEL FILTRO ACTIVO DE POTENCIA MULTINIVEL

---

### 3.1. Introducción

La plataforma experimental del APF paralelo multinivel, basado en celdas Puente-H interconectados en cascada posee como elemento central a las celdas Puente-H individuales, las mismas forman un sistema completo e independiente con la finalidad de brindar versatilidad y escalabilidad a la plataforma. Las celdas Puente-H están constituidas principalmente de dos placas denominadas placa de potencia y circuito controlador de disparos, respectivamente. Estos dispositivos, desde un punto de vista práctico, son placas de circuitos impresos modulares interconectadas entre sí, facilitando de esta manera las labores de montaje y mantenimiento preventivo - correctivo del APF.

El circuito de control de disparos para el Puente-H, recibe las señales de disparo provenientes de la unidad de control (DSPs, dSPACE) mediante un enlace de fibra óptica de manera a reducir las interferencias electromagnéticas generados por los circuitos de conmutación. Los semiconductores de potencia utilizados para el diseño de la placa de potencia son dispositivos del tipo SiC-MOSFET, los cuales están montados en una

placa que integra los circuitos de acondicionamientos de señales necesarios para su correcto funcionamiento. De manera a obtener las mediciones de las variables de proceso necesarias para la implementación de los algoritmos de control, se diseñaron circuitos de acondicionamiento y medición de señales eléctricas, tales como los voltajes de fase  $v_s$ , corriente en la carga  $i_L$ , así como la corriente inyectada por el filtro  $i_c$  y el voltaje de los DC-link o  $V_{dc}$  [87].

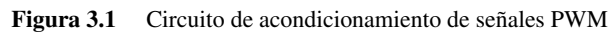
A fin de realizar una evaluación experimental de las funcionalidades y eficiencia del diseño propuesto, mediante diferentes algoritmos de control y con el propósito de evaluar el rendimiento de sistema, la bancada experimental del APF integra una plataforma de desarrollo MicrolaBox - dSPACE. En este contexto, el presente capítulo se describe el proceso de diseño de los circuitos electrónicos asociados al APF en conexión paralelo, así como los circuitos de medición. Se precisan los esquemáticos mas representativos de cada elemento, y los criterios de diseño utilizados para el dimensionamiento de los componentes utilizados.

### 3.2. Diseño de la celda Puente-H

Para el diseño propuesto se ha optado por una estructura modular, donde cada circuito se encarga del control de una celda Puente-H. Por ello, el objetivo principal para el diseño del circuito de la placa de control de disparos consiste en que el mismo pueda ser utilizado en un esquema multinivel, de manera a que pueda operar de forma independiente y sea sencillo su reemplazo en caso de averías o bien si se considera el aumento del número de niveles del convertidor a ser implementado [87, 88].

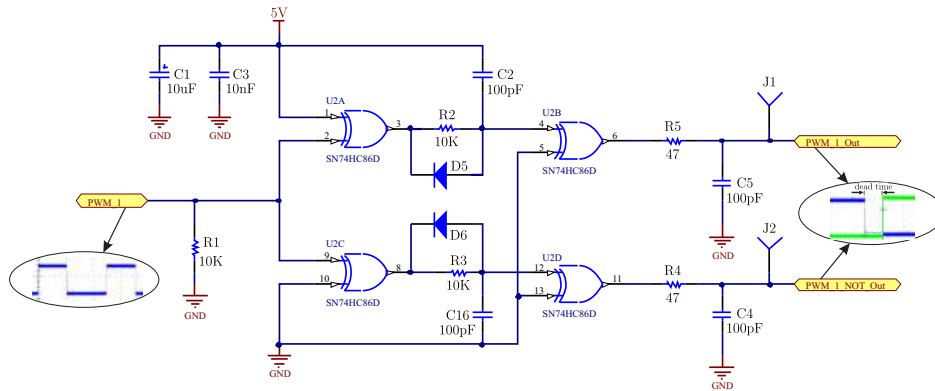
#### 3.2.1. Criterios de diseño

Teniendo en cuenta lo mencionado anteriormente, las señales de control se reciben mediante un enlace de fibra óptica de manera a reducir los niveles de ruido eléctrico en los circuitos de control digital y los sistemas de medición. Por otro lado, resulta deseable obtener una elevada frecuencia de conmutación, mayor a la utilizada en dispositivos de aplicación comercial disponibles actualmente (IGBT), por tanto se opta por el uso de semiconductores SiC-MOSFET como dispositivo de potencia para el diseño del convertidor multinivel. La frecuencia de conmutación máxima a ser utilizada es del orden de los 50 kHz. Además, como cada celda Puente-H es independiente, estas deben poseer su propio bus de continua operando a niveles de voltaje máximo de 400 V, y a su vez ser capaz de operar en un esquema multinivel. Por otro lado, de modo a obtener una aislación eléctrica e inmunidad al ruido generado por la conmutación de los SiC-MOSFET que



### 3.2.2. Circuito de control de disparos para el Puente-H

**Acondicionamiento de señales PWM:** Las señales PWM transmitidas desde el dispositivo de control dSPACE deben ser acondicionadas de manera a eliminar o atenuar la presencia de oscilaciones o sobrepicos durante las transiciones entre niveles de voltajes a frecuencias elevadas. La adecuación de señal se implementa mediante el circuito integrado ISO7240, el cual proporciona un aislamiento galvánico hasta 2500 V<sub>RMS</sub> durante 1 minuto [90]. Estos dispositivos permiten bloquear el alto voltaje, aislar las tierras y evitan que las corrientes de ruido ingresen a la tierra local e interfieran o dañen los circuitos sensibles. En la **Figura 3.1** se observa el diseño basado en el ISO7240, de acuerdo a indicaciones de las guías de diseño provistas por el fabricante [26].



**Figura 3.2** Circuito generador de tiempo muerto y de señales complementarias

El filtro RC utilizado a la salida de cada canal del ISO7240 se emplea para reducir los sobrepicos existentes durante las transiciones entre niveles lógicos. Se considera que la frecuencia de conmutación será de 50 kHz, por lo tanto se opta por dimensionar el filtro con una frecuencia de corte de una década superior a la frecuencia máxima de operación. Los valores utilizados para el filtro paso bajos son  $R = 100\ \Omega$  y  $C = 100\ \text{pF}$ , obteniéndose una frecuencia de corte aproximada de 1.59 MHz.

**Generación de señales PWM complementarias y tiempo muerto:** En el caso ideal, cuando una señal de control para un par de interruptores de potencia en configuración medio Puente-H cambia de estado de un valor a otro, debe hacerlo de manera instantánea, desde un flanco de bajada a un flanco de subida o viceversa. Pero en las aplicaciones reales, cualquier transición en una señal se puede considerar como una rampa de caída o subida muy rápida [91]. Por tanto, si no se considera esta condición no ideal y se omite este comportamiento durante el diseño podría darse situaciones de funcionamiento anómalos derivando en cortocircuitos, lo cual desencadenaría en daños de dispositivos de potencia por sobrepicos de corriente ocasionados por pequeños cortocircuitos [26]. El circuito encargado de generar las señales complementarias y los tiempos muertos se representa en la **Figura 3.2**. La implementación contempla un esquema similar para cada canal PWM necesario.

El diseño propuesto implementa la generación del tiempo muerto así como la complementación de las señales de disparos para los SiC-MOSFET en los canales PWM pertenecientes a una misma rama mediante un esquema hardware. El tiempo muerto se determina de acuerdo a las características de los circuitos integrados controladores de disparos para SiC-MOSFET. Esto se debe principalmente a los retardos generados por

los tiempos de activación ( $t_{on}$ ) y desactivación ( $t_{off}$ ) de los mismos, así como de la frecuencia de conmutación a ser utilizada en la implementación. Para el caso particular de este diseño se ha considerado una frecuencia de conmutación máxima de 50 kHz con lo cual el periodo de las señales de conmutación es de  $T = 20 \mu s$ . La hoja de datos técnicos del fabricante del dispositivo controlador de compuerta para el SiC-MOSFET utilizado indica unos tiempos  $t_{on} = 120$  ns y  $t_{off} = 120$  ns. Por otro lado, el SiC-MOSFET de la serie CAS12012BM2, posee unos tiempos  $t_{on} = 38$  ns y  $t_{off} = 70$  ns, por lo que se ha optado implementar un tiempo muerto  $t_d = 1 \mu s$ .

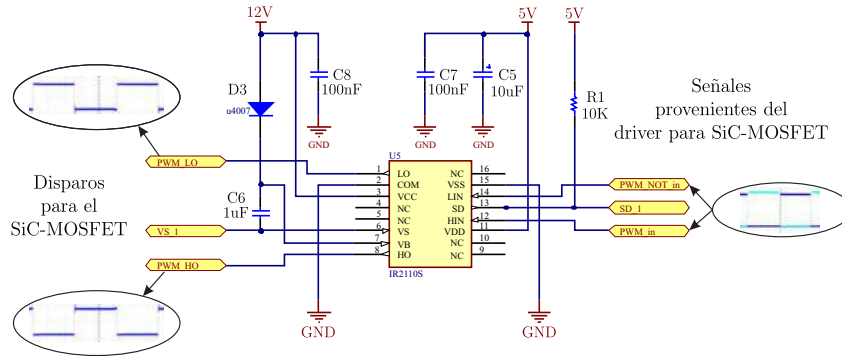
Cabe mencionar que la introducción de un tiempo muerto genera distorsión armónica de baja frecuencia, cuanto menor sea el tiempo muerto, menor será la distorsión armónica generada, pero con el efecto negativo de que podría no retrasar lo suficiente el encendido del otro interruptor, generando un cortocircuito [92]. Por otro lado, si el tiempo muerto es considerable, es posible garantizar que exista tiempo suficiente para que un interruptor se apague antes de que el otro interruptor encienda, pero esto a su vez introduce distorsiones armónicas elevadas [93]. Es por ello que se debe buscar un equilibrio entre seguridad y distorsión.

**Control de disparo para SiC-MOSFET:** Para el control de disparo de cada interruptor de potencia que conforman las celdas Puente-H se realiza un diseño basado en circuitos integrados comerciales controladores de medio Puente-H. Para la implementación del diseño se ha optado por utilizar el dispositivo IR2110S de la firma International Rectifier. El IR2110S es un controlador de MOSFET e IGBT de alta velocidad, con canales independientes de disparos altos y bajos. Las entradas lógicas son compatibles con los niveles estándar de CMOS o TTL. En la **Figura 3.3** se presenta un conexionado típico del circuito integrado IR2110S, según las especificaciones técnicas del fabricante, y de acuerdo a los criterios del diseño propuesto [26].

A fin de implementar la técnica de disparo mediante Bootstrap, utilizado para el disparo del dispositivo SiC-MOSFET superior de una misma rama, la hoja de datos del fabricante del circuito integrado IR2110 recomienda utilizar un capacitor. El método consiste en conectar un capacitor y un diodo ( $C_6$  y  $D_3$ ) como se muestra en la **Figura 3.3**, de manera a que cuando el SiC-MOSFET de la parte inferior del Puente-H entre en conducción, el terminal  $V_s$  del IR2110S es llevado hasta el nivel de GND, haciendo que el capacitor de Bootstrap se cargue a través del diodo de Bootstrap hasta alcanzar el voltaje VCC (12 V). Mediante este proceso de carga se logra que el capacitor mantenga un potencial flotante adecuado  $V_{gs}$ , el cual es utilizado para disparar el terminal de compuerta del SiC-MOSFET superior.

Mediante la ecuación 3.1 es posible calcular el valor del capacitor de Bootstrap de acuerdo a los datos técnicos del fabricante. En este sentido, para la determinación del valor





**Figura 3.3** Esquema eléctrico del circuito implementado con el IR2110

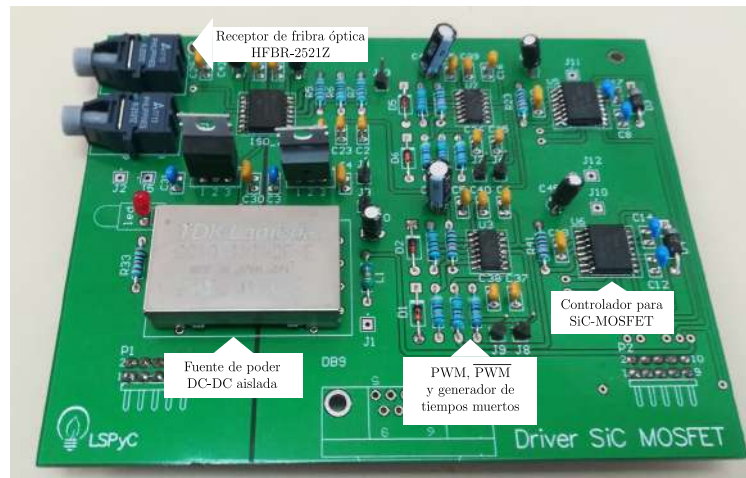
de capacitancia se utiliza parámetros tales como la capacitancia de puerta del dispositivo SiC-MOSFET, la frecuencia de conmutación, las corrientes de pérdidas existentes, las caídas de tensión, etc.

$$C_{bs} \geq \frac{2 * \left( 2 * Q_g + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{cbs(leak)}}{f} \right)}{V_{CC} - V_f - V_{LS} - V_{min}} \quad (3.1)$$

siendo  $Q_g$  la carga total del terminal Gate,  $Q_{ls}$  el cambio del nivel de carga requerido por ciclo,  $V_{LS}$  la caída de tensión a través del SiC-MOSFET de la parte inferior,  $V_f$  la caída de tensión sobre el diodo de Bootstrap en polarización directa e  $I_{qbs(max)}$  el valor máximo de la corriente de reposo para el lado alto del controlador (SiC-MOSFET superior). Los valores utilizados para los cálculos se observan en la **Tabla 3.1**.

| Parámetro                    | Valor | Unidad    |
|------------------------------|-------|-----------|
| Tensión de alimentación VCC: | 12    | V         |
| Frecuencia de trabajo        | 50000 | Hz        |
| $Q_g$                        | 15    | nC (Typ.) |
| $Q_{ls}$                     | 5     | nC        |
| $V_{LS}$                     | 10    | V         |
| $V_f$                        | 1     | V         |
| $I_{qbs(Max)}$               | 230   | A         |

**Tabla 3.1** Parámetros eléctricos utilizados para los cálculos de Bootstrap



**Figura 3.4** Implementación de la placa de control para una celda Puente-H basado en el dispositivo SiC-MOSFET

Para los cálculos se desprecia el término  $\frac{I_{cbs(Leak)}}{f}$  y  $V_{min}$  debido a que los capacitores no son del tipo electrolítico. El valor final resultante de los cálculos para el capacitor  $C_{bs}$  es de 74.6 nF, para lo que se ha utilizado como valor final 100 nF.

**Placa PCB resultante del diseño del circuito de control de disparos:** La **Figura 3.4** presenta el PCB final resultante del diseño mencionado en apartados anteriores. En la misma se resaltan los bloques más representativos del mismo.

### 3.2.3. Diseño del circuito de potencia

La solución propuesta para el diseño del APF multinivel consiste en la integración de celdas en configuración Puente-H conectadas en serie de manera a obtener mayores niveles de voltaje de salida. Para cumplir con dicho objetivo, se requiere primeramente que el DC-link se implemente mediante capacitores, de manera a obtener un voltaje flotante, es decir, no referenciado a GND, y a su vez independiente en cada celda Puente-H. Esto permite cumplir con el objetivo de un diseño escalable y modular. La etapa de potencia permite implementar de manera opcional el DC-link mediante el uso de fuentes de poder DC externas para cada voltaje de DC-link. En la **Tabla 3.2** se muestran los criterios de diseño mas relevantes que son tenidos en cuenta para la etapa de potencia [26].

**Dimensionamiento del DC-link:** El voltaje máximo aplicado al DC-link debe ser del nivel adecuado para su uso en las redes eléctricas del país y que a su vez que permita

| Parámetro               | Valor | Unidad |
|-------------------------|-------|--------|
| Voltaje del DC-link     | 200   | V      |
| Potencia máxima         | 2400  | W      |
| Frecuencia de operación | 100   | kHz    |

**Tabla 3.2** Criterios de diseño para la etapa de potencia

synetizar un voltaje senoidal mediante modulación PWM [87]. Para el diseño propuesto en esta Tesis, los cálculos se han realizado considerando una red de 220 V eficaces con un convertidor de tres celdas por fase. En ese sentido, el voltaje requerido puede determinarse mediante la ecuación 3.2.

$$V_{linea} = \sqrt{3} * V_{fase} = \sqrt{3} * 220 = 381V \quad (3.2)$$

Por otro lado, si se selecciona un voltaje de DC-link de 400 V máximo, el valor del capacitor a ser utilizado para el DC-link puede expresarse mediante la ecuación 3.3.

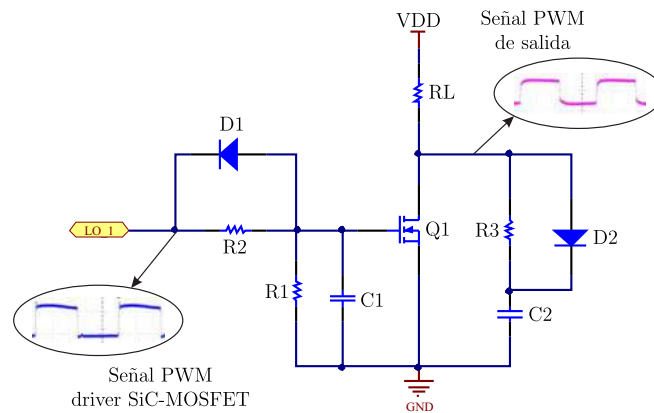
$$C = \frac{P_{nom}}{2 * \omega * V_{DC} * \Delta V_{DC}} \quad (3.3)$$

siendo el valor de la potencia  $P_{nom} = 2400$  W, el voltaje sobre el capacitor  $V_{DC} = 400$  V, con una variación del 1 % en  $\Delta V_{DC} = 4$  V, resultando en un valor de  $C = 1194 \mu F$ .

**Dispositivos semiconductores de potencia:** El SiC-MOSFET CAS120M12BM2 de la firma CREE Semiconductor es un módulo de potencia de dos transistores con un voltaje de ruptura de 1200 V para una corriente de 138 A a una temperatura de 90° C, y una baja resistencia de conducción junto con una velocidad de conmutación elevada, por encima de los dispositivos de conmutación tradicionales como los IGBT.

| Parámetro                           | Símbolo | Valor       | Unidad |
|-------------------------------------|---------|-------------|--------|
| Tensión Dreno-Fuente                | VDSmax  | 1.2         | kV     |
| Tensión Puerta-Fuente               | VGSmax  | -10/+25     | V      |
| Corriente de Dreno en modo continuo | ID      | 193         | A      |
| Corriente inversa de Diodo          | IF      | 305         | A      |
| Temperatura de juntura              | TJmax   | -40 to +150 | °C     |
| Disipación de potencia              | PD      | 925         | W      |
| Resistencia en modo ON              | RDS(on) | 13-16       | mΩ     |

**Tabla 3.3** Parámetros eléctricos del SiC-MOSFET CAS120M12BM2 a 25° C



**Figura 3.5** Esquema eléctrico de la red de snubber del tipo RCD

En la **Tabla 3.3** se muestran los parámetros más relevantes del SiC-MOSFET seleccionado [94]. Luego, con el propósito de evitar daños a la celda Puente-H debido a los transitorios de voltaje que pudiesen presentarse, se propone un margen de seguridad en los niveles de voltaje y corriente del 80 % para la selección de los dispositivos de conmutación. Por lo tanto, los niveles que deben soportar los SiC-MOSFET son de 720 V y 15 A respectivamente. Además, se observa que el dispositivo seleccionado, el CAS120M12BM2 cumple con los requerimientos de voltaje máximo, corriente máxima, disipación de potencia y velocidad exigidos por el diseño propuesto para el APF multinivel.

**Diseño de la red de Snubber para los interruptores:** Los interruptores electrónicos son el elemento fundamental de todos los convertidor de potencia. Para obtener un rendimiento elevado del dispositivo de conmutación del convertidor, es necesario diseñar redes de amortiguamientos, también conocidas como redes de snubbers de manera a reducir fenómenos como los sobrepicos de voltaje además de amortiguar transitorios provocados por las inductancias del circuito cuando conmuta un interruptor. Estos fenómenos pueden sobrepasar los límites físicos de los dispositivos produciendo la degradación o destrucción del dispositivo [95].

La red de snubber seleccionada para el diseño de la placa de potencia es la red tipo RCD. Esta topología de circuitos encuentran un amplio campo de aplicación en la protección de interruptores de potencia, como es el caso de los transistores bipolares o IGBTs por su simplicidad y eficacia [26], [96]. La representación esquemática de la red snubber seleccionada se muestra en la **Figura 3.5**.

El valor de la capacitancia requerida para la red de snubber se determina mediante la ecuación 3.4, el cual determina el valor mínimo requerido para las condiciones de diseño.

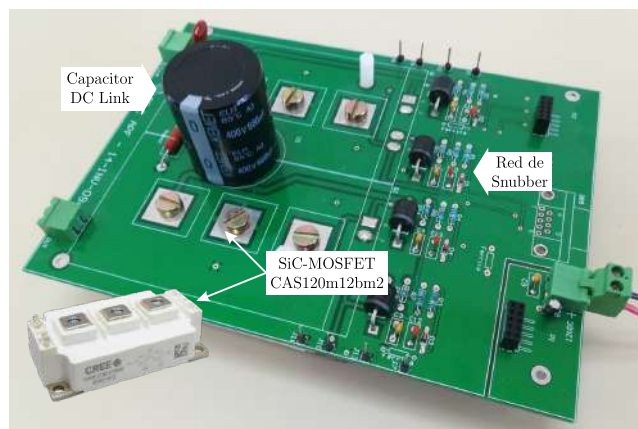
$$C_s = \frac{L_M * I_{off}^2}{(V_{DSP2} - V_{DD})^2} \quad (3.4)$$

donde  $L_M$  es el valor de la inductancia parásita,  $V_{DSP2}$  corresponde al voltaje pico en conducción directa sobre el capacitor  $C_s$ ,  $I_{off}$  es la corriente de apagado y  $V_{DD}$  es el valor del voltaje del DC-link. Se utilizaron los valores de;  $L_M = 15$  nH,  $V_{DSP2} = 480$  V,  $V_{DD} = 400$  V y  $I_{off} = 8$  A para la determinación del valor del capacitor  $C_s$ , resultando en un valor aproximado de  $C_s = 150$  pF. Por otro lado, para el dimensionamiento del resistor  $R_s$  se emplea la ecuación 3.5.

$$R_s \leq \frac{1}{2,3 * C_s * f_s} \quad (3.5)$$

Considerando una frecuencia de conmutación máxima de  $f_s = 100$  kHz, y asumiendo el valor de  $C_s$  calculado anteriormente mediante la ecuación 3.4, se obtiene el valor aproximado de  $R_s = 28.9$  k $\Omega$ . El diodo que acompaña a los elementos  $R_s$  y  $C_s$ , debe ser del tipo de conmutación rápida además de ser capaz de operar en los rangos de corriente del esquema Puente-H. El componente seleccionado es el diodo ST2045A, el cual es un diodo Schottky con capacidad de conducir una corriente media de hasta 20 A y una corriente pico máxima de 250 A [26]. A la entrada del snubber se añade una red conformado por un diodo y una resistencia en el terminal Gate del SiC-MOSFET, como se observa en la **Figura 3.5**. El objetivo de este arreglo es generar un pequeño retraso en la activación, sin afectar el apagado de los SiC-MOSFET, proporcionando un tiempo muerto adicional. La red resistor-diodo se emplea para reducir el sobrepico existente durante el tiempo de recuperación inversa del dispositivo. Por otro lado, el controlador IR2110S es capaz de entregar una corriente durante el disparo de hasta 2 A en sus salidas, esto permite limitar el valor de dicha corriente entregada en el terminal Gate del SiC-MOSFET [26]. Para ello, se utiliza un resistor  $R_g = 47$   $\Omega$ , siendo el voltaje de disparo a la salida del terminal Gate  $V_{gs} = 12$  V, resultando en una corriente de salida de valor  $I_o = 250$  mA para dicho voltaje.

En el circuito de entrada se implementa un filtro pasa bajos RC, el cual es utilizado para reducir los niveles de sobrepicos y oscilaciones de las señales provenientes del controlador IR2110. El capacitor del filtro RC es el resultante de la capacitancia parásita del SiC-MOSFET  $C_{iss}$  el cual posee un valor de  $C_{iss} = 6,3$  nF según el manual del fabricante, mientras que el capacitor externo utilizado para el filtro tiene un valor de 7.8 nF. En cuanto al resistor conectado al terminal Gate del dispositivo posee un valor de  $R_g = 47$   $\Omega$ , resultando en una frecuencia de corte igual a  $f_0 = 434$  kHz.



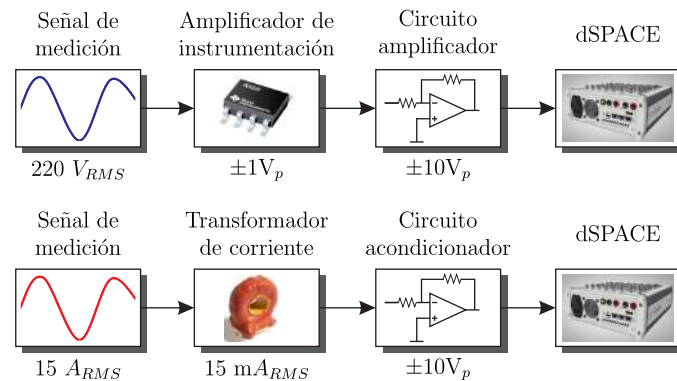
**Figura 3.6** Implementación de la placa de potencia para una celda Puente-H basado en el dispositivo SiC-MOSFET

**Placa PCB resultante del diseño del circuito de potencia:** En la **Figura 3.6** se muestra el PCB final resultante del diseño mencionado en los apartados anteriores utilizados para la etapa de potencia, donde se resaltan los bloques más representativos del mismo.

### 3.3. Acondicionamiento de señales de voltaje y corriente

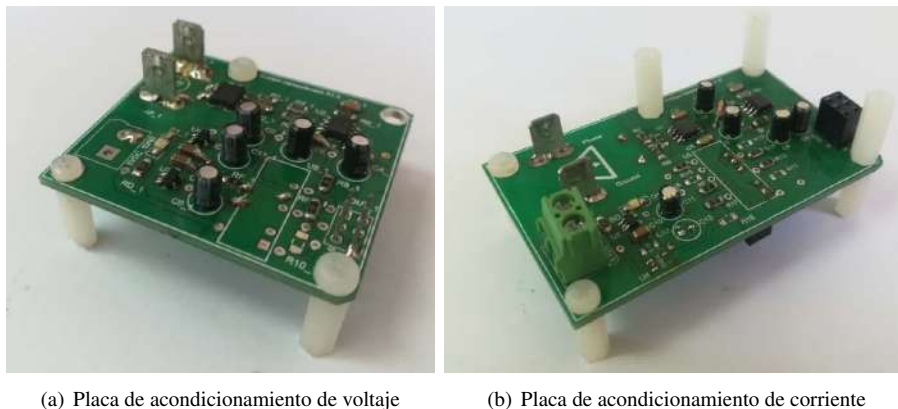
Para la implementación de los algoritmos de control es necesario realizar el proceso de medición y acondicionamiento de las señales correspondientes a las variables eléctricas relevantes para los diversos algoritmos. Entre las variables más relevantes se tiene a los voltajes de fase, corriente consumida por la carga, la corriente inyectada por el filtro y voltaje en los capacitores de DC-link. El proceso de adquisición de señales eléctricas por parte los módulos conversores analógicos digitales del controlador MicroLabBox - dSPACE requieren de una etapa previa de acondicionamiento de señales para cumplir con los niveles admisibles manejados por el controlador. Entre las características deseadas en los circuitos de acondicionamiento se puede mencionar la inmunidad al ruido, límite de voltaje dentro de los rangos del ADC, así como un comportamiento lineal en su función de transferencia [87]. El esquema de la adquisición las señales de voltaje y corriente se muestra en la **Figura 3.7**.

Para las mediciones de corriente se utiliza el transformador de corriente de la serie CS60-100L, el cual es un sensor de corriente lineal integrado, diseñado para medir corrientes tanto alternas como continuas hasta 100 A. Cabe mencionar que, la serie CS60 está diseñada para medir corrientes de 5 A a 100 A eficaces [97].



**Figura 3.7** Esquema general de adquisición de señales de voltaje y corriente de fase

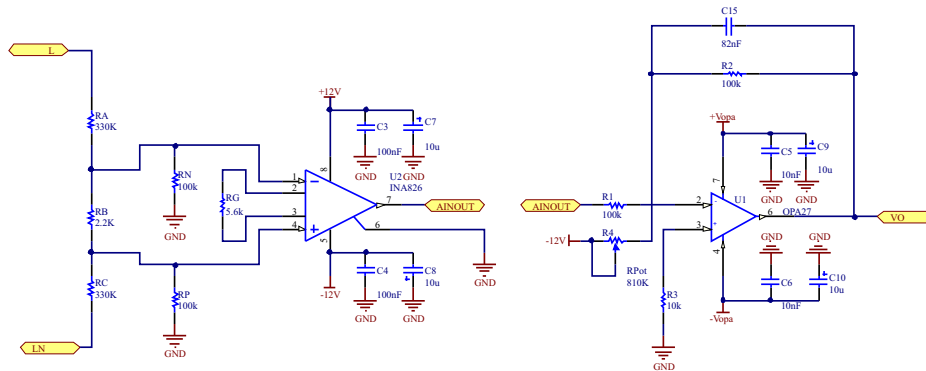
Dicho sensor funciona como el secundario de un transformador de corriente, mientras que el conductor que conduce la corriente a ser medida se emplea como el primario del transformador de una vuelta. Para la medición de voltajes se emplea un circuito basado en amplificadores de instrumentación y un divisor resistivo de entrada, el cual está basado en el amplificador de instrumentación de ultra bajo ruido INA826 así como en amplificadores operacionales OPA27/OPA350. La implementación de los circuitos de acondicionamiento de señal de voltaje y corriente modulares en placas de circuitos impresos puede observarse en la **Figura 3.8**.



(a) Placa de acondicionamiento de voltaje

(b) Placa de acondicionamiento de corriente

**Figura 3.8** Placa de acondicionamiento de señales de voltaje y corriente de fase



**Figura 3.9** Diagrama circuital del esquema de acondicionamiento de señal de voltaje

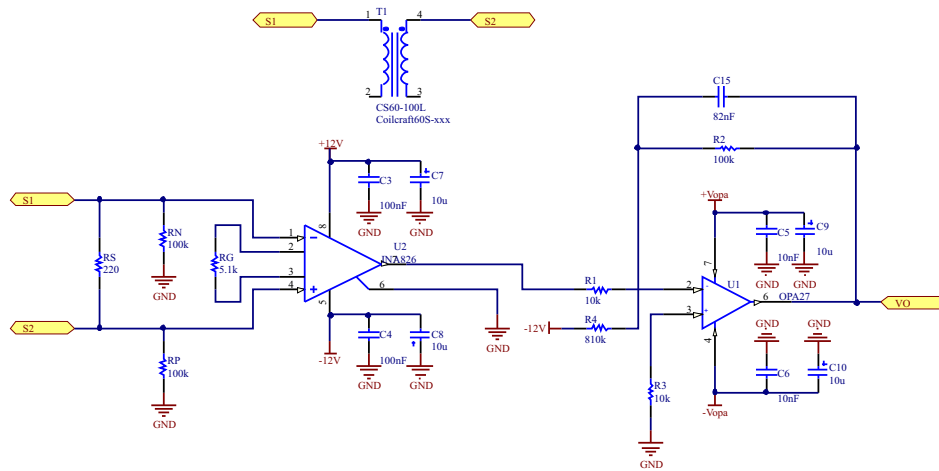
### 3.3.1. Circuito de acondicionamiento de señales de voltaje

En el circuito de medición de voltajes se utiliza una etapa inicial constituida de un divisor de voltaje resistivo al cual se conecta la señal de la red eléctrica a ser procesada. El divisor resistivo es necesario para reducir la amplitud del voltaje a niveles manejables por el amplificador de instrumentación de bajo ruido INA826, utilizado para el diseño propuesto [26]. La señal procesada por el amplificador de instrumentación INA826 posteriormente es llevada a la segunda etapa amplificadora constituida por un amplificador operacional de ultra bajo ruido de la serie OPA27/OPA350, el cual se encarga además de modificar el nivel de offset DC y brindar una segunda amplificación de la señal acondicionada. El diseño del circuito impreso permite adaptar el medidor de voltaje a niveles de salida de  $\pm 10V$  y 0-3V, respectivamente. Esto es posible mediante la modificación de la segunda etapa amplificadora. En la **Figura 3.9** se observa el esquemático del circuito de medición y acondicionamiento para señales de voltaje.

### 3.3.2. Circuito de acondicionamiento de señales de corriente

En la **Figura 3.10** se muestra el esquemático del circuito correspondiente a la etapa de adecuación de señales de corrientes, el cual es utilizado para acondicionar las señales provenientes de los transformadores de corriente CS60-100L. El mismo es realizado a través de un amplificador de instrumentación de bajo ruido de la serie INA826. La salida de este circuito está conectada directamente a la entrada de los conversores ADC del controlador dSPACE. El diseño del circuito impreso permite adaptar el medidor de corriente a niveles de salida de  $\pm 10V$  y 0-3V, respectivamente [26].

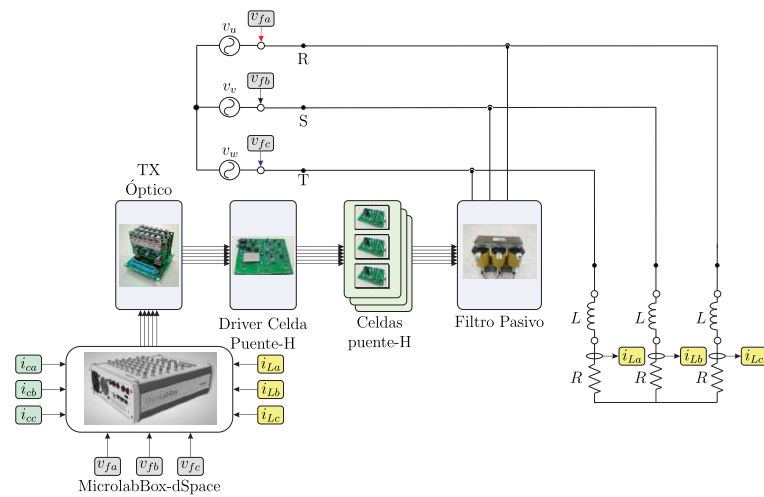




**Figura 3.10** Diagrama circuital del esquema de acondicionamiento de señal de corriente

### 3.4. Integración del filtro activo de potencia multinivel

En la **Figura 3.11** se observa el esquema final implementado resultante del diseño propuesto para el APF multinivel. El sistema consta de un dispositivo controlador Micro-LabBox dSPACE sobre el cual se configuran e implementan los diferentes algoritmos de control, los cuales son descritos en el Capítulo 3. Este dispositivo de desarrollo posibilita



**Figura 3.11** Diagrama de bloques de la plataforma experimental del APF multinivel

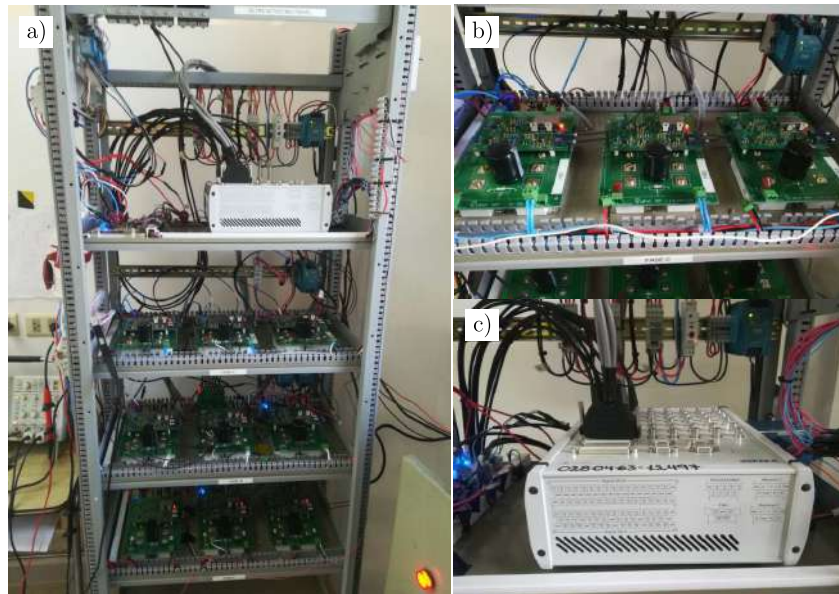
la realización de ensayos experimentales y/o mediciones de forma rápida y sencilla debido principalmente a su entorno de programación basado en el entorno MatLab/Simulink y su aplicación nativa para el desarrollo de interfaces gráficas tipo SCADA [87]. La alta potencia de cálculo provista por un DSP, combinada con muy bajas latencias de E/S proporcionan un buen rendimiento en tiempo real [98]. Además, un FPGA programable le brinda un alto grado de flexibilidad y le permite ejecutar bucles de control extremadamente rápidos.

El controlador MicroLabBox dSPACE interactúa con el sistema físico de la bancada experimental del APF mediante los circuitos de medición y acondicionamiento de señales, obteniendo de éstas las variables necesarias para el algoritmo de control, las cuales son; las corrientes inyectadas por APF, las corrientes de carga y el voltaje de la red eléctrica. El algoritmo de control, una vez obtenida las informaciones externas, se encarga de realizar el cálculo de los vectores de conmutación para cada celda Puente-H, enviando las señales de disparo por las salidas GPIO del controlador, que operan en niveles TTL de 5V. Finalmente, las señales de disparo son transmitidas mediante un enlace de fibra óptica a la placa de control de disparos de los SiC-MOSFET, los cuales están integrados a la placa de potencia junto con los circuitos de acondicionamiento de señales y reducción de los niveles de ruido generados por las conmutaciones de los semiconductores [87].

### 3.5. Montaje experimental del APF

El montaje experimental del APF integra los diferentes módulos diseñados, así como los sistemas de protección eléctrica sobre una plataforma soporte metálica del tipo rack, con el propósito de facilitar el acceso a las celdas para la evaluación experimental del APF multinivel. Para el montaje del hardware del filtro activo de potencia se selecciona una estructura de metal reforzado con capacidad para seis niveles, donde cada nivel es una bandeja metálica que se utiliza de base para albergar equipos de instrumentación, sensores y las celdas Puente-H, dispuestas en cascada [87].

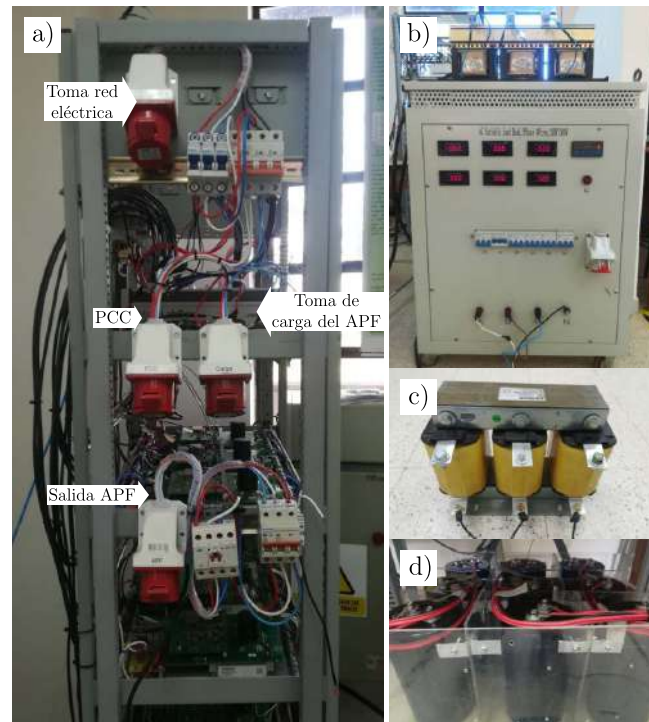
En la **Figura 3.12** se observan los diferentes módulos, los cuales integran las celdas Puente-H, los equipos de instrumentación, protección y control, así como las placas de adecuación de voltaje y corriente de fase [87]. Por otro lado, en la fotografía de la **Figura 3.13 (a)**, se observan las tomas trifásicas correspondientes al conexionado del APF multinivel. La misma sigue el planteamiento mostrado en la **Figura 3.11**, en la cual se tiene la toma principal de la red eléctrica, el cual consiste en un conector trifásico de 4 polos con capacidad de 16 A junto con su llave de protección termomagnética de 16 A. Así mismo, se tiene los conectores correspondientes a la salida del filtro activo multinivel,



**Figura 3.12** Integración de los diferentes módulos diseñados. a) Vista frontal del APF multinivel, b) Celdas Puente-H y c) Controlador dSPACE

el cual cuenta con su propia protección consistente en una llave termomagnética trifásica de 16 A.

Finalmente, se observa el conector correspondiente al punto de acoplamiento común (PCC) el cual permite la interconexión entre filtro, la red eléctrica y la carga a través de un contactor trifásico. Con esto es posible controlar el momento del enganche del APF a la red mediante una señal de activación enviada al contactor. Además, cada fase del APF posee tres celdas Puente-H dispuestas en serie, conformando de esta manera un convertidor de siete niveles. Como se ha descrito en los apartados anteriores cada celda requiere del uso de un DC-link independiente y aislado de las demás celdas. Este DC-link está diseñado en base a un capacitor electrolítico, y dicho capacitor requiere de un proceso de precarga para proveer a los mismos del voltaje inicial. El sistema de precarga se ha sido diseñado utilizando un temporizador industrial junto con un banco de relés que conectan cada capacitor al voltaje requerido a través de un resistor por un intervalo de tiempo adecuado a fin de lograr la precarga de los mismos al valor del DC-link deseado [87]. En la **Figura 3.13 (b)**, se observa la carga reactiva formada por un juego de tres inductores de 114 mH y un carga resistiva trifásica ajustable de hasta 20 kW. El filtro inductivo de salida está conformado por tres inductores de 10 mH y hasta de 10 A máximo, según se muestra en la **Figura 3.13 (c)**, y finalmente se utiliza un banco de capacitores que conforman el



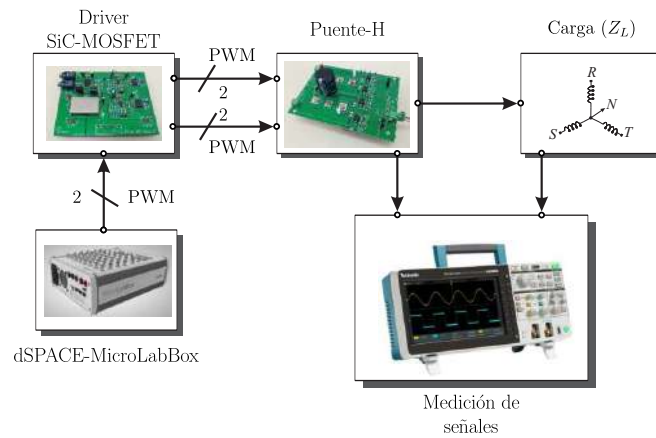
**Figura 3.13** a) Vista lateral del APF multinivel, b) Carga RL, c) Filtro R-L de salida y d) Capacitores de DC-link

DC-link, el mismo está constituido por nueve capacitores de valor  $22000 \mu\text{F}$  y  $600 \text{ V}$  como se observa en la **Figura 3.13 (d)**.

### 3.6. Validación experimental de los diseños propuestos

La plataforma de pruebas para el convertidor Puente-H se observa en la **Figura 3.14**. El esquema consiste en dos módulos independientes, que son el placa del controlador o driver para los SiC-MOSFET y la placa de potencia. Además, se emplea un controlador MicroLabBox-dSPACE para la generación de señales PWM. Las señales de salida son medidas y capturadas mediante el uso de osciloscopios digitales. En este contexto, las especificaciones del experimento, ideado para la verificación del cumplimiento de los objetivos de diseño propuestos se observan en la **Tabla 3.4**.

Las señales de disparo son generadas mediante el dispositivo de control MicroLabBox-dSPACE, las cuales son transmitidas a las celdas Puente-H mediante un enlace de fibra



**Figura 3.14** Esquema de plataforma de pruebas para el controlador y Puente-H

| Parámetro | Valor | Unidad   |
|-----------|-------|----------|
| DC-link   | 30    | V        |
| Carga     | 56    | $\Omega$ |
| fs        | 20    | kHz      |

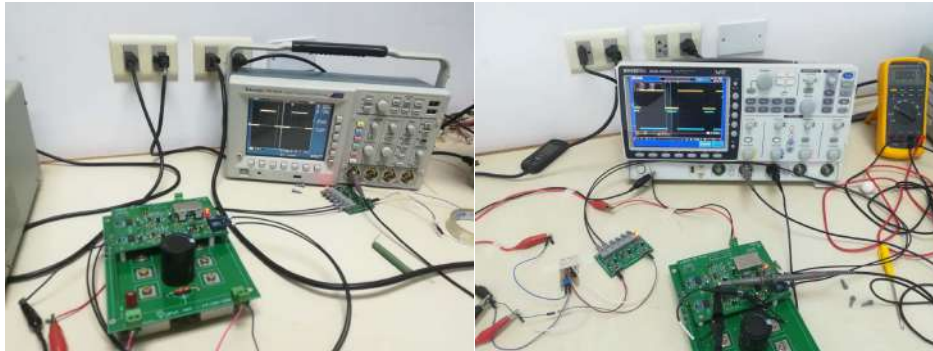
**Tabla 3.4** Parámetros técnicos para los experimentos

óptica de manera a evitar interferencias entre los circuitos de la celda Puente-H y el controlador MicroLabBox-dSPACE.

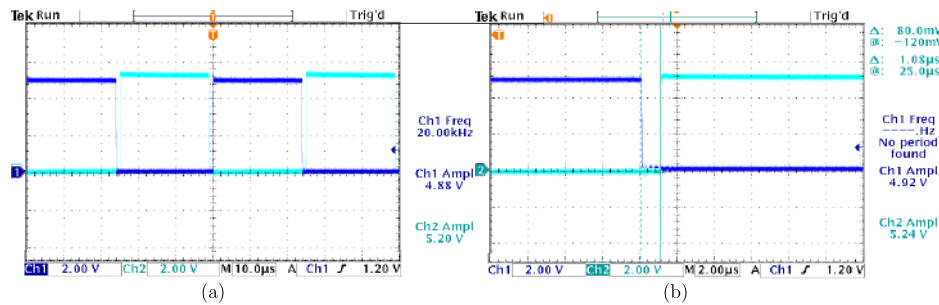
### 3.6.1. Análisis de la celda Puente-H

En la **Figura 3.15** se observa la plataforma de pruebas experimentales para la obtención de los resultados preliminares utilizados para caracterizar la propuesta de diseño a ser implementado en el convertidor de potencia en su modo VSI paralelo.

Las señales de disparo correspondientes a cada SiC-MOSFET que componen el VSI se representan en la **Figura 3.16 (a)**. Dichas señales de disparo son obtenidas a las salidas de los circuitos de generación de señales complementarias y tiempo muerto presentes en la placa de control de disparos. De acuerdo a los resultados mostrados, las señales generadas presentan buenas características eléctricas teniendo en cuenta el bajo nivel de ruido observado así como los retardos debidos a los tiempos de establecimiento de las señales. En la **Figura 3.16 (b)** se observa el resultado de la generación de tiempo muerto mediante hardware, el mismo posee un valor de  $1 \mu s$  para una frecuencia de 20 kHz.

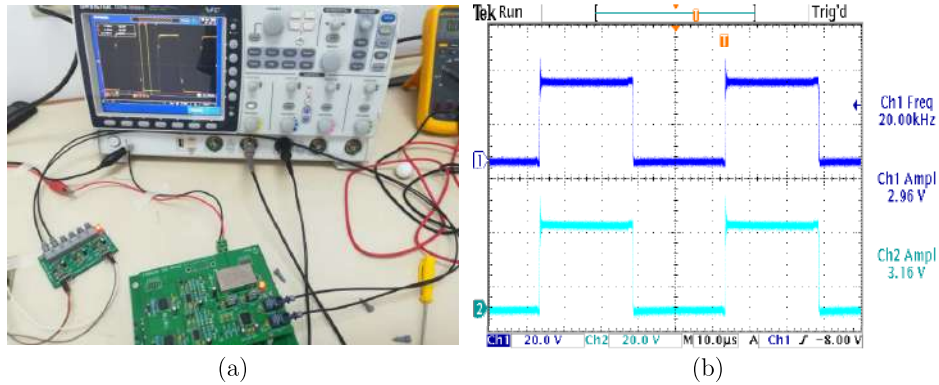


**Figura 3.15** Plataforma de pruebas implementado en el laboratorio



**Figura 3.16** Señales observadas a la salida del Puente-H. a) Señales de disparo complementarias para el Puente-H. b) Tiempo muerto entre señales complementarias

Es importante mencionar que, el valor del tiempo muerto puede ser ajustado de acuerdo a la frecuencia de conmutación a ser utilizada. Este tiempo es fundamental para evitar el cortocircuito momentáneo existente entre las activaciones y desactivaciones de los interruptores de una misma rama del VSI, y esto a su vez generarían pérdidas de potencia y una disminución en el rendimiento del sistema. En cuanto a la placa de potencia, la misma consta de los circuitos de acondicionamiento de señales para cada SIC-MOSFET, consistente en filtros pasivos para el amortiguamiento de sobrepicos que pudiesen presentarse en la señales provenientes de los circuitos integrados controladores para SIC-MOSFET. A modo de facilitar el análisis del esquema, se añaden puntos de medición relevantes. El DC-link a ser utilizado para el diseño posee un valor máximo de 480 V. La **Figura 3.17 (a)** muestra el diseño PCB para la placa de potencia.

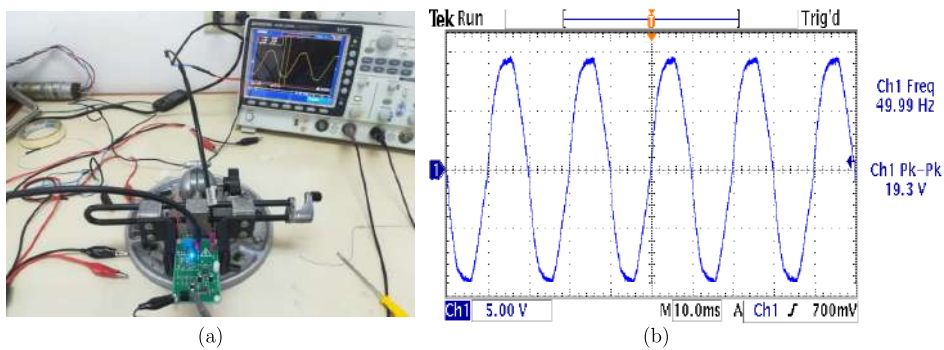


**Figura 3.17** a) Plataforma de pruebas para el Puente-H. b) Señal de salida del Puente-H

Las señales de salida para la celda Puente-H se observan en la **Figura 3.17 (b)**. Se pretende que las señales de salida realicen el seguimiento de las señales de disparo obtenidas por los circuitos de generación de complementos y tiempo muerto. Los resultados obtenidos cumplen adecuadamente el diseño propuesto, según señales capturadas mediante mediciones con el osciloscopio.

### 3.6.2. Análisis de los circuitos de acondicionamientos

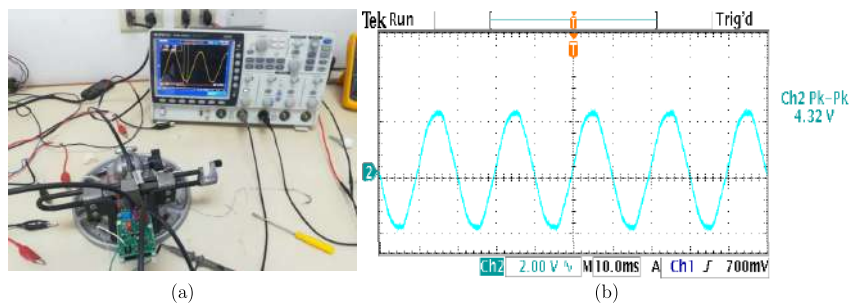
En la **Figura 3.18 (a)** se observa la plataforma de pruebas utilizada en el laboratorio para la validación experimental del sensor de voltaje, el mismo permite medir voltajes de alterna



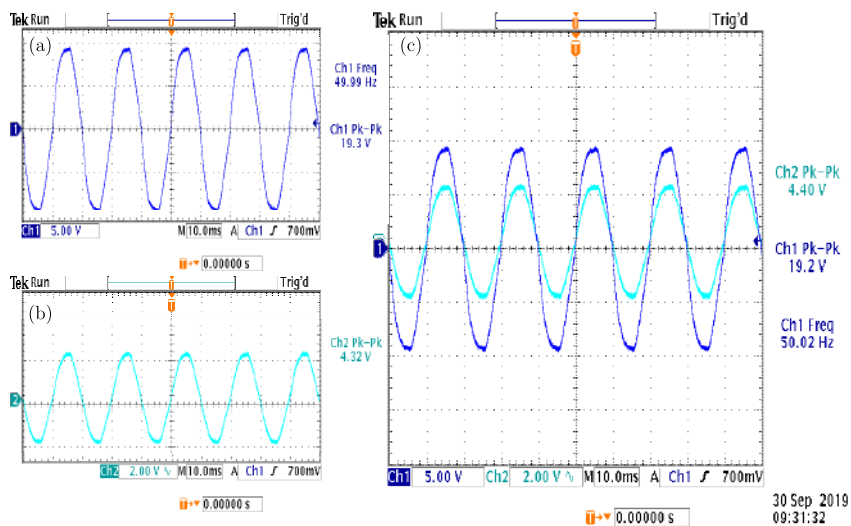
**Figura 3.18** a) Plataforma de pruebas para el sensor de voltaje. b) Señal de salida de voltaje del circuito de acondicionamiento diseñado



hasta 380 Vrms. En la **Figura 3.18 (b)** se observa la forma de onda capturada mediante el osciloscopio de la señales de voltaje. En la **Figura 3.19 (a)** se observa la plataforma de pruebas utilizada en laboratorio para la validación experimental del sensor de corriente. En la **Figura 3.19 (b)** se muestra la evolución de la corriente medida al utilizar una carga resistiva. Finalmente, la **Figura 3.20** muestra la superposición de ambas mediciones, observándose un desfase despreciable entre las mediciones de voltaje y corriente sobre la carga, lo cual es una característica deseable en el momento de la implementación de los algoritmos de control.



**Figura 3.19** a) Plataforma de pruebas para el sensor de corriente. b) Señal de salida de corriente del circuito de acondicionamiento diseñado



**Figura 3.20** Señales de salida de los circuitos de medición. a) Voltaje medido, b) Corriente medida, c) Superposición de señales y desfase



### 3.7. Conclusiones del capítulo

En el presente capítulo se ha abordado el proceso de diseño de los diferentes circuitos electrónicos que componen la celda Puente-H, enfocada a aplicaciones de APFs multinivel. En el capítulo se han incluido la descripción del diseño del circuito de control, la placa de potencia para los dispositivos SiC-MOSFET así como los circuitos de medición y acondicionamiento de señales para adecuar las señales de voltaje y corriente a los niveles soportados por el dispositivo de control dSPACE, dónde son implementados los algoritmos de control en tiempo discreto. Para el diseño de cada circuito se ha tenido en cuenta las recomendaciones presentes en las guías de diseño provistas en las hojas técnicas de los fabricantes de los diferentes dispositivos electrónicos.

Además, se realizaron consideraciones técnicas durante el proceso de diseño de manera a reducir las fuentes de interferencia que pudiesen reducir eficiencia al sistema. Entre estos circuitos de acondicionamientos están incluidas las redes de snubber utilizado en los dispositivos de potencia, los filtros utilizados en las fuentes de poder de los amplificadores operacionales y filtros RC en las etapas de procesamiento de señales PWM. En cuanto a los resultados experimentales, se realizaron pruebas en el laboratorio de todos los diseños propuestos, de manera a corroborar el correcto funcionamiento de los mismos, con los cuales se concluye que dichos circuitos cumplen con los objetivos planteados en esta Tesis Doctoral.

## CAPÍTULO 4

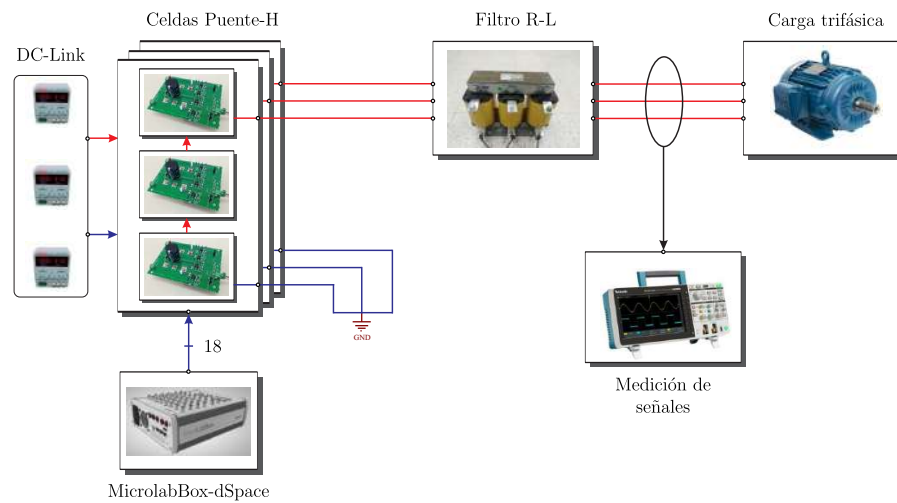
---

# VALIDACIÓN EXPERIMENTAL DE LA PLATAFORMA DISEÑADA

---

### 4.1. Introducción

En el presente capítulo se describe el proceso de obtención de los resultados experimentales a partir de la bancada diseñada y que conforma el APF multinivel basado en celdas Puente-H integrando dispositivos de potencia del tipo SiC-MOSFET. Primeramente se procede a la obtención de resultados con la plataforma de ensayo experimental analizando la funcionalidad de la misma en modo VSI multinivel, aplicando un control predictivo de corriente sobre una carga trifásica. Posteriormente se analiza el funcionamiento de la plataforma experimental en modo APF multinivel, aplicando técnicas de control predictivo y evaluando la potencialidad del esquema implementado para la corrección del factor de potencia y la reducción de los niveles de armónicos de corriente existentes en la red. Desde el punto de vista del control aplicado al filtro activo de potencia multinivel se implementa una técnica de control predictivo de corriente con frecuencia de conmutación constante a partir de una modulación por PWM.



**Figura 4.1** Esquema utilizado para evaluar la plataforma experimental en modo VSI multinivel

Durante las pruebas de la plataforma experimental en su modo filtro activo de potencia multinivel, la compensación puede ser observada mediante las mediciones de tensión y corrientes de fase con las cuales es posible el cálculo de la potencia reactiva presente en la red, así como, la determinación de la cantidad de potencia reactiva necesaria para la realización de la compensación, además de los niveles de armónicos existentes. El control, así como su plataforma de visualización temporal para el monitoreo y adquisición de datos del controlador, se implementa en el dispositivo MicroLabBox dSPACE.

## 4.2. Convertidor en configuración VSI multinivel

La plataforma experimental del APF multinivel, configurado como un convertidor en modo VSI está constituido por celdas Puente-H interconectadas en cascada, y está conformado por un DC-link independiente por cada celda que se aplica mediante fuentes de continua y proporciona la energía necesaria a los dispositivos de conmutación para el sintetizado de las señales de referencia que son inyectadas a la carga en el punto común de conexión. En este modo de operación se integran los dispositivos de conmutación SiC-MOSFET conectados en serie y un filtro inductivo R-L a la salida del convertidor. Este filtro reduce el efecto de las componentes armónicas resultantes a consecuencia de la conmutación de los dispositivos de potencia que conforman el convertidor. En la **Figura 4.1** se observa la configuración de la plataforma experimental para su uso en modo convertidor VSI multinivel.

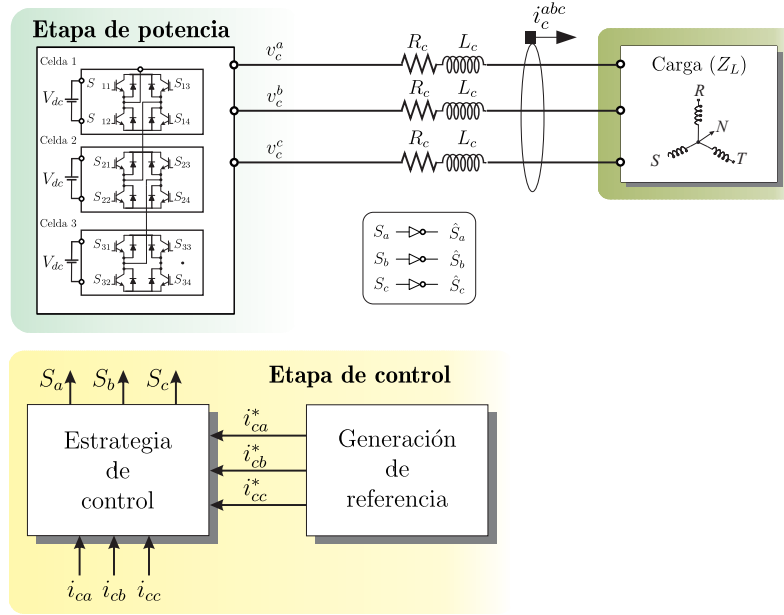
Las pruebas del VSI multinivel se realizan utilizando un esquema de un convertidor de tres celdas Puente-H en cascada por cada fase. El DC-link implementado en cada celda Puente-H posee un nivel de voltaje de 30V, resultando en un total de  $\pm 90V$  de voltaje máximo de salida para cada fase. Una de las ventajas del diseño implementado es su versatilidad y modularidad, lo cual posibilita múltiples configuraciones realizando mínimos cambios en la estructura física del APF, como ser aplicaciones donde se requieran de dos, tres o múltiples niveles de voltaje de salida, además, el diseño modular facilita las labores de mantenimiento ya que permite el intercambio rápido de piezas defectuosas o dañadas de manera rápida. Como carga de pruebas se utiliza un banco de tres inductores de 114 mH cada uno, y banco de resistores trifásico de hasta 20 kW de potencia nominal. Las mediciones de las variables eléctricas se realizan con ayuda de los sensores de voltaje y corrientes cuyo diseño e implementación ha sido abordado en el capítulo anterior.

#### 4.2.1. Control predictivo de corriente aplicado al VSI multinivel

La estrategia de control implementada es del tipo predictivo de corriente, operando a frecuencia de conmutación constante de los dispositivos de potencia, mediante el empleo de una modulación PWM cuyos ciclos de trabajo son calculados en cada instante de muestreo resultante de la minimización de una función de costo predefinida. El control utiliza las mediciones de las corrientes en la carga, como parámetro de entrada de las ecuaciones del modelo predictivo y la posterior minimización de la función de costo, que para el caso particular del control de corriente se define como la minimización del error cuadrático medio entre la corriente de referencia y la predicha calculada a partir de las mediciones [99], [100]. En la **Figura 4.2** se muestra el esquema de control aplicado al convertidor trifásico de siete niveles propuesto. Cada celda está constituido de dos medio Puente-H, con disparos complementarios en cada rama, por tanto se requieren de dos señales de conmutación ( $S_{f_{ij}}$ ) para controlar cada celda, donde  $f$  representa la fase ( $a$ ),  $i$  el número de celda en la fase correspondiente y  $j$  representa el dispositivo de conmutación correspondiente a la celda, respectivamente.

**Modelado del VSI basado en celdas Puente-H** El modelo matemático de la configuración del VSI basado en celdas Puente-H puede obtenerse mediante el empleo de las leyes de Kirchhoff [87]. Para fines de modelado, se supone que las fuentes de voltaje que componen el DC-link se encuentran balanceadas y poseen un valor fijo [101], lo cual arroja la siguiente ecuación:

$$\frac{di_c^a}{dt} = -\frac{R_f}{L_f} i_c^a + \frac{n_c S_{f_{ij}} v_{dc}^a}{L_f} \quad (4.1)$$



**Figura 4.2** Esquema de control predictivo aplicado al convertidor en modo VSI multinivel

donde  $n_c$  es el número de celdas,  $S_{f_{ij}}$  es la función de conmutación y la resistencia  $R_f$  es la resistencia parásita del inductor  $L_f$ , que modela el filtro a la salida del VSI. Para el caso particular del convertidor VSI multinivel, la ecuación diferencial que modela el lado de AC es representada por la siguiente ecuación:

$$\frac{di_c^a}{dt} = \frac{v_c^a}{L_f} - \frac{R_f i_c^a}{L_f} \quad (4.2)$$

donde  $i_c$  representa a la corriente de salida del APF,  $v_s$  corresponde al voltaje de la red eléctrica,  $R_f$  y  $L_f$  representan a los valores de resistencia e inductancia de salida del APF.

El modelo predictivo en tiempo discreto puede obtenerse aplicando el método de discretización de Euler hacia delante sobre el modelo en el dominio de tiempo continuo representado en (4.2). La ecuación de predicción de la corriente de salida es la siguiente:

$$i_c^a(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^a(k) + \frac{T_s}{L_f} * v_c^a(k) \quad (4.3)$$

donde  $k$  corresponde a la muestra actual,  $T_s$  representa al tiempo de muestreo, el valor de  $i_c^a(k+1)$  es una predicción de las corrientes de fase a la salida del VSI multinivel, calculada utilizando las corrientes medidas en el instante de muestreo  $k$ .

**Proceso de optimización y algoritmo basado en el control predictivo** Para el esquema de control predictivo propuesto, aplicado al VSI, los errores de predicción se calculan para cada vector de conmutación posible, para lo cual se asume como función objetivo, la minimización de los errores de predicción. Estos errores de predicción se calculan a partir de la siguiente ecuación:

$$ei_c^a(k+1) = i_c^{a*}(k+1) - i_c^a(k+1) \quad (4.4)$$

donde  $ei_c^a(k+1)$  representa el error de la predicción de la corriente del convertidor para el caso particular de la fase (a),  $i_c^{a*}(k+1)$ , representa la referencia de corriente en el instante (k+1) y la  $i_c^a(k+1)$  representa la corriente predicha en el instante (k).

Para cada uno de los valores obtenidos por la ecuación de predicción (4.4) se evalúa una función de costo. La función de costo es definida típicamente como la media cuadrática del error de predicción, que se puede obtener mediante la ecuación (4.5).

$$g(k+1) = \| ei_c^a(k+1) \|^2 \quad (4.5)$$

El algoritmo de optimización, posterior a la realización de todas las iteraciones posibles, selecciona el vector óptimo  $S^{opt}$  que minimiza la función de costo definida representada por la ecuación 4.5. Este proceso es recursivo y se realiza en cada instante de muestreo. De esta manera, el **Algoritmo 1** resume el proceso de optimización.

---

**Algoritmo** Optimización del algoritmo

---

1. Inicializar variables  $g_o^a := \infty, \eta := 0$
  2. Computo de la referencia de corriente del VSI.
  3. **while**  $\eta \leq \varepsilon$  **do**
  4.      $S_{f_{ij}} \leftarrow S_{f_{ij}}^\eta \forall i = 1, \& g = 1$
  5.     Computo de la predicción de las corrientes del VSI. Eqn. (4.3).
  7.     Computo del error. Eqn. (4.4).
  8.     Computo de la función de costo. Eqn. (4.5).
  9.     **if**  $g^a < g_o^a$  **luego**
  10.          $g_o^a \leftarrow g^a, S_a^{opt} \leftarrow S_{a_{ij}}$
  11.     **end if**
  18.      $\eta := \eta + 1$
  19. **end while**
- 

Para la generación de las corrientes trifásicas de referencia se utilizan las expresiones matemáticas que definen el comportamiento temporal de las corrientes trifásicas sinusoidales, de frecuencia igual a la de la red eléctrica y amplitud definida como parámetro

de referencia. La expresión de las corrientes de referencia, en su forma discreta están definidas por las siguientes expresiones:

$$i_{ca}^* = I_m * \sin(2 * \pi * f * Ts * j) \quad (4.6)$$

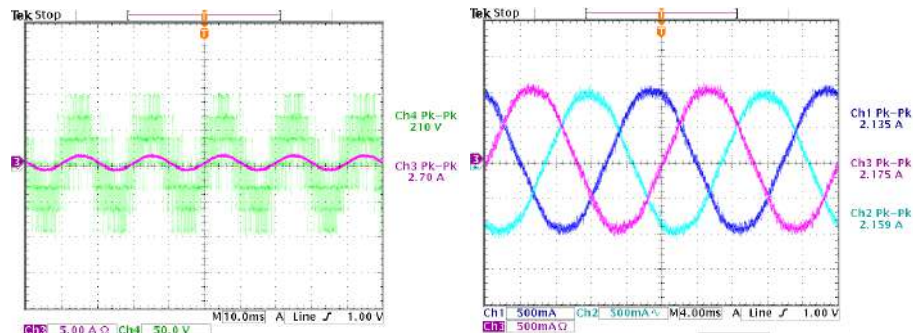
$$i_{cb}^* = I_m * \sin(2 * \pi * f * Ts * j - 2,09439) \quad (4.7)$$

$$i_{cc}^* = I_m * \sin(2 * \pi * f * Ts * j + 2,09439) \quad (4.8)$$

donde el término  $I_m$  representa la amplitud pico de corriente deseada,  $f$  la frecuencia de las corrientes de salida,  $Ts$  el tiempo de muestreo y  $j$  el instante de de muestreo actual.

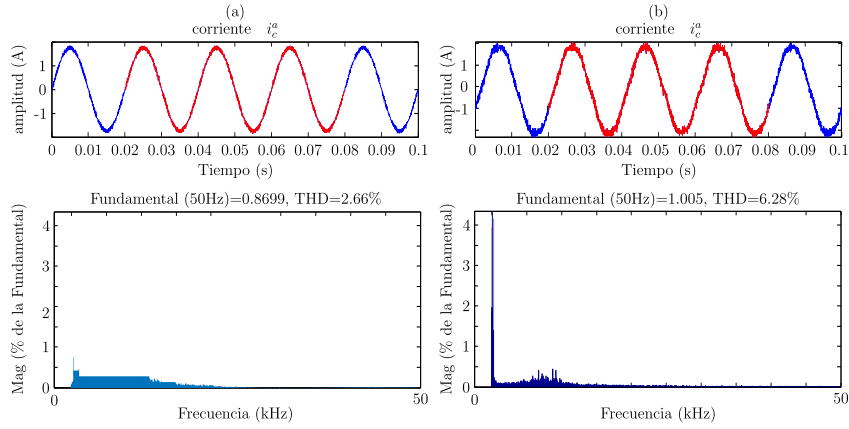
#### 4.2.2. Resultados experimentales en modo VSI multinivel

De manera a corroborar el adecuado funcionamiento del convertidor de potencia diseñado, y como procedimiento previo a la evaluación del sistema filtro activo de potencia multinivel, se procede a la obtención de resultados experimentales a partir de la plataforma experimental en modo VSI multinivel, en el cual se implementa un control predictivo de corriente. A fin de lograr el objetivo propuesto, se considera inicialmente que el convertidor regula la corriente inyectada a una carga trifásica resistiva pura, asumiendo además los siguientes parámetros; voltaje de DC-link,  $V_{dc} = 30V$ , frecuencia de conmutación  $f_s = 33kHz$  y la carga  $R_L = 16\Omega$ .



(a) Señales de salida del convertidor de potencia en modo VSI multinivel. (b) Corrientes de salida del convertidor de potencia en modo VSI multinivel.

**Figura 4.3** Resultados experimentales del convertidor de potencia en modo VSI multinivel con control predictivo de corriente



**Figura 4.4** Análisis comparativo del THD de la corriente del VSI suministrada a la carga, a) Análisis de THD a partir de simulaciones, b) Análisis de THD tomando como referencia resultados experimentales

La señal de salida del convertidor de potencia  $v_c^\phi$ , así como la corriente generada para la fase  $i_c^\phi$  a partir de las referencias y como resultado de implementar un control predictivo clásico sin modulación, se observa en la captura de pantalla del osciloscopio, mostrado en la **Figura 4.3 (a)**. Por otro lado, las corrientes trifásicas obtenidas mediante el convertidor en modo VSI multinivel se observan en la **Figura 4.3 (b)**. Puede apreciarse en estas gráficas que las corrientes aplicadas a la carga trifásica son generadas en la secuencia correcta, arrojando un bajo contenido de distorsión armónica, lo cual es de esperar gracias a la capacidad que posee el convertidor multinivel para generar señales sinusoidales.

Una de las fuentes más importantes de generación de armónicos en las instalaciones eléctricas domiciliarias, comerciales e industriales son los convertidores de potencia basados en semiconductores que presentan un comportamiento no lineal en régimen permanente. Este tipo de cargas electrónicas distorsionan las formas de ondas de las señales de voltaje y corriente presentes en el sistema eléctrico completo. Para una comprensión adecuada de los efectos adversos sobre el sistema eléctrico es importante determinar el nivel de armónicos introducido por el diseño del APF propuesto [87]. Para ello se realiza un estudio del nivel de THD introducido por el convertidor, mediante las mediciones obtenidas de las señales de corriente y voltaje. En la **Figura 4.4** se observa los resultados obtenidos de los cálculos del nivel de distorsión armónica total (THD) de la corriente de salida del VSI multinivel, aplicada a la fase  $a$  de la carga. A modo comparativo se muestra en la **Figura 4.4 (a)** los resultados obtenidos mediante simulaciones utilizando el entorno MatLab/Simulink y en la **Figura 4.4 (b)** se muestra el cálculo del nivel de THD obtenido mediante ensayos experimentales.



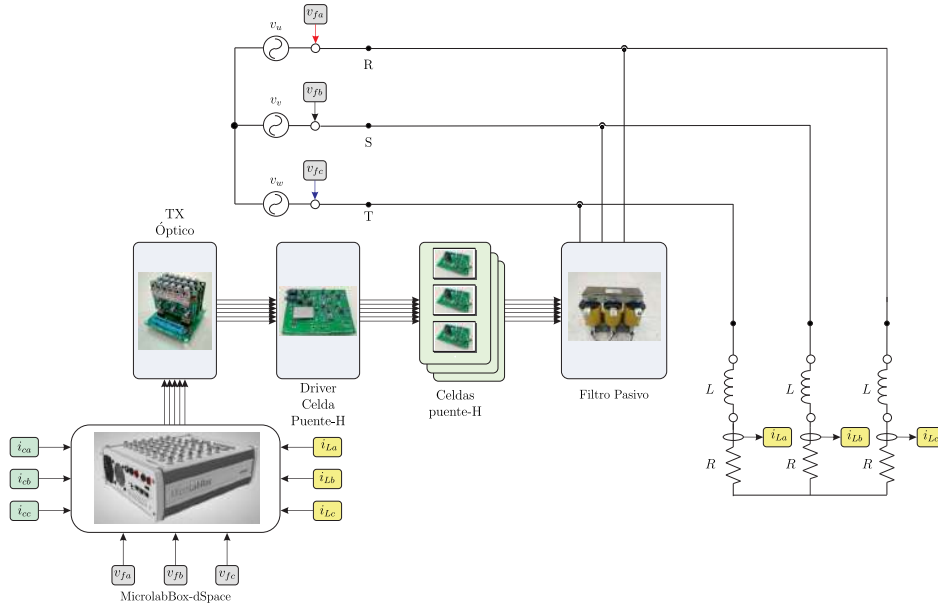
### 4.3. Convertidor en configuración filtro activo de potencia multinivel

La **Figura 4.5** muestra la configuración utilizada para la implementación del APF multinivel, basado en celdas Puente-H en cascada para conformar un convertidor de siete niveles. Como puede observarse en el diagrama, el convertidor integra tres celdas Puente-H por cada fase, interconectadas en serie entre sí conforme el diagrama de bloques. Cada celda Puente-H posee su propio bus de continua, (DC-link) independientes y aisladas entre si, y las mismas se implementan a partir de capacitores ( $C_{dc}$ ). A su vez, cada celda se compone de dos medio Puente-H con dispositivos de potencia de tecnología SiC-MOSFET. Las señales de conmutación ( $S_{fij}$ ) utilizados para el disparo de cada celda se transmiten mediante un enlace de fibra óptica de manera a reducir los efectos del ruido eléctrico sobre el controlador dSPACE debido a la conmutación de los dispositivos de potencia, logrando de esta manera una reducción significativa de los efectos adversos del ruido eléctrico. Cada celda Puente-H se divide en dos placas, siendo la primera la placa de control de disparos o driver, dónde se montan los circuitos integrados necesarios para la generación de las señales de control de compuerta para cada SiC-MOSFET, los circuitos de acondicionamiento de señales y generación de tiempo muerto. La segunda corresponde a la placa de potencia, en donde se incluyen los circuitos de acondicionamiento de disparos para los SiC-MOSFET, el DC-link y los montajes para los dispositivos de potencia. En cuanto a los circuitos de mediciones eléctricas, se requieren del uso de seis sensores de corriente y tres sensores de voltaje para las fases, y además de otros tres sensores para la medición de un voltaje de DC-link por cada fase.

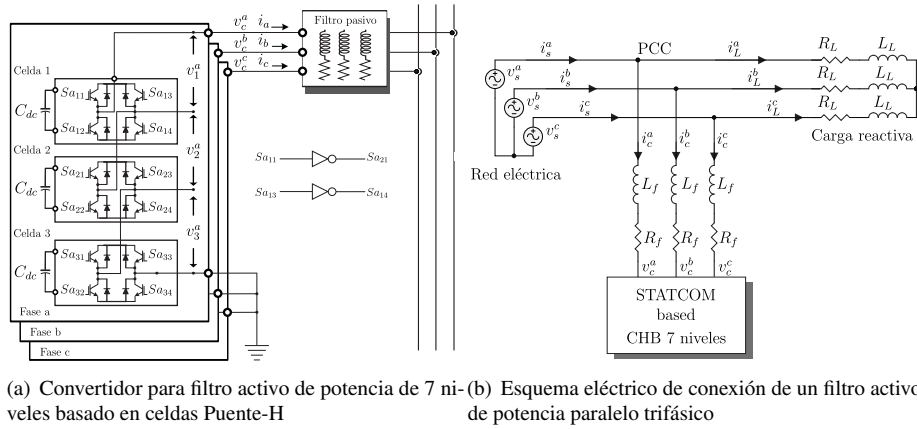
#### 4.3.1. Modelo predictivo del filtro activo de potencia

El modelo dinámico de la configuración del circuito que conforma el filtro activo de potencia multinivel observado en la **Figura 4.6 (b)** se puede obtener utilizando las leyes de Kirchhoff. Para fines de modelado, se supone que las fuentes de voltaje trifásicas están balanceadas y que todas las celdas Puente-H del convertidor multinivel poseen la misma capacitancia y voltaje en su lado de continúa [87]. Como puede apreciarse en la figura, el filtro activo de potencia está conectado en el punto de acoplamiento común (PCC), a través del filtro R-L conectado a la salida del convertidor, y a su vez, en paralelo con la carga que genera la potencia reactiva a compensar. Aplicando la ley de tensión de Kirchhoff se obtienen las siguientes ecuaciones [64], [65]:

$$\frac{di_c^{abc}}{dt} = \frac{v_s^{abc}}{L_f} - \frac{R_f}{L_f} i_c^{abc} - \frac{n_c S_{fij} v_{dc}^{abc}}{L_f} \quad (4.9)$$



**Figura 4.5** Esquema de evaluación experimental en modo APF multinivel

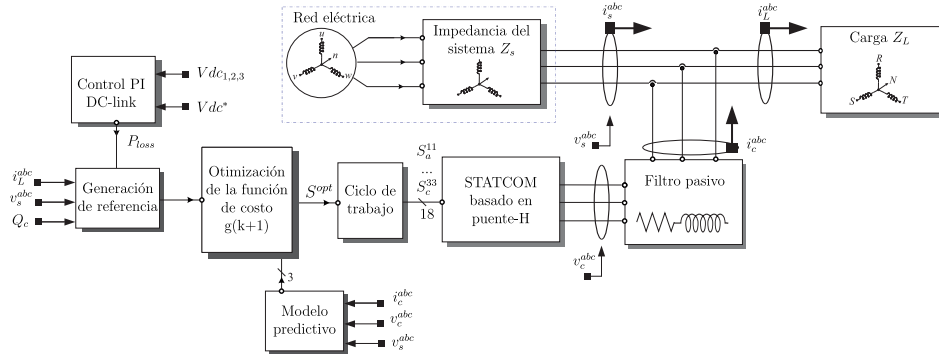


(a) Convertidor para filtro activo de potencia de 7 ni- (b) Esquema eléctrico de conexión de un filtro activo de potencia paralelo trifásico

**Figura 4.6** Diagrama de bloques del convertidor multinivel y topología de interconexión en un esquema de filtro activo de potencia

Para el caso particular del filtro activo de potencia multinivel, la ecuación diferencial que modela el lado AC se representa mediante la siguiente ecuación:

$$\frac{di_c^{abc}}{dt} = \frac{v_s^{abc}}{L_f} - \frac{v_c^{abc}}{L_f} - \frac{R_f i_c^{abc}}{L_f} \quad (4.10)$$



**Figura 4.7** Esquema de control propuesto para el filtro activo de potencia multinivel trifásico

Al igual que para el caso presentado en el apartado correspondiente a la configuración VSI, estas ecuaciones temporales representadas en tiempo continuo pueden ser aproximadas a una ecuación en diferencia utilizando la notación en tiempo discreto aplicando la aproximación de primer orden del método de Euler hacia adelante. Dicho procedimiento permite calcular el modelo predictivo de las corrientes de salida del filtro activo de potencia, las cuales pueden ser representadas por la siguiente ecuación [66]:

$$i_c^{abc}(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^{abc}(k) + \frac{T_s}{L_f} \{v_s^{abc}(k) - v_c^{abc}(k)\} \quad (4.11)$$

donde el término  $k$  representa el instante de muestreo actual,  $T_s$  es el tiempo de muestreo, a su vez  $i_c^{abc}(k+1)$  son las predicciones de las corrientes de fase del filtro activo de potencia multinivel calculadas tomando como referencia las corrientes medidas en el instante de muestra  $k$ , así como las mediciones de los voltajes de red de cada fase,  $v_s^{abc}$ , en cada instante  $k$ .

**Control predictivo aplicado al filtro activo de potencia** La Figura 4.7 muestra el diagrama de bloques del esquema de control propuesto aplicando el control predictivo al filtro activo de potencia trifásico de 7 niveles basado en celdas Puente-H interconectadas en cascada [87]. En el control predictivo propuesto para esta aplicación, los errores de predicción se calculan para cada vector de voltaje de salida posible, siguiendo un esquema de optimización realizado en cada instante de muestreo, procediendo a calcular previamente el error de predicción de la corriente a partir de la siguiente ecuación:

$$ei_c(k+1) = i_c^{abc*}(k+1) - i_c^{abc}(k+1) \quad (4.12)$$

siendo  $ei_c(k+1)$  el error de predicción de corriente generada a la salida del filtro activo de potencia [102, 103]. El error de predicción es calculado para cada vector de conmutación para posteriormente evaluar una función de costo, la cual puede definirse como:

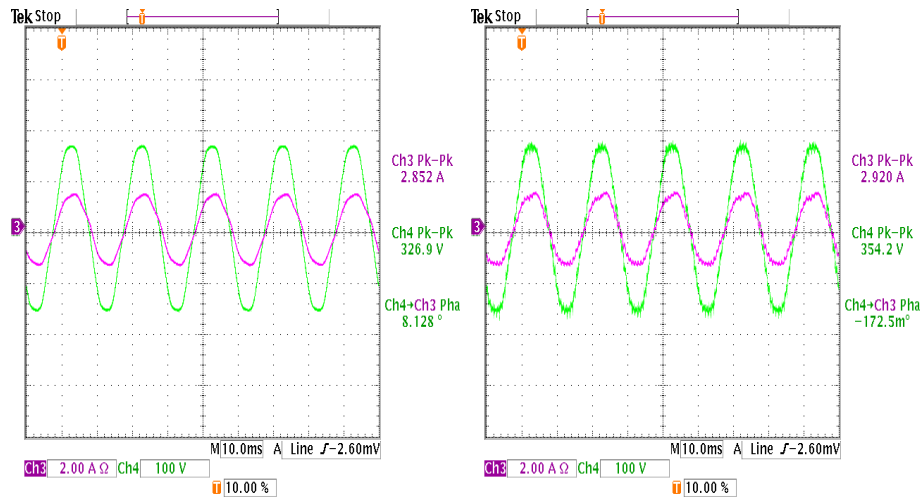
$$g(k+1) = \| ei_c(k+1) \|^2 \quad (4.13)$$

Luego del proceso de optimización, el algoritmo selecciona el vector que minimiza la función de costo, y mediante dicho vector selecciona y aplica el nivel de voltaje adecuado para cada fase durante un periodo de muestreo, el cual es enviado posteriormente a los bloques de modulación PWM.

#### 4.3.2. Compensación de la potencia reactiva aplicando la técnica IRPT

A fin de evaluar la funcionalidad del filtro activo de potencia multinivel para la corrección del factor de potencia, se ha procedido a analizar desde el punto de vista experimental la capacidad de compensación de potencia reactiva generada por una carga trifásica con componentes resistivos-inductivos. Este procedimiento de compensación consiste en la reducción o eliminación de la cantidad de energía reactiva presente en un sistema eléctrico mediante la instalación, en este caso, de un filtro activo de potencia en conexión paralelo, de siete niveles, incrementando de esta manera la relación entre la potencia activa respecto a la total [87]. El objetivo básico, al compensar la energía reactiva es tender a conseguir un factor de potencia unitario; o sea, que toda la potencia suministrada desde la red eléctrica hacia la carga reactiva es vista desde la red como un suministro de potencia puramente activa. La presencia de potencia reactiva genera un desfase entre el voltaje y la corriente, lo cual se convierte en un indicador válido para detectar la presencia de cargas reactivas conectadas a la red. En la **Figura 4.8** se observa las mediciones de los voltajes en la red eléctrica y la corriente consumida por la carga R-L de prueba, en dos instantes de funcionamiento; antes de la activación del filtro activo de potencia, y posterior a la activación del mismo.

En la **Figura 4.8 (a)**, se observa el instante previo a la conexión del filtro activo de potencia multinivel, el desfase observado en grados sexagesimales entre las señales de voltaje y corriente es de  $8.1^\circ$ . Bajo estas condiciones operativas, la carga de prueba registra un consumo de potencia activa de 700W, junto con una potencia reactiva de 100VAR. Una vez puesto en operación el filtro activo de potencia multinivel e implementado el control propuesto sobre sistema diseñado, se observa la compensación de la potencia reactiva, principalmente si se tiene en cuenta el desfase existente entre las señales de voltaje y corriente medidas desde la red eléctrica.



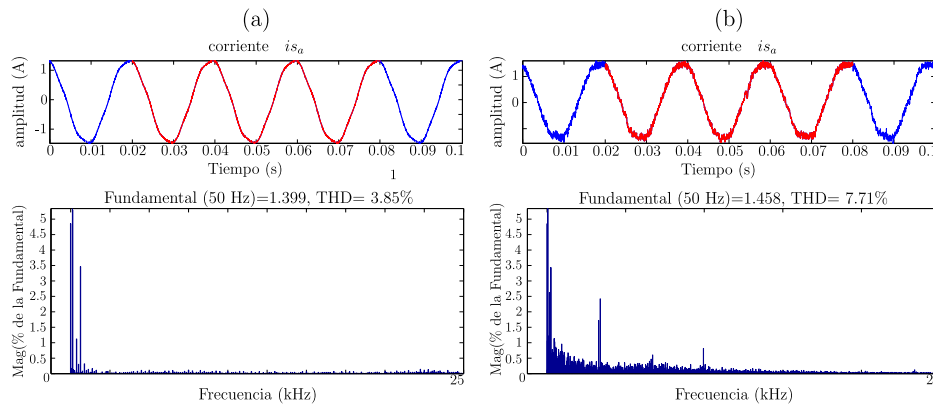
(a) Desfasaje entre el voltaje y la corriente en la red en presencia de una carga  $R - L$ , sin compensar. (b) Desfasaje entre el voltaje y la corriente en la red en presencia de una carga  $R - L$  compensado.

**Figura 4.8** Comparación entre los niveles de potencia reactiva existente en la red eléctrica. a) Sistema sin compensar b) Sistema compensado utilizando el filtro activo de potencia multinivel diseñado

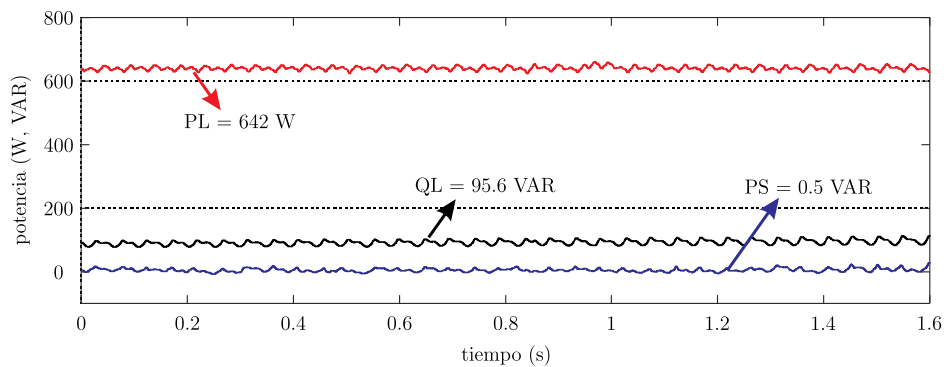
Por otro lado, en la **Figura 4.8 (b)** se observa las mediciones de voltaje en la red eléctrica y la corriente consumida por la carga  $R-L$  de prueba, una vez el filtro activo de potencia esté operativo. Puede apreciarse mediante las mediciones experimentales que el desfasaje entre el voltaje y la corriente en la red eléctrica disminuye significativamente hasta un valor cuantificado de  $0.17^\circ$ , lo cual representa una disminución de la potencia reactiva hasta niveles prácticamente despreciables. Estos ensayos corroboran la eficiencia de los algoritmos de control implementados, junto con el hardware desarrollado en el marco de la presente Tesis.

De manera a cuantificar el nivel de interferencia introducido por el filtro activo de potencia se realiza un análisis del nivel de THD existente en la red eléctrica. En la **Figura 4.9** se observa los resultados obtenidos a partir de los cálculos del nivel de THD de la corriente de red medida una vez activado el filtro activo de potencia. A modo de contraste se muestra en la **Figura 4.9 (a)** los resultados obtenidos mediante simulaciones y en la **Figura 4.9 (b)** se muestra el cálculo del nivel de THD mediante resultados experimentales.

Por otra parte, en la **Figura 4.10** se observa los resultados experimentales obtenidos del filtro activo de potencia multinivel utilizando la herramienta ControlDesk-dSPACE. La herramienta ControlDesk posibilita realizar el monitoreo y captura de las variables utilizadas en el algoritmo de control propuesto e implementadas en el DSP interno del

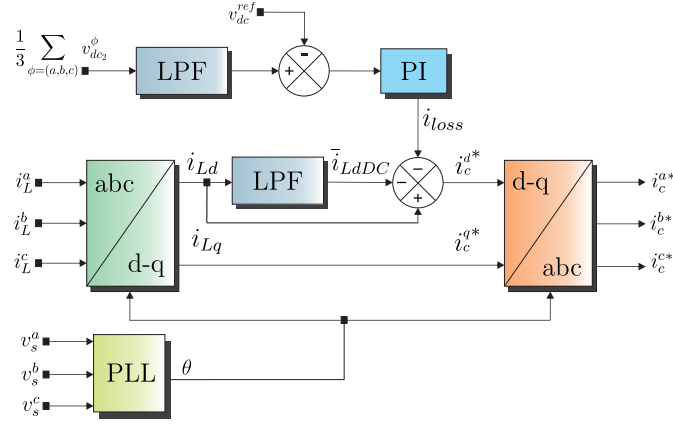


**Figura 4.9** Nivel de THD existente en las corrientes de la red eléctrica



**Figura 4.10** Resultados experimentales de compensación de potencia reactiva

dSPACE. Mediante estos datos capturados es posible realizar operaciones matemáticas como ser el cálculo de las potencias activas y reactivas existentes en el lado de la carga, red eléctrica, y así como las potencias entregadas por el filtro activo de potencia para la operación de compensación. Asumiendo que la compensación realizada es la de potencia reactiva generada por la carga de prueba R-L, tal como puede apreciarse en la **Figura 4.10**, dicha carga genera una potencia activa de 642 W, y una potencia reactiva de 95.63 VAR. En la gráfica de potencias puede apreciarse como al momento de aplicarse el APF hacia el lado de la red eléctrica la potencia reactiva producida por la carga es compensada pudiéndose cuantificar un nivel de potencia reactiva de 0.505 VAR, entregada a la carga desde la red eléctrica.



**Figura 4.11** Generación de referencia de corriente basada en la teoría SRF

#### 4.3.3. Compensación de armónicos aplicando la técnica SRF

La **Figura 4.6** muestra el esquema de control aplicado al APF multimodular basado en el convertidor multinivel CHB trifásico de siete niveles, de manera análoga a la estrategia de control IRPT descrita en apartados anteriores, el modelo predictivo de las corrientes de salida del filtro activo de potencia, mostrado en la ecuación (4.11), son las mismas aplicadas con la estrategia de control basada en la técnica SRF. El controlador propuesto requiere del cálculo de las corrientes de referencia para evaluar la función de costo, en la **Figura 4.11** muestra el diagrama de bloques del proceso de generación de referencia, basado en la teoría del marco de referencia síncrono (SRF) [104].

Para la generación de las referencias se requiere de la medición de las corrientes de carga y los voltajes de la red eléctrica para la determinación de la corriente de compensación, así como de las mediciones de los voltajes de DC-link para la implementación del controlador externo PI necesario para la compensación de las pérdidas de potencia en los capacitores [105, 32]. La técnica basada en la teoría SRF se basa en la aplicación de la transformación de Park, de manera a generar las señales d-q-0. Dicha técnica hace uso de un PLL trifásico para sincronizar estas señales con los voltajes de la red eléctrica [106]. Las corrientes de carga y los voltajes existentes en la red se representan en el subespacio d-q-0 utilizando la matriz de transformación de Park:

$$T_{dq} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin(\theta) & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (4.14)$$

Los componentes d-q pueden ser descompuestos en dos elementos, un componente de DC denominado  $\bar{i}_{LdDC}$  asociado con la frecuencia fundamental de 50 Hz y el otro  $\tilde{i}_{Ld}$  asociado con las frecuencias armónicas. Las corrientes en los ejes d-q pueden ser representadas de la siguiente manera:

$$\begin{aligned} i_{Ld} &= \bar{i}_{LdDC} + \tilde{i}_{Ld} \\ i_{Lq} &= \bar{i}_{Lq} + \tilde{i}_{Lq} \end{aligned} \quad (4.15)$$

donde  $i_{Ld}$  representa a la componente directa de la corriente de carga y su vez  $i_{Lq}$  corresponde a la componente en cuadratura de la corriente de carga.

La componente armónica  $\tilde{i}_{Ld}$  se separa a través de un filtro paso bajo digital de segundo orden (LPF) como se muestra en el esquema de la **Figura 4.11**. Finalmente, las corrientes de referencia en el marco d-q adoptan las siguientes expresiones:

$$i_{cd}^* = i_{Ld} - \bar{i}_{LdDC} - i_{loss} \quad (4.16)$$

$$i_{cq}^* = i_{Lq} \quad (4.17)$$

El término  $i_{loss}$  de la ecuación (4.16) corresponde a la energía adicional necesaria para mantener el voltaje promedio en los capacitores de DC-link de cada celda. El valor de  $i_{loss}$  se obtiene usando un controlador PI, según lo observado en la literatura. El bucle externo de control PI es necesario para mantener el nivel del voltaje de los capacitores de DC-link, ya que dependiendo de cómo el filtro activo de potencia inyecte corriente a la red eléctrica, los capacitores liberan o absorben energía, causando una caída o un aumento de voltaje en los mismos [107, 108]. La solución propuesta, en el marco del desarrollo de la presente Tesis, para la implementación del lazo de control PI consiste en efectuar la medición del voltaje del capacitor de DC-link de una celda por cada fase, en base a lo cual se realiza el control PI, para posteriormente, promediar la acción de control individual de cada PI [109, 110]. La solución propuesta posee la ventaja de reducir el costo computacional así como los requerimientos de hardware al reducir la cantidad de sensores de voltaje necesarios para las mediciones de los voltajes de DC-link impactando directamente en los costos de implementación de la bancada experimental [111, 112]. Las expresiones observadas en la ecuación (4.18) y la ecuación (4.19) resumen la estrategia de control PI implementada.

$$e_k^\phi = v_{dc}^{ref} - v_{dc2}^\phi \quad (4.18)$$



$$i_{loss}^{\phi} = i_{loss(k-1)} + kp * (e_k^{\phi} - e_{k-1}^{\phi}) + Tm_{pi} * ki * e_k^{\phi} \quad (4.19)$$

$$i_{loss} = \frac{1}{3} \sum_{\phi=a,b,c} i_{loss}^{\phi} \quad (4.20)$$

donde  $e_k^{\phi}$  representa el error entre la referencia y los valores de  $v_{dc2}^{\phi}$ , los cuales corresponden a los voltajes de DC-link medidos y filtrados. El valor de  $i_{loss}$  corresponde a la pérdida de energía actual, y a su vez,  $i_{loss(k-1)}$  es la corriente de pérdida estimada en el instante anterior, mientras que  $e_{(k-1)}$  el error de predicción de voltaje calculado en el instante anterior, El periodo de muestreo del controlador PI está dado por  $Tm_{pi}$ .

Los valores de los parámetros  $k_p$  y  $k_i$  se estiman de acuerdo con lo expuesto en [113, 114], dichas expresiones se pueden expresar como:

$$\begin{aligned} k_p &= \frac{C_{dc}}{2.Tm_{pi}} \\ k_i &= \frac{k_p}{2} \end{aligned} \quad (4.21)$$

El controlador propuesto se basa en un control MBPC para el seguimiento de la referencia y equilibrio de los voltajes de los capacitores de DC-link. El MBPC se basa en el proceso de optimización en el que se minimiza una función de costo. La función de costo se define como la diferencia entre los valores de referencia y las estimaciones obtenidas mediante el modelo de predicción. La función de costo implementado para el control propuesto es del tipo multi objetivo, minimizando los errores de seguimiento de corriente y el error de seguimiento del voltaje de DC-link, la misma se evalúa mediante la siguiente expresión:

$$g^{\phi} = \| i_c^{\phi*} - \hat{i}_c^{\phi}(k+1) \|^2 + \lambda \| v_{dc}^{ref} - \hat{v}_{dc2}^{\phi}(k+1) \|^2 \quad (4.22)$$

donde  $\lambda$  corresponde a un factor de peso en el proceso de optimización asignada de manera heurística.

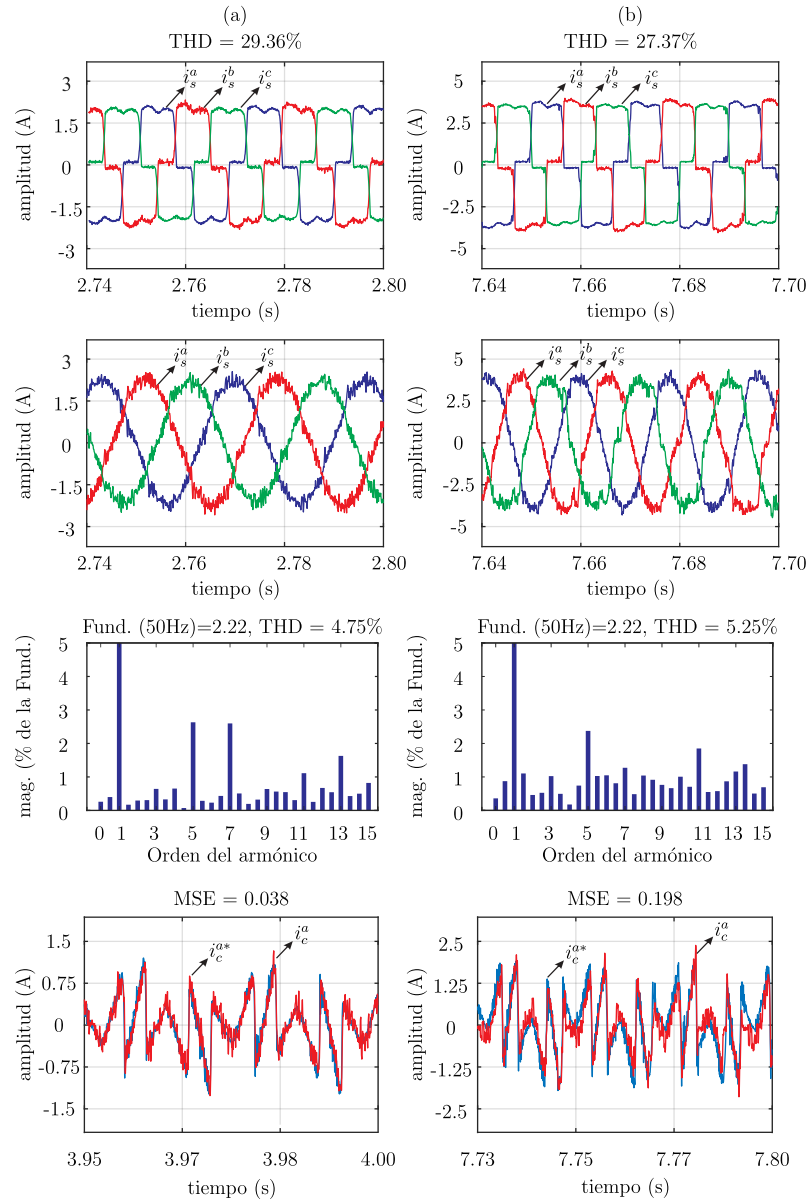
**Resultados experimentales aplicando la técnica SRF** Para verificar el correcto funcionamiento de la bancada experimental del diseño del APF propuesto, aplicado a la reducción de los niveles de armónicos se realizaron mediciones de las variables eléctricas relevantes del APF, como ser la corriente en la carga, corrientes y voltajes en la red eléctrica, antes de la activación del APF y posterior a la activación de la misma, de manera

a comparar los niveles de THD en ambos estados operativos. Para la obtención de los resultados experimentales se hizo uso del software ControlDesk del dSPACE, así como datos capturados a través del osciloscopio digital.

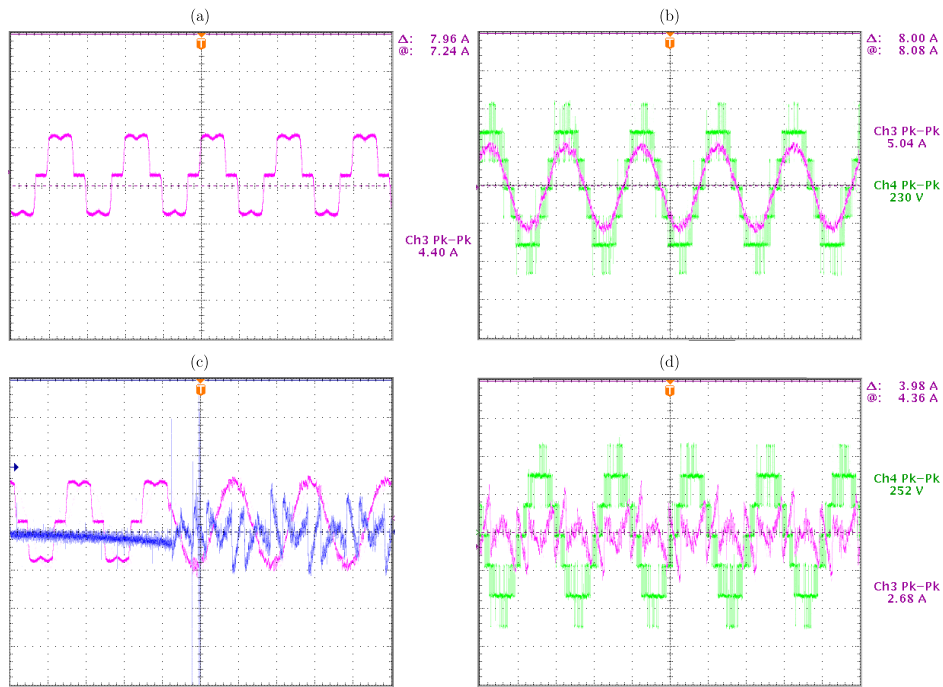
En este apartado se muestran los resultados experimentales obtenidos con la bancada experimental, considerando los siguientes parámetros técnicos aplicados al APF: voltaje de red eléctrica,  $v_s^\phi = 120$  Vrms, voltaje del DC-link,  $v_{dc}^{ref} = 75$  V, inductancia de salida del APF,  $L_f = 10$  mH. La carga no lineal corresponde a un puente rectificador trifásico, la salida del puente rectificador está conectado a una carga resistiva con valores comprendidos entre  $R_L = 100 \Omega$  y  $50 \Omega$ , respectivamente. La capacitancia del DC-link de las celdas Puente-H poseen un valor de ( $C_{dc}$ ) es  $20000 \mu$  F. El parámetro  $\lambda$  utilizado para evaluación de la función de costo multi objetivo posee un valor de 0.02, cuyo valor fue determinado mediante un proceso de heurístico.

La eficacia del diseño propuesto para el APF multinivel en cuanto a compensación de armónicos se probó mediante el uso de la carga no lineal mencionada anteriormente, bajo diferentes condiciones de corriente de carga. Se efectuaron mediciones de las corrientes de carga ( $i_L$ ), las corrientes de salida APF ( $i_c$ ), las corrientes de la red ( $i_s$ ), así como los voltajes de la red eléctrica ( $v_s$ ), y finalmente, los voltajes de los capacitores que conforman el DC-link ( $V_{dc}$ ). En la **Figura 4.12(a)** se muestran los resultados experimentales obtenidos para una carga  $R_L = 100 \Omega$ , la imagen superior corresponde a la medición de la corriente de red distorsionada, antes de la puesta en marcha del APF, en la misma se observa un nivel de THD de 29,36 %, a su vez, la imagen intermedia corresponde a la medición de la corriente de red compensada, una vez activado el APF, y finalmente en la imagen inferior se muestra la medición del nivel de THD de la corriente de red compensada, en la misma se observa un THD de 4,75 %. A su vez, **Figura 4.12(b)** se muestran los resultados experimentales obtenidos para una carga  $R_L = 50 \Omega$ , en la misma, la imagen superior corresponde a la medición de la corriente de red no compensada, con un valor de THD igual a 27,37 %, la imagen intermedia representa a la corriente de red compensada y finalmente, la imagen inferior corresponde a la medición del THD de la corriente de red compensada, con un valor igual a 5,25 %, para ambos casos se observan reducciones significativas en el nivel de distorsión armónica en la corriente de la red eléctrica.

Para cuantificar la eficiencia del MBPC con modulación PWM propuesto, dentro del marco de referencia SRF, se utilizó como figura de mérito al error cuadrático medio (MSE) entre las corrientes de referencia calculadas ( $i_c^{a*}$ ) y la corriente medida ( $i_c^a$ ). De acuerdo con los resultados mostrados en la **Figura 4.12**. Para una carga de  $R_L = 100 \Omega$  se observa un  $MSE = 0.038$ , mientras que para una  $R_L = 50 \Omega$  se obtiene un  $MSE = 0.198$ , por tanto a medida que aumenta la potencia consumida por la carga, la medición del MSE aumenta.



**Figura 4.12** Resultados experimentales de compensación de armónicos de corriente de red para una carga no lineal. a)  $R_L = 100 \Omega$ , b)  $R_L = 50 \Omega$



**Figura 4.13** Operación estable del APF a) corriente de red no compensada, b) corriente de red compensada y voltaje de salida del filtro, c) transición de compensación de armónicos de corriente de red y d) voltaje y corriente de salida del APF

En la **Figura 4.13** se observa la evolución del proceso de compensación de actuación del APF para la compensación de armónicos, desde la **Figura 4.13 (a)**, donde se muestra la corriente de la red eléctrica ( $i_s^a$ ), con el efecto de distorsión armónica debido a los efectos de la carga no lineal. La señal de salida del APF ( $v_c^a$ ) junto a la corriente de la red eléctrica compensada ( $i_s^a$ ), una vez activado el APF se observa en la **Figura 4.13 (b)**. Por otra parte, la **Figura 4.13 (c)** muestra la transición del APF desde el momento de su puesta en marcha, con la inyección de la corriente de compensación ( $i_c^a$ ), con la consecuente reducción de la distorsión armónica en la señal de corriente de la red eléctrica. Finalmente, en la **Figura 4.13 (d)** se observan las señales de la corriente de salida del APF ( $i_c^a$ ) y el voltaje de salida del mismo ( $v_c^a$ ) durante el proceso de operación del APF.

#### 4.4. Conclusiones del capítulo

En el presente capítulo se ha documentado el análisis experimental realizado sobre el APF de siete niveles diseñado y montado en el marco de la presente Tesis. De manera a evaluar el diseño del APF, primeramente se optó por realizar mediciones experimentales con la bancada en su modo de funcionamiento de convertidor tipo VSI, de manera a analizar el desempeño del mismo previo a la interconexión a la red eléctrica, posteriormente se realizaron los experimentos con la bancada en su modo de funcionamiento como filtro activo de potencia. En ambos casos se han implementado algoritmos de control tipo MBPC con modulación PWM.

Para el caso del modo de operación VSI, se logró sintetizar una corriente alterna trifásica de valor indicado por su referencia con un porcentaje de THD relativamente bajo, del orden del 6.28 %, teniendo en cuenta que el control implementado es uno del tipo predictivo convencional sin estrategias de modulación. Por otra parte, la bancada experimental en su configuración filtro activo de potencia multinivel, ha logrado la compensación de la potencia reactiva generada por una carga tipo R-L. Para el experimento de compensación de potencia reactiva se implementó el control basado en la estrategia IRPT con modulación PWM, logrando reducir la cantidad de potencia reactiva desde un nivel inicial de 95.63 VAR antes de la puesta en marcha del APF hasta alcanzar un nivel de 0.5 VAR una vez activado el APF, introduciendo en el proceso un THD del orden del 7.71 %, lo cual confirma la potencialidad de la plataforma experimental para lograr la compensación de la potencia reactiva.

Otro tipo de control implementado es la estrategia de control MBPC con modulación PWM basada en el marco SRF, para la compensación de armónicos de corriente. En base a los resultados obtenidos, se observa una importante mejora en el nivel de armónicos existentes desde unos iniciales 29.36 % antes de la compensación hasta lograr una reducción del nivel del THD a valores comprendidos de 4.75 %.

## CAPÍTULO 5

---

### PRINCIPALES APORTACIONES

---

#### 5.1. Conclusiones

La presente Tesis Doctoral ha abordado el estudio de la eficiencia y eficacia del diseño de sistemas de conversión de potencia basados en dispositivos semiconductores del tipo SiC-MOSFET, y su posterior implementación para aplicaciones de APFs y sistemas convertidores multiniveles de voltaje de manera complementaria. Entre las principales conclusiones se pueden resaltar:

- Se realizó el diseño de la bancada experimental, siguiendo una metodología modular que permite una rápida adaptación a los cambios en la topología implementada, posibilitando la expansión futura a otras topologías de convertidores multiniveles. Cada celda Puente-H posee su propio controlador y DC-link independiente, lo que lo vuelve una unidad independiente e intercambiable facilitando el mantenimiento o reparación del APF diseñado.

- Se utilizó tres celdas Puente-H completo por fase, dispuestas en cascada a fin de conseguir una configuración de 7-niveles. La plataforma experimental ha sido diseñada a fin de operar a una frecuencia máxima de conmutación de los SiC-MOSFET de 50 kHz.
- Se procedió a realizar la validación teórica utilizando herramientas de simulación y síntesis (MatLab/Simulink). El estudio teórico derivó en la implementación de dos técnicas de control basadas en la estrategia de control predictivo. Para lograr esto, se realizó inicialmente el modelado matemático del sistema físico a fin de obtener el modelo predictivo que rigen las ecuaciones de control en tiempo discreto. La primera estrategia utilizó el marco de referencia síncrono sobre el cual se ha evaluado la compensación de distorsiones armónicas en corriente. La segunda estrategia implementada a nivel de simulación contempla la compensación de potencia reactiva para lo cual se propone la utilización del control predictivo basado en el modelo en combinación con la teoría de la potencia reactiva instantánea.
- Se validó mediante ensayos experimentales tanto la bancada diseñada en el marco de la presente Tesis Doctoral, como los algoritmos de control de armónicos en corriente y de potencia reactiva, analizado previamente mediante simulaciones. En términos del diseño del APF de 7-niveles, se procedió a verificar la funcionalidad de los módulos diseñados para posteriormente analizar el funcionamiento integral del APF de 7-niveles en configuración paralelo. En términos del análisis experimental enfocado a la compensación de armónicos en corriente, se pudo verificar que el esquema propuesto reduce considerablemente los niveles de armónicos en corriente producido por una carga no lineal trifásica. En este orden de ideas se logró una mejora cuantificable en 20 % en términos de THD. Se pudo verificar además que este porcentaje de mejora se mantuvo en las tres fases del sistema. En lo que respecta al análisis del sistema en términos de compensación de potencia reactiva producida por una carga reactiva, se pudo verificar que luego de la implementación del algoritmo de control propuesto, basado en el marco de referencia estacionario se pudo conseguir un factor de potencia cercano a 0.98. En ambos casos, los resultados experimentales obtenidos, coinciden con el análisis teórico obtenido previamente a la implementación.
- El desarrollo de la Tesis Doctoral ha dado como resultado la publicación de artículos científicos en revistas internacionales arbitradas e indexadas con factor de impacto definido y conferencias internacionales arbitradas. Estas publicaciones se recogen en las siguientes secciones.

### 5.1.1. Artículos publicados en revistas

Los artículos científicos publicados en revistas arbitradas e indexadas con factor de impacto definido se listan a continuación:

1. Julio Cesar Pacher Vega, Jorge Esteban Rodas Benitez, Raul Igmarr Gregor Recalde, Marco Rivera, Alfredo Renault Lopez and Leonardo David Comparatore Franco. (10 Feb 2018). Efficiency analysis of a modular H-bridge based on SiC MOSFET. International Journal of Electronics Letters, 7, 59-67.
2. Raul Gregor, Julio Pacher , Alejandro Espinoza, Alfredo Renault , Leonardo Comparatore. (2021). Experimental Validation of the DSTATCOM Based on SiC-MOSFET Multilevel Converter for Reactive Power Compensation. Journal of Systemics, Cybernetics and Informatics, 19.
3. Raul Gregor, Julio Pacher , Alejandro Espinoza, Alfredo Renault , Leonardo Comparatore and Magno Ayala. (3 August 2021). Harmonics Compensation by Using a Multi-Modular H-Bridge-Based Multilevel Converter. Energies, 14, 4698.

### 5.1.2. Artículos publicados en conferencias

Cabe resaltar que, el desarrollo de la presente Tesis Doctoral ha dado además como resultado la publicación de artículos en congresos, entre ellas se menciona a:

1. A. Renault ; M. Ayala ; J Pacher ; L. Comparatore ; R. Gregor ; S. Toledo. (16 de abril de 2020). Current control based on space vector modulation applied to three-phase H-Bridge STATCOM. 2020 IEEE International Conference on Industrial Technology (ICIT), 10, 1066-1070.

## 5.2. Líneas futuras de investigación

Como líneas futuras de investigación derivadas del desarrollo de la Tesis Doctoral se resaltan los siguientes aspectos:

- Se propone el rediseño del driver de potencia en términos de generación de tiempos muertos, implementado actualmente por hardware, con la finalidad de lograr mayores frecuencias de conmutación asumiendo que los dispositivos de potencia tipo SiC-MOSFET utilizados pueden conmutar, según la hoja técnica del fabricante, hasta una frecuencia de 100 kHz. En este sentido, se propone la implementación de tiempos muertos, por software.



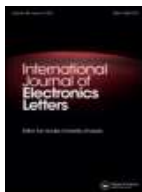
- Se propone el diseño de un módulo de modulación PWM desarrollado sobre una plataforma FPGA, a fin de liberar al procesador del costo computacional que implica realizar el proceso de modulación aplicado al convertidor de 7-niveles. Se espera que una vez implementada la estrategia de modulación sobre un dispositivo dedicado, se logre elevar la frecuencia de conmutación de los dispositivos SiC-MOSFET.
- Se propone optimizar los módulos de medición de voltaje y corriente a fin de lograr una mejor inmunidad al ruido eléctrico. Se ha observado que los ruidos eléctricos generados al momento de la conmutación impactan negativamente en la eficiencia de los algoritmos de control implementados.
- Se propone seguir investigando estrategias de control enfocadas al balance de los voltajes de los capacitores del DC-link. Se ha podido verificar que el desbalance de los voltajes de los capacitores que conforman el DC-link ocasiona un funcionamiento inestable del APF, ya que dicho parámetro es utilizado dentro del algoritmo del MBPC, por lo cual seguir avanzando en este ámbito posibilitará obtener mejores prestaciones dinámicas principalmente bajo regímenes de funcionamientos transitorios.
- Se propone ampliar las estrategias de control implementadas a fin de lograr la compensación de otras variables como ser, eliminación de corrientes circulantes por el punto neutro ocasionada por la presencia de cargas desbalanceada, cancelación selectiva de armónicos, etc.
- Se propone ampliar los ensayos experimentales de la bancada considerando otras estrategias de control no lineal diferentes al control predictivo basado en el modelo, por ejemplo el control deslizante.

## CAPÍTULO 6

---

## APÉNDICE

---



## Efficiency analysis of a modular H-bridge based on SiC MOSFET

Julio Cesar Pacher Vega, Jorge Esteban Rodas Benitez, Raul Igmar Gregor Recalde, Marco Rivera, Alfredo Renault Lopez & Leonardo David Comparatore Franco

To cite this article: Julio Cesar Pacher Vega, Jorge Esteban Rodas Benitez, Raul Igmar Gregor Recalde, Marco Rivera, Alfredo Renault Lopez & Leonardo David Comparatore Franco (2018): Efficiency analysis of a modular H-bridge based on SiC MOSFET, International Journal of Electronics Letters, DOI: [10.1080/21681724.2018.1426111](https://doi.org/10.1080/21681724.2018.1426111)

To link to this article: <https://doi.org/10.1080/21681724.2018.1426111>



Accepted author version posted online: 09 Jan 2018.  
Published online: 10 Feb 2018.



Submit your article to this journal 



Article views: 22



View related articles 



View Crossmark data 



## Efficiency analysis of a modular H-bridge based on SiC MOSFET

Julio Cesar Pacher Vega<sup>a</sup>, Jorge Esteban Rodas Benitez <sup>a</sup>,  
Raul Igmar Gregor Recalde <sup>a</sup>, Marco Rivera <sup>b</sup>, Alfredo Renault Lopez<sup>a</sup>  
and Leonardo David Comparatore Franco<sup>a</sup>

<sup>a</sup>Laboratory of Power and Control Systems, Facultad de Ingeniería, Universidad Nacional de Asunción, San Lorenzo, Paraguay; <sup>b</sup>Faculty of Engineering, Universidad de Talca, Curico, Chile

### ABSTRACT

Several new high-performance power semiconductors have appeared during the last decade, being the silicon carbide (SiC) MOSFETs the most promising to be commercialised as an alternative of Si IGBT. This paper presents the performance analysis of a controller for a full H-bridge based on SiC MOSFET technology used for high frequency and medium voltage applications. The switching performance of a modular H-bridge is analysed and the efficiency/losses and temperature dissipation are experimentally measured in order to help engineers to design and develop circuits using this power semiconductor. A comparison between SiC MOSFET and Si MOSFET is also presented.

### ARTICLE HISTORY

Received 15 March 2017  
Accepted 17 December 2017

### KEYWORDS

Modular H-bridge;  
SiC-MOSFET; efficiency  
analysis

## 1. Introduction

Silicon carbide (SiC) MOSFETs have been attracted as a superior alternative for power switching devices because they offers several advantageous electrical characteristics such as lower on-resistance, higher temperature durability, higher speed switching performance and lower switching losses compared to Si IGBT (Mukunoki et al., 2016). These features allow the use of SiC MOSFETs for the development of more efficient systems that have been applied in recent years in many applications such as matrix converters (Safari, Castellazzi, & Wheeler, 2014), multilevel converters (Wu, Qin, Saeedifard, Wasynczuk, & Shenai, 2015), inverters (Gurpinar & Castellazzi, 2016) and DC/DC converters (Nakakohara et al., 2016). To exploit the features of the SiC MOSFET devices, the designers must know the technical limitations of the SiC MOSFET because the efficiency of the power devices have a very significant impact on the performance of the final system implemented. For example, a high switching frequency produces lower total harmonic distortion values, however the negative effect is that the switching power losses increase significantly at high frequencies. The ability to operate at high switching frequencies with reduced switching power losses is one of the features that differentiate SiC MOSFET from other mass-use switching devices.

Although published results show the interest of the use of *SiC* MOSFET devices in several applications, they do not present a detailed performance analysis of the device (Tanabe et al., 2015, June; Yin, Tseng, Simanjorang, & Tu, 2017). Few comparative study between *SiC*-MOSFET and IGBT can be found in (Trentin, de Lillo, Empringham, Wheeler, & Clare 2015; Trentin et al., 2016) applying to matrix converters. In this context, the main contribution of this paper is the experimental efficiency/losses and thermographic analysis of the power device *SiC* MOSFET, using a modular H-bridge as a case study. Furthermore, a comparison between *SiC* MOSFET and *Si* MOSFET is also presented.

## 2. Description of the full H-bridge topology and experimental system

The block diagram of the H-bridge is shown in Figure 1(a). The control signals for the H-Bridge scheme are sent by two fibre-optic links whose signals are processed by the HFBR-2521Z fibre optic receiver (Figure 1(b)). Then, the two electrical PWM signals are sent to a block in charge of generating the complementary  $\overline{PWM}$  signals necessary for the control of each branch of the H-bridge. This circuit also implements the necessary dead time between each PWM and its complement  $\overline{PWM}$ , which is performed by using XOR 74HC86 gates and resistive and capacitive elements. The driver for *SiC* MOSFETs is implemented using the IR2110S integrated circuit, as shown in Figure 1(c). For the assembly of the power stage of the design, the *SiC* MOSFET SCH2080KE, shown in Figure 1(d) is used. In order to achieve the modularity of each H-bridge cell, they have their own independent power source ( $VCC_1$  and  $VCC_2$ ) implemented by the galvanically isolated DC/DC converter CC10-1212SF (Figure 1(e)).

Figure 2(a) shows the experimental platform used for the tests. An *RL* load with values of  $R = 20\ \Omega$  and  $L = 10\ \mu H$  was used for the analysis.

Voltage measurements were performed with a Tektronix P5210A voltage differential probe, while the currents were measured using a Tektronix TCPA300 current probe. A

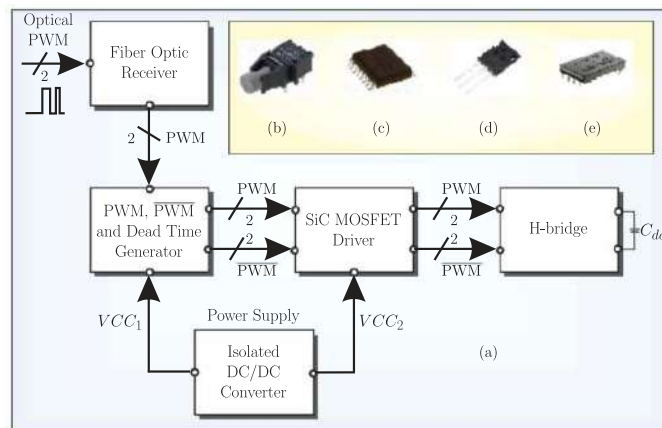
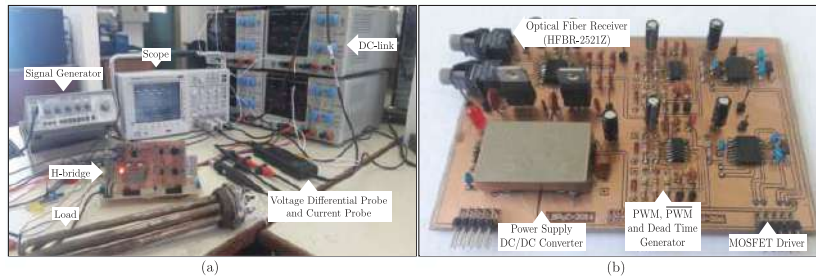
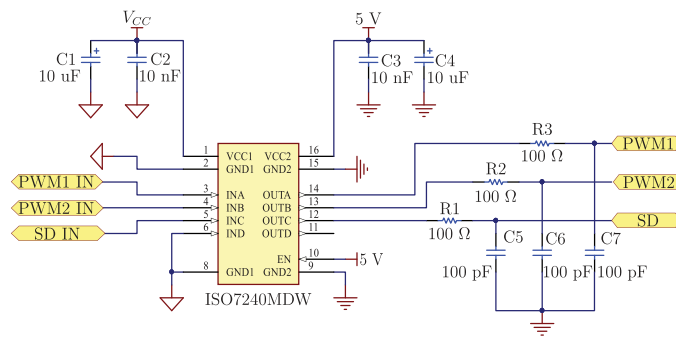


Figure 1. Block diagram of the H-bridge driver and its components.



**Figure 2.** Experimental system: (a) measurement test rig setup, (b) H-bridge driver.



**Figure 3.** Conditioning circuit for PWM input signal with galvanic isolation and passive RC output filters.

variable DC-link was implemented by using several DC power sources Minipa model MPL-3305M, to capture the signals used a Tektronix digital oscilloscope model TDS3034C. The test signal was obtained from an EX Digital generator model FG-8002. Figure 2(b) shows the final design of the modular H-bridge.

Once the signal obtained by the fibre optic link has been processed, it is necessary to perform the conditioning of the PWM signal used to control the SiC-MOSFET shots, which signals are overlapping during high- or low-level transitions. The signal matching is implemented using the ISO7240 integrated circuit; these digital isolators have two isolated channels. Each isolation channel has a logic input and output buffer separated by a silicon dioxide insulation barrier (SiO<sub>2</sub>). Used in conjunction with isolated power supplies, these devices prevent noise currents on a data bus or other circuit from entering the local reference and damaging or interfering with sensitive circuits. These devices have input thresholds with TTL levels and require two power voltages (3.3 V or 5 V). Figure 3 shows the circuit diagram designed to perform the conditioning of received PWM signals by using Altium Designer software.

### 3. Experimental results

Several experimental analyses were performed in order to analyse the modular H-bridge based on SiC MOSFET as well as a comparison with the same H-bridge but using a Si MOSFET. The diagram of the experimental platform implemented for the measurements is shown in Figure 4. The PWM signals are sent through the fibre optic link to the H-bridge controller, voltage and current measurements are made in the  $RL$  load, as well as measurements of the switching devices.

Figure 5 shows the PWM and  $\overline{\text{PWM}}$  signals, where the dead time value is  $1\ \mu\text{s}$  for a frequency 100 kHz. This dead time is obtained by a circuit composed of logic gates 74HC86 and resistive and capacitive elements. The output voltage ( $V_o$ ) and output current ( $I_o$ ) are shown in Figure 6. Note that  $I_o$  has a slower transitions between high and low levels compared with  $V_o$  due to the inductive nature of the load.

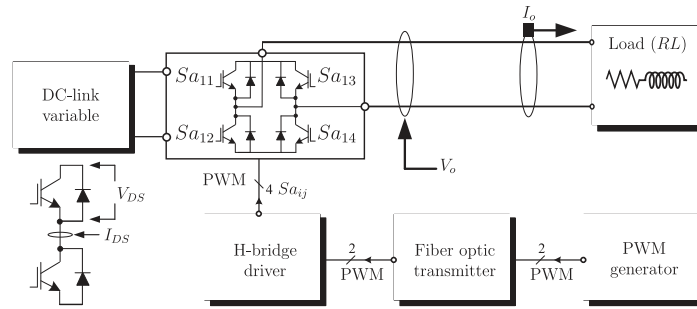


Figure 4. Diagram of the experimental platform implemented for the realisation of the measurements.

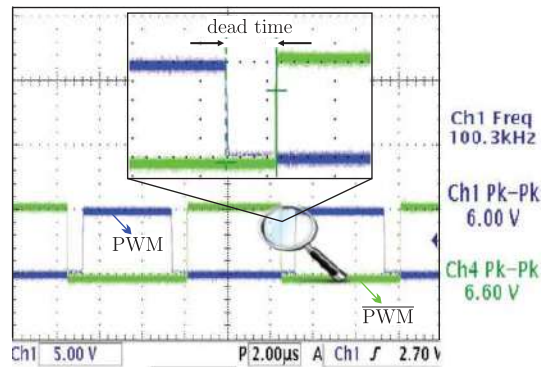


Figure 5. PWM and  $\overline{\text{PWM}}$  signals and dead time (Ch1: PWM voltage–5 V/div; Ch2:  $\overline{\text{PWM}}$  voltage – 5 V/div).

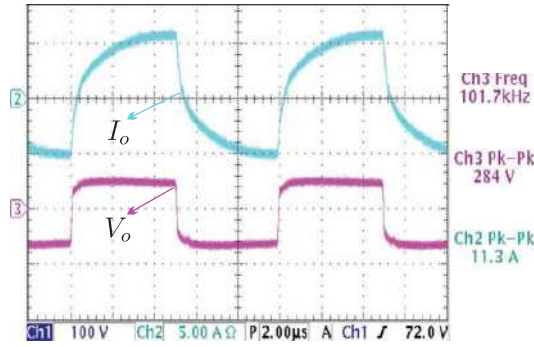


Figure 6. Output voltage ( $V_o$ ) and output current ( $I_o$ ) delivered to the  $RL$  load at 1 kW (Ch1: output voltage–100 V/div; Ch2: output current – 5 A/div).

In order to calculate the efficiency of the proposed modular full H-bridge the following equations are used for the conduction losses (Equation (1)) and switching losses (Equation (2)) presented by the SiC MOSFET (Wang et al., 2016):

$$P_{CM} = V_{DS} I_{Drms} = R_{DS(on)} I_{Drms}^2 \quad (1)$$

$$P_{sw} = \frac{V_{DD} I_D}{2} (t_{on} + t_{off}) f_s \quad (2)$$

being  $f_s$  the operating frequency,  $I_{Drms}$  the drain current root-mean squared (rms),  $R_{DS(on)}$  the drain source resistance,  $V_{DD}$  the DC-link voltage,  $t_{on}$  and  $t_{off}$  the state transition time intervals, turn-on and turn-off, respectively. It is, therefore, necessary to measure the variables in equations (1) and (2) (see Figure 7).

Then, some tests have been carried out varying the output power (0.5 kW and 1 kW) as well as the switching frequency (from 50 kHz to 200 kHz). According to the obtained results (Figure 8), the global losses increase with frequency while the efficiency

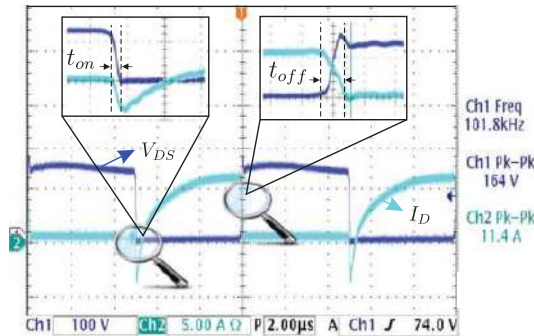
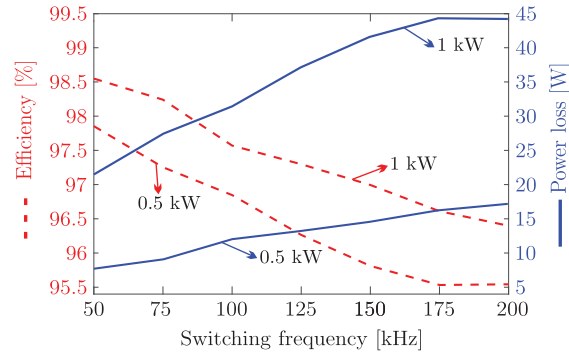


Figure 7. Modular H-bridge switching characteristics at 1 kW (Ch1: drain-source voltage – 100 V/div; Ch2: drain current – 5 A/div).



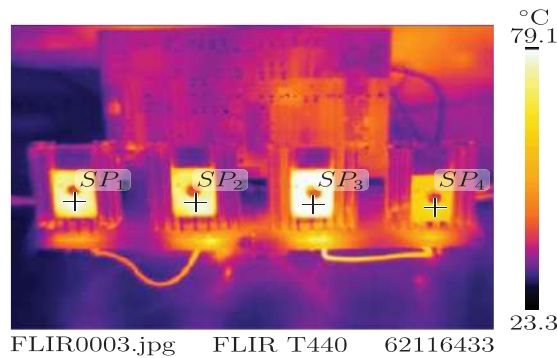


**Figure 8.** Efficiency (cut lines) and power losses (continuous lines) regarding the switching frequency.

decreases with the increase of the switching frequency. Notice that the efficiency is more than 95.5% for all analysed cases, being at 50 kHz the highest 98.5% efficiency for 1 kW of output power.

Then, it is interesting to make a thermal quantification of the *SiC* MOSFETs. Figure 9 shows a photograph obtained by a thermal imaging camera, being the temperatures on the *SiC* MOSFETs  $SP_1 = 75.3^\circ\text{C}$ ,  $SP_2 = 72.1^\circ\text{C}$ ,  $SP_3 = 76.3^\circ\text{C}$ ,  $SP_4 = 69.4^\circ\text{C}$ . By a thermographic analysis it is possible to predict failure or malfunction points by non-uniform temperature as well as noting points of overheating. In this case the heating of each *SiC* MOSFET is approximately  $7^\circ\text{C}$  difference between the lower heating point with respect to greater heating. These measurements are important in determining the points of greatest stress with respect to the power dissipation in the modular H-bridge design.

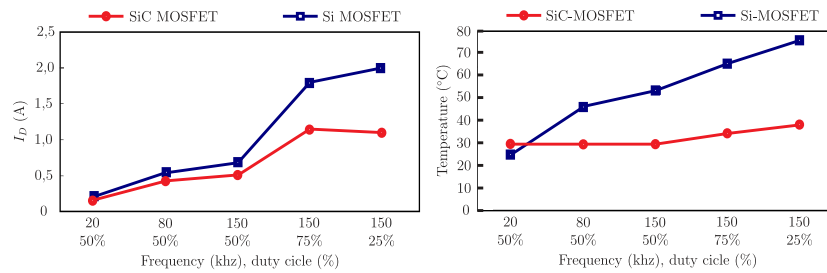
To conclude the efficiency analysis, a comparative study between the *SiC* MOSFET and the Si MOSFET is performed. Some important specifications of both state-of-the-art power semiconductors are listed in Table 1. For this test, a DC current flowing in the



**Figure 9.** Thermographic image obtained from the H-bridge implemented with *SiC* MOSFETs.

**Table 1.** Specifications of SiC MOSFET and Si MOSFET.

| Parameter                            | Unit | SiC-MOSFET | Si-MOSFET |
|--------------------------------------|------|------------|-----------|
| Drain-to-source breakdown voltage    | [V]  | 1 200      | 40        |
| Static drain-to-source on-resistance | [mΩ] | 80         | 1.4       |
| Continuous drain current             | [A]  | 40         | 195       |
| Maximum power dissipation            | [W]  | 262        | 375       |
| Turn-on delay time                   | [ns] | 37         | 65        |
| Rise time                            | [ns] | 33         | 827       |
| Turn-off delay time                  | [ns] | 70         | 97        |
| Fall time                            | [ns] | 28         | 355       |
| Input capacitance                    | [pF] | 1 850      | 10 315    |

**Figure 10.** Comparison between SiC MOSFET and Si MOSFET. (a) Drain current and (b) temperature analysis.

H-bridge driver is plotted in Figure 10(a) against PWM frequency and duty cycle. The red and blue lines indicate currents of SiC MOSFET and Si MOSFET H-bridge drivers, respectively. The load was the solar linear motor connected to each H-bridge driver by the same condition. Then the cause of the current difference is attributed to the device, where the Si MOSFET has less  $R_{DS(on)}$  than the SiC MOSFET. As shown in Table 1, the response time of the SiC MOSFET is considerably lower than that of the Si MOSFET, whereby the SiC MOSFET develops lower power dissipation due to the switching losses. The currents at 150 kHz and with a duty cycle of 25 % is 1.1 A and 2.0 A for SiC MOSFET and Si MOSFET, respectively. Temperature rise of each device is plotted in Figure 10(b) similar to Figure 10(a). The temperature at 150 kHz and with a duty cycle of 25 % was 39 °C and 76 °C for SiC MOSFET and Si MOSFET, respectively. There is a big difference in temperature rise at high frequencies.

#### 4. Conclusion

In this paper, the design and efficiency analysis of a modular H-bridge based on SiC MOSFET is presented. Experimental results show that the switching losses increase with frequency while conduction losses decrease with frequency. Switching losses in its transition from low to high represent the 92% of losses, while the transition from high to low represents the 2%. The conduction losses accounted for 6% of total losses. The design responds appropriately within the range of operating frequencies

ranging between 50 and 200 kHz, yielding an efficiency from 98% to 95% with increasing frequency. According to the experimental results for the comparison between SiC MOSFET with Si MOSFET by using normal H-bridge driver, temperature rise at high PWM frequencies was the most prominent difference between them. Considering that the PWM frequencies tested were 20 kHz up to 156 kHz and duty cycles were 25%, 50% and 75%, the highest temperatures were 39°C and 76°C for SiC MOSFET and Si MOSFET, respectively, both at PWM frequency of 150 kHz and duty cycle of 25%.

### Disclosure statement

No potential conflict of interest was reported by the authors.

### Funding

This work was supported by the following research projects: CONACYT: Consejo Nacional de Ciencia y Tecnología <http://www.conacyt.gov.py/> (Project 14-INV-096): <https://datos.conacyt.gov.py/proyectos/nid/176> FONDECYT: Fondo Nacional de Desarrollo Científico y Tecnológico (Project 1160690) Modalidad de Estadías Cortas (Project PAI80150056).

### ORCID

Jorge Esteban Rodas Benitez  <http://orcid.org/0000-0001-9732-704X>

Raul Igmar Gregor Recalde  <http://orcid.org/0000-0002-7717-4100>

Marco Rivera  <http://orcid.org/0000-0002-4353-2088>

### References

- Gurpinar, E., & Castellazzi, A. (2016). Single-phase T-type inverter performance benchmark using Si IGBTs, SiC MOSFETs, and GaN HEMTs. *IEEE Transactions on Power Electronics*, 31(10), 7148–7160.
- Mukunoki, Y., Nakamura, Y., Horiguchi, T., Kinouchi, S., Nakayama, Y., Terashima, T., ... Akagi, H. (2016). Characterization and modeling of a 1.2-kV 30-A silicon-carbide MOSFET. *IEEE Transactions on Electron Devices*, 63(11), 4339–4345. doi:10.1109/TED.2016.2606424
- Nakahara, Y., Otake, H., Evans, T. M., Yoshida, T., Tsuruya, M., & Nakahara, K. (2016). Three-phase LLC series resonant DC/DC converter using SiC MOSFETs to realize high-voltage and high-frequency operation. *IEEE Transactions on Industrial Electronics*, 63(4), 2103–2110.
- Safari, S., Castellazzi, A., & Wheeler, P. (2014). Experimental and analytical performance evaluation of SiC power devices in the matrix converter. *IEEE Transactions on Power Electronics*, 29(5), 2584–2596. doi:10.1109/TPEL.2013.2289746
- Tanabe, H., Kojima, T., Imakiire, A., Fuji, K., Kozako, M., & Hikita, M. (2015, June 9–12). Comparison performance of Si-IGBT and SiC-MOSFET used for high efficiency inverter of contactless power transfer system. In *Proceedings of the IEEE 11th international conference on power electronics and drive systems*, Sydney (pp. 707–710). IEEE Power Electronics Society. doi:10.1109/PEDS.2015.7203536
- Trentin, A., de Lillo, L., Empringham, L., Wheeler, P., & Clare, J. (2015). Experimental comparison of a direct matrix converter using Si IGBT and SiC MOSFETs. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 3(2), 542–554. doi:10.1109/JESTPE.2014.2381001
- Trentin, A., Empringham, L., de Lillo, L., Zanchetta, P., Wheeler, P., & Clare, J. (2016). Experimental efficiency comparison between a direct matrix converter and an indirect matrix converter using both Si IGBTs and SiC MOSFETs. *IEEE Journal of the Electron Devices Society*, 52(5), 4135–4145.

- Wang, X., Jiang, C., Lei, B., Teng, H., Bai, H. K., & Kirtley, J. L. (2016). Power-loss analysis and efficiency maximization of a silicon-carbide MOSFET-based three-phase 10-kW bidirectional EV charger using variable-DC-bus control. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 4(3), 880–892. doi:[10.1109/JESTPE.2016.2575921](https://doi.org/10.1109/JESTPE.2016.2575921)
- Wu, L., Qin, J., Saeedifard, M., Wasynczuk, O., & Shenai, K. (2015). Efficiency evaluation of the modular multilevel converter based on Si and SiC switching devices for medium/high-voltage applications. *IEEE Transactions on Electron Devices*, 62(2), 286–293. doi:[10.1109/TED.2014.2375875](https://doi.org/10.1109/TED.2014.2375875)
- Yin, S., Tseng, K. J., Simanjorang, R., & Tu, P. (2017). Experimental comparison of high-speed gate driver design for 1.2-kV/120-A Si IGBT and SiC MOSFET modules. *IET Power Electronics*, 10(9), 979–986. doi:[10.1049/iet-pel.2016.0668](https://doi.org/10.1049/iet-pel.2016.0668)

See discussions, stats, and author profiles for this publication at: <https://www.researchgate.net/publication/348187227>

## Experimental Validation of the DSTATCOM Based on SiC-MOSFET Multilevel Converter for Reactive Power Compensation

Article · December 2020

CITATIONS

0

5 authors, including:



**Raul Gregor**

Universidad Nacional de Asunción

143 PUBLICATIONS 1,525 CITATIONS

[SEE PROFILE](#)



**Alfredo Renault**

Facultad de Ingeniería

18 PUBLICATIONS 78 CITATIONS

[SEE PROFILE](#)

READS

93



**Julio Cesar Pachter**

Universidad Nacional de Asunción

18 PUBLICATIONS 76 CITATIONS

[SEE PROFILE](#)



**Leonardo Comparatore**

Universidad Nacional de Asunción

19 PUBLICATIONS 109 CITATIONS

[SEE PROFILE](#)

Some of the authors of this publication are also working on these related projects:



Master Thesis [View project](#)



Control of Unmanned Aerial Vehicle [View project](#)

# Experimental Validation of the DSTATCOM Based on SiC-MOSFET Multilevel Converter for Reactive Power Compensation

Raúl GREGOR\*

Julio PACHER\*

Alfredo RENAULT\*

Leonardo COMPARATORE\*

Jorge RODAS\*

\*Laboratory of Power and Control Systems, Facultad de Ingeniería, Universidad Nacional de Asunción  
Luque, CP 2060, Paraguay

E-mail: {rgregor, jpacher, arenault, lcomparatore & jrodas}@ing.una.py

## ABSTRACT

Power quality problems are associated, among other things, with the reactive power generated at the AC side in distribution systems. In this regard, the three-phase distribution static compensator is actually becomes a viable alternative in order to achieve reactive power compensation or in other words to obtain a unity power factor. This paper introduces the experimental validation of the distribution static compensator based on a 7-level cascade H-Bridge converter. The experimental test bench is based on the silicon carbide metal-oxide-semiconductor field-effect transistor devices. The results are obtained by using a fixed switching frequency model-based predictive controller based on a pulse-width modulation strategy. The proposed design is implemented to mitigate power quality issues induced by reactive load and experimental results are provided to show the performance of the proposed controller.

**Keywords:** Predictive control, active power filter, cascaded H-Bridge multilevel converter, reactive power compensation.

## NOMENCLATURE

|                                         |                                     |
|-----------------------------------------|-------------------------------------|
| CPDs                                    | Custom power devices.               |
| DSTATCOM                                | Distribution static compensation.   |
| DVR                                     | Dynamic voltage restorer.           |
| CHB                                     | Cascade H-Bridge.                   |
| MPC                                     | Model predictive control.           |
| THD                                     | Total harmonic distortion.          |
| $C_{dc}$                                | dc-link capacitor.                  |
| $g_a, g_b, g_c$                         | FCS-MPC cost functions.             |
| $i_s^a, i_s^b, i_s^c$                   | Power grid phase currents.          |
| $i_L^a, i_L^b, i_L^c$                   | Load phase currents.                |
| $i_c^a, i_c^b, i_c^c$                   | DSTATCOM phase currents.            |
| $\hat{i}_c^a, \hat{i}_c^b, \hat{i}_c^c$ | DSTATCOM phase current predictions. |
| $i_c^{a*}, i_c^{b*}, i_c^{c*}$          | DSTATCOM phase current references.  |
| $v_c^a, v_c^b, v_c^c$                   | DSTATCOM phase voltages.            |

The authors gratefully acknowledge to the Peer-Editor, Prof. William Kistler Bledsoe for their valuable suggestions.

|          |                                         |
|----------|-----------------------------------------|
| $n_c$    | Number of cells.                        |
| $P_c^*$  | Instantaneous active power reference.   |
| $Q_c^*$  | Instantaneous reactive power reference. |
| $Q_L$    | Instantaneous reactive load power.      |
| <b>T</b> | Clarke's transformation matrix.         |
| $T_s$    | Sampling time.                          |
| $V_{dc}$ | dc-link voltage.                        |

## 1. INTRODUCTION

For today's AC power distribution system, power quality problems play an increasingly important role. This is mainly due to the growth of the electricity demand in the residential and industrial sectors. Recently, poor power quality has become a more important issue for both power suppliers and customers. From a practical point of view, a power quality problem can be defined as a deviation of magnitude and frequency from the ideal sinusoidal waveform. This deviation usually affects both voltage and currents in the distribution systems. These power quality problems have given rise to different developments and these problems have been addressed in the literature from complementary aspects, depending on the type of compensation. Among these developments using for mitigation of power quality issues in the distribution system, it is possible to find the custom power devices (CPDs) based on distribution static compensation (DSTATCOM) are commonly used for reactive power compensation, harmonic mitigation and balancing of source currents [1],[2]. Additional devices such as a dynamic voltage restorer (DVR) is used to compensate unbalance voltage disturbance and a unified power quality conditioners (UPQCs) is used to compensate both, voltage and current quality problems [3],[4]. Moreover, in power quality applications, regardless of the implemented compensation system, the voltage source converters (VSCs) are considered a fundamental element of the compensation systems. A conventional two-level VSC has so far been the most widely used converter in DSTATCOMs however it creates a poor harmonic profile, leading to additional power quality and loss issues [5],[6]. In recent years, the multilevel converter (more than two-level) has drawn the attention of

researchers and the literature has reported the development of DSTATCOMs based on multilevel converter injecting current at the point of common coupling (PCC) in order to achieve the desired reactive power compensation [7],[8]. Regarding the multilevel converter topology, the cascade H-Bridge (CHB) is currently one of the greatest topologies due to its advantages, such as the modular converter topology (which simplifies the increase in the number of levels of the converter) and it does not require a very large number of clamping diodes or flying capacitors [9]. Due to these advantages, the CHB DSTATCOM is now considered as a very competitive topology in the new generation of reactive power compensation devices [10]. Commonly the DSTATCOM based on CHB multilevel converter has been designed using IGBTs power electronics devices but, recently, the SiC-MOSFET devices have gained the focus of researchers because these devices can reach high switching frequencies, far higher to what could be achieved with a multilevel converter based on IGBTs [11],[12]. Nevertheless, for power quality applications using an active power filter, it is not enough to integrate fast switching devices. Rather it is necessary to address this issue together with the control algorithm. In this regard, this paper presents the experimental validation of DSTATCOM based on the SiC-MOSFET CHB multilevel converter for reactive power compensation. This technology uses a fixed switching frequency model-based predictive controller (FSF-MPC) based on a pulse-width modulation strategy [13],[14]. The rest of the paper is divided as follows. Next section introduces the proposed DSTATCOM topology. In the same section, the three-phase 7-level CHB converter scheme is analyzed and the mathematical model of the DSTATCOM based on three-phase 7-level converter and load are extracted. In section 3, the proposed FSF-MPC strategy is detailed. In section 4, the experimental results are shown in which two figures of merits were used as a reference, the current tracking, and reactive power compensation. Finally, in section 5, conclusions of the work are given.

## 2. PROPOSED DSTATCOM TOPOLOGY

Fig. 1 shows the 7-level three-phase CHB multilevel converter. Notice that each cell of the CHB has an independent dc-link and four switching devices based on the SiC-MOSFETs [15]. The 7-level three-phase converter topology is implemented connecting three cells in series per phase. Then, thirty-six firing signals, represented by  $S_{xy}^\phi$  are used to control each cell, being  $\phi$  the phase ( $\phi = a, b$  or  $c$ ),  $x$  the cell number in each phase and  $y$  the switching device in each cell ( $y = 1, 2, 3$  or  $4$ ). Table I shows some combination of the firing signal taking phase “a” as an example in order to generate seven voltage levels at the output of the 7-level converter. A similar analysis can be extended to other phases considering allowed combinations and avoid short circuits in the dc-link of each cell.

On the other hand, the control scheme of the proposed FSF-MPC for the DSTATCOM is shown in Fig. 2. This controller is based on the explicit DSTATCOM mathematical model in order to calculate the effects of control actions over the evolution of the states. The dynamic of the system’s model can be obtained by using Kirchhoff’s circuit laws. Notice that the DSTATCOM based on the CHB 7-level converter is connected at the PCC. Next, by applying Kirchhoff’s laws for the AC side of the DSTATCOM, the following equations in the state-space representation are obtained:

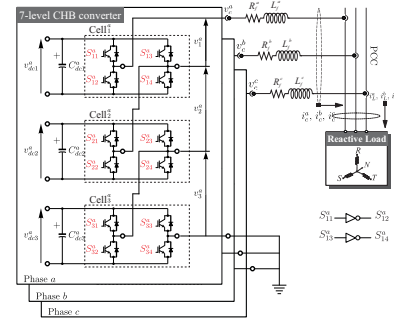


Fig. 1. Three-phase 7-level cascade H-Bridge multilevel converter.

TABLE I  
POSSIBLE COMBINATIONS OF ACTIVATION SIGNALS

| Cell1 <sup>a</sup><br>$S_{11}^a$ | Cell1 <sup>a</sup><br>$S_{13}^a$ | Cell2 <sup>a</sup><br>$S_{21}^a$ | Cell2 <sup>a</sup><br>$S_{23}^a$ | Cell3 <sup>a</sup><br>$S_{31}^a$ | Cell3 <sup>a</sup><br>$S_{33}^a$ | $\eta$ | $v_{c,\eta}^a$      |
|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|--------|---------------------|
|                                  |                                  |                                  |                                  |                                  |                                  |        |                     |
| 0                                | 0                                | 0                                | 0                                | 0                                | 0                                | 1      | $0 \cdot v_{dc}^a$  |
| 0                                | 0                                | 0                                | 0                                | 0                                | 1                                | 2      | $-1 \cdot v_{dc}^a$ |
| 0                                | 0                                | 0                                | 0                                | 1                                | 0                                | 3      | $1 \cdot v_{dc}^a$  |
| 0                                | 1                                | 0                                | 1                                | 0                                | 0                                | 21     | $-2 \cdot v_{dc}^a$ |
| 0                                | 1                                | 0                                | 1                                | 0                                | 1                                | 22     | $-3 \cdot v_{dc}^a$ |
| 1                                | 0                                | 1                                | 0                                | 1                                | 0                                | 43     | $3 \cdot v_{dc}^a$  |
| 1                                | 0                                | 1                                | 0                                | 1                                | 1                                | 44     | $2 \cdot v_{dc}^a$  |

$$\begin{bmatrix} i_c^a(t) \\ i_c^b(t) \\ i_c^c(t) \end{bmatrix} = \mathbb{F} \cdot \begin{bmatrix} i_c^a(t) \\ i_c^b(t) \\ i_c^c(t) \end{bmatrix} + \mathbb{G} \cdot \begin{bmatrix} v_a^a(t) - v_c^a(t) \\ v_b^b(t) - v_c^b(t) \\ v_s^c(t) - v_c^c(t) \end{bmatrix} \quad (1)$$

where

$$\mathbb{F} = \begin{bmatrix} -\frac{R_f}{L_f} & 0 & 0 \\ 0 & -\frac{R_f}{L_f} & 0 \\ 0 & 0 & -\frac{R_f}{L_f} \end{bmatrix}, \quad \mathbb{G} = \begin{bmatrix} \frac{1}{L_f} & 0 & 0 \\ 0 & \frac{1}{L_f} & 0 \\ 0 & 0 & \frac{1}{L_f} \end{bmatrix} \quad (2)$$

being  $R_f$  the parasitic (series) resistance of the inductive filter  $L_f$  connected between the output of the multilevel converter and the PCC.

### A. DSTATCOM predictive model

The predictive model can be obtained from (1) by using a forward-Euler discretization method. Euler’s method is the most basic explicit method for numerical integration of ordinary differential equations and consequently carries a low computational burden that benefits the experimental implementation. The DSTATCOM discrete-time model is given by:

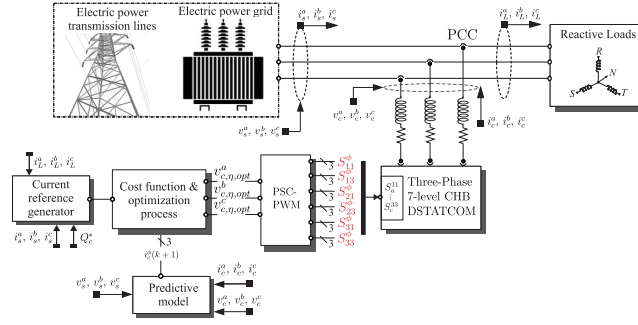


Fig. 2. Control scheme of the proposed FSF-MPC DSTATCOM.

$$\begin{bmatrix} \hat{i}_c^a(k+1) \\ \hat{i}_c^b(k+1) \\ \hat{i}_c^c(k+1) \end{bmatrix} = \mathbf{A} \begin{bmatrix} i_c^a(k) \\ i_c^b(k) \\ i_c^c(k) \end{bmatrix} + \mathbf{B} \begin{bmatrix} v_s^a(k) - v_c^a(k) \\ v_s^b(k) - v_c^b(k) \\ v_s^c(k) - v_c^c(k) \end{bmatrix} \quad (3)$$

where

$$\mathbf{A} = \begin{bmatrix} a_1 & 0 & 0 \\ 0 & a_1 & 0 \\ 0 & 0 & a_1 \end{bmatrix}, \quad \mathbf{B} = \begin{bmatrix} \frac{T_s}{L_f} & 0 & 0 \\ 0 & \frac{T_s}{L_f} & 0 \\ 0 & 0 & \frac{T_s}{L_f} \end{bmatrix} \quad (4)$$

being  $a_1 = \left(1 - \frac{R_f T_s}{L_f}\right)$  and  $T_s$  the sampling time.

### B. Current reference generation

The proposed FSF-MPC requires the prior calculation of the reference currents in order to evaluate the cost function in (9). For simplicity, the phase currents and voltages are represented in the  $\alpha - \beta$  subspace by using Clarke's transformation matrix:

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix}. \quad (5)$$

Then, the current references in  $\alpha - \beta$  subspace in function of active and reactive power are:

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \frac{1}{(v_{s\alpha})^2 + (v_{s\beta})^2} \begin{bmatrix} v_{s\alpha} & v_{s\beta} \\ v_{s\beta} & -v_{s\alpha} \end{bmatrix} \begin{bmatrix} P_c^* \\ Q_c^* \end{bmatrix}. \quad (6)$$

In order to achieve unity power factor on the grid side, it must be ensured that  $P_c^* = 0$ . This condition implies that the DSTATCOM does not absorb active power. On the other hand, the instantaneous reactive power reference can be written as:

$$Q_c^* = -Q_L = v_{s\alpha} i_{L\beta} - v_{s\beta} i_{L\alpha} \quad (7)$$

where  $Q_L$  is compensated by the CHB DSTATCOM system. The DSTATCOM phase currents references used in the optimization process are:

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \\ i_{c\gamma}^* \end{bmatrix} = \mathbf{T}^{-1} \begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \\ 0 \end{bmatrix}. \quad (8)$$

### C. Cost function and optimization process

The proposed controller is based on the model predictive current control. The MPC is based on the optimization process in which a cost function is minimized. This cost function is defined as the difference between reference currents and the predicted currents obtained through the prediction model. In the three-phase control scheme, the cost functions are evaluated independently from the following equations:

$$\begin{aligned} g^a &= \|i_c^{a*} - \hat{i}_c^a(k+1)\|^2 \\ g^b &= \|i_c^{b*} - \hat{i}_c^b(k+1)\|^2 \\ g^c &= \|i_c^{c*} - \hat{i}_c^c(k+1)\|^2. \end{aligned} \quad (9)$$

Next, the optimization algorithm selects the optimum vector  $S_{\eta, opt}^{\phi}$  for each firing signal of each cell by the evaluation and minimization of the predefined cost function represented by (9). To make the thing clearer, Algorithm 1 summarizes the optimization process.

**Algorithm 1** Optimization algorithm of the proposed modulated FSF-MPC current controller

1. Initialize  $g_{opt}^a := \infty, g_{opt}^b := \infty, g_{opt}^c := \infty, \eta := 0$
2. Compute the STATCOM current references (8).
3. **while**  $\eta \leq \varepsilon$  **do**
4.  $S_{\eta}^{\phi} \leftarrow S_{xy}^{\phi} \forall x \ \& \ y = 1, 2, 3$
5. Calculate the STATCOM prediction currents (3).
6. Compute the cost function, (9).
7. **if**  $g^a < g_{opt}^a$  **then**
8.  $g_{opt}^a \leftarrow g^a, S_{opt}^a \leftarrow S_{\eta}^a$
9. **end if**
10. **if**  $g^b < g_{opt}^b$  **then**
11.  $g_{opt}^b \leftarrow g^b, S_{opt}^b \leftarrow S_{\eta}^b$
12. **end if**
13. **if**  $g^c < g_{opt}^c$  **then**
14.  $g_{opt}^c \leftarrow g^c, S_{opt}^c \leftarrow S_{\eta}^c$
15. **end if**
16.  $\eta := \eta + 1$
17. **end while**
18. Compute the modulation signals (10).
19. Get the turn-on times of the firing signals according to Fig. 3.
20. Apply the firing signals.



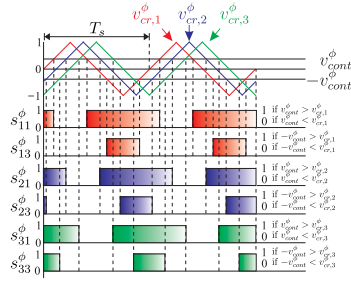


Fig. 3. PSC-PWM scheme for CHB DSTATCOM phase  $\phi$ .

### 3. PROPOSED FSF-MPC STRATEGY

After selecting the optimal vector  $S_{\eta, opt}^{\phi}$ , which corresponds to an optimal voltage  $v_{c, \eta, opt}^{\phi}$ , the classic solution is to apply this output voltage during the whole sampling period. However, the proposed method uses a modulation stage that consists in a phase shift multicarrier pulse width modulation (PSC-PWM). Three phase-shifted triangular carrier waves (with the same frequency and magnitude peak to peak) are needed to obtain the turn-on times of the firing signals of each cell. The phase-shift between the two adjacent carriers is  $180^\circ/3$ . By comparing one specific carrier wave  $v_{cr, i}^{\phi}$  with a pair of inverted modulation signals  $v_{cont}^{\phi}$  and  $-v_{cont}^{\phi}$ , we obtain the firing signals of  $s_{x1}^{\phi}$  and  $s_{x3}^{\phi}$ , as shown in Fig. 3. Note that the carrier frequency is equal to the sampling frequency and the modulation signals are associated with the optimal phase voltages and are normalized between -1 and 1, that is:

$$v_{cont}^{\phi} = \frac{v_{c, \eta, opt}^{\phi}}{3v_{dc}}. \quad (10)$$

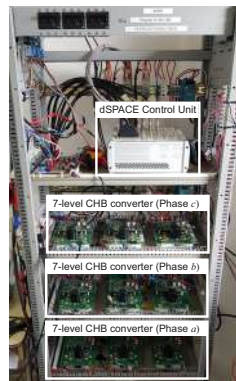


Fig. 4. Block diagram of the DSTATCOM test bench including the 7-level CHB converter, the dSPACE platform and the protection devices.

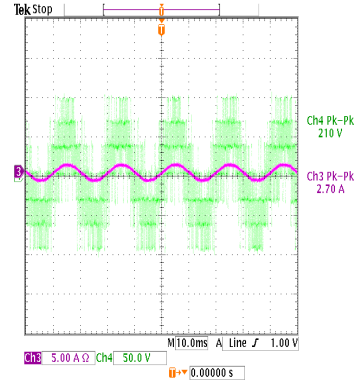


Fig. 5. Voltage at the output of the 7-level converter (before the filter) and load current ( $i_L^{\phi}$ ).

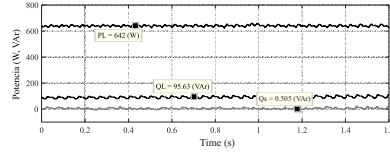


Fig. 6. Experimental result of the reactive power compensation.

### 4. EXPERIMENTAL VALIDATION

The proposed DSTATCOM topology is validated through experimental results obtained by using a custom test bench. This latter integrates three H-Bridge cells per phase that cascaded each other. Each cell is fed with an independent dc-link and integrates four SiC-MOSFET semiconductor devices. The DSTATCOM is controlled by a dSPACE MicroLabBox real-time platform considering a  $T_s = 25 \mu s$  sampling time. The proposed controller is developed by using a MATLAB/Simulink environment. The grid frequency and voltage are set to 50 Hz and 310.2 V, respectively. Other electrical parameters are  $v_{dc} = 33$  V,  $R_f = 0.09 \Omega$ ,  $L_f = 3$  mH,  $R_L = 23.2 \Omega$  and  $L_L = 55$  mH. The experimental measurements of voltage and current are performed with analog meters and are used to validate the proposed control strategy.

Initially, the 7-level CHB converter is analyzed in an open-loop configuration. Fig. 5 shows the seven levels of voltages at the output of the 7-level CHB converter and the load current ( $i_L^{\phi}$ ) evolution. Then, the 7-level CHB DSTATCOM is connected at the PCC to perform a dynamic test for the reactive power compensation at the grid side. Fig. 6 shows the results of reactive power compensation. In this test, the active and reactive power at the load side are  $Q_L = 95.6$  VAr and  $P_L = 642$  W, respectively. As shown in Fig. 6 the reactive power at the grid side is close to zero  $Q_S = 0.5$  VAr after the DSTATCOM integration. The reactive power compensation is also verified in Fig. 7 where it shows a unit power factor after the reactive power compensation

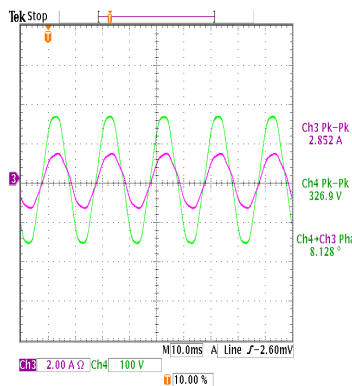


Fig. 7. Voltage ( $v_g^a$ ) and current ( $i_g^a$ ) at the grid side with unit power factor after the reactive power compensation.

at the grid side. This is a zero degree phase shift between the grid voltage ( $v_g^a$ ) and grid current ( $i_g^a$ ). Similar results have been obtained for phases  $b$  and  $c$  and have not been included for the sake of conciseness.

## 5. CONCLUSION

This paper performs experimental validation of the DSTATCOM based on SiC-MOSFET 7-level converter connected to the point of common coupling in order to maintain nearly unit power factor even when reactive loads are connected to the grid. To accomplish this a control strategy has been proposed based on a fixed switching frequency model-based predictive controller in conjunction with the pulse-width modulation strategy. In this regard, the proposed control scheme fixes the switching frequency from the sampling frequency, which causes a balance in the switching losses in all semiconductor devices. On the other hand, the capability of the 7-level converter has been verified by using the experimental DSTATCOM test bench and it is found to be efficient and robust which is validated through performance under nominal operation, in reactive power compensation.

## ACKNOWLEDGMENT

The authors would like to thank the Paraguayan Government for their encouragement and kind financial support provided through the CONACYT grant project (POSG16-05). Also, they wish to express their gratitude to the reviewers for their helpful comments and suggestions.

## 6. REFERENCES

- [1] B. Singh, M. Kandpal, and I. Hussain, "Control of grid tied smart pv-dstatcom system using an adaptive technique," *IEEE Transactions on Smart Grid*, vol. 9, no. 5, pp. 3986–3993, 2016.
- [2] C. R. Christo and N. R. Prabha, "Performance analysis of dstatcom with different loading conditions," in *International Conference on Electrical Energy Systems*, 2018, pp. 714–719.
- [3] B. K. Verma, S. Devassy, S. K. Ram, A. Abhishek, and A. K. Dhakar, "Performance evaluation of pv integrated dstatcom based on complex variable filter," in *International Conference on Electrical Energy Systems*, 2018, pp. 94–99.
- [4] R. Kumar, B. Singh, and D. Shahani, "Control of dstatcom using s-transform," in *IEEE Innovative Smart Grid Technologies-Asia*, 2018, pp. 226–231.
- [5] L. Comparatore, A. Renault, J. Pacher, J. Rodas, and R. Gregor, "Finite control set model predictive control strategies for a three-phase seven-level cascade h-bridge dstatcom," in *International Conference on Renewable Energy Research and Applications*, 2018, pp. 779–784.
- [6] Z. Xu, Y. Liu, B. Cao, B. Liu, and S. Li, "Research and application of compensation characteristics of dstatcom under unbalanced load," in *IEEE Advanced Information Technology, Electronic and Automation Control Conference*, 2018, pp. 806–810.
- [7] R. Chakrabarty and R. Adda, "Model predictive control of dstatcom employing a single dc source cascaded h-bridge multilevel inverter in a weak distribution system," in *National Power Systems Conference*, 2018, pp. 1–6.
- [8] Y. Zhang, K. Dai, C. Xu, Y. Kang, and Z. Dai, "Multiple sampling psc-pwm with hierarchical control architecture for mmc-dstatcom," *IET Transactions Electric Power Applications*, vol. 13, no. 10, pp. 1431–1440, 2019.
- [9] A. Renault, J. Rodas, L. Comparatore, J. Pacher, and R. Gregor, "Modulated predictive current control technique for a three-phase four-wire active power filter based on h-bridge two-level converter," in *Universities Power Engineering Conference*, 2018, pp. 1–6.
- [10] Z. Kehl, T. Glasberger, and Z. Peroutka, "Finite control set model predictive control of static compensator," in *International Symposium on Industrial Electronics*, 2019, pp. 858–863.
- [11] A. Renault, M. Ayala, L. Comparatore, J. Pacher, and R. Gregor, "Comparative study of predictive-fixed switching techniques for a cascaded h-bridge two level statcom," in *Universities Power Engineering Conference*, 2018, pp. 1–6.
- [12] J. Pacher, J. Rodas, R. Gregor, M. Rivera, A. Renault, and L. Comparatore, "Efficiency analysis of a modular h-bridge based on sic mosfet," *International Journal of Electronics Letters*, vol. 7, no. 1, pp. 59–67, 2019.
- [13] R. Gregor, A. Renault, L. Comparatore, J. Pacher, J. Rodas, and D. Gregor, "Finite-states model predictive control with increased prediction horizon for a 7-level cascade h-bridge multilevel statcom," in *World Multi-Conference on Systemics, Cybernetics and Informatics*, 2016, pp. 1–6.
- [14] L. Comparatore, A. Renault, J. Pacher, R. Gregor, J. Rodas, and M. Rivera, "Model based predictive control with switcher of redundant vectors for a cascade h-bridge multilevel statcom," in *IEEE Andean Conference*, 2016, pp. 1–4.
- [15] L. Zhang, X. Yuan, J. Zhang, X. Wu, Y. Zhang, and C. Wei, "Modeling and implementation of optimal asymmetric variable dead-time setting for sic mosfet-based three-phase two-level inverters," *IEEE Transactions on Power Electronics*, vol. 34, no. 12, pp. 11 645–11 660, 2019.

## Article

# Harmonics Compensation by Using a Multi-Modular H-Bridge-Based Multilevel Converter

Raul Gregor , Julio Pachter , Alejandro Espinoza, Alfredo Renault , Leonardo Comparatore   
and Magno Ayala 

Laboratory of Power and Control Systems (LSPyC), Facultad de Ingeniería, Universidad Nacional de Asunción, Luque 2060, Paraguay; jpachter@ing.una.py (J.P.); aespinoza@fiuna.edu.py (A.E.); arenault@ing.una.py (A.R.); lcomparatore@ing.una.py (L.C.); mayala@ing.una.py (M.A.)

\* Correspondence: rgregor@ing.una.py; Tel.: +595-981813164

**Abstract:** This paper presents an active power filter based on a seven-level cascade H-bridge where the main contribution is a control strategy that combines model-based predictive control, the voltage vectors of the converter output levels, the phase shift PWM technique, and suboptimal DC-link voltage control. The proposed scheme greatly simplified the overall control system, making it well suited to compensate the current harmonics distortion at the grid side, generated by nonlinear loads connected to the point of common coupling. In addition, the proposed method achieved a balancing of the capacitor voltages of the seven-level cascade H-bridge converter by using the minimum DC-link voltage sensors. This feature significantly reduced the control system complexity and provided a low computational burden. Experimental results confirmed the feasibility and effectiveness of the proposed controller.

**Keywords:** harmonics compensation; multilevel converter; multimodular APF



**Citation:** Gregor, R.; Pachter, J.; Espinoza, A.; Renault, A.; Comparatore, L.; Ayala, M. Harmonics Compensation by Using a Multi-Modular H-Bridge-Based Multilevel Converter. *Energies* **2021**, *14*, 4698. <https://doi.org/10.3390/en14154698>

Academic Editors: Dawid Bula and Marcin Zygmanski

Received: 16 June 2021  
Accepted: 29 July 2021  
Published: 3 August 2021

**Publisher's Note:** MDPI stays neutral with regard to jurisdictional claims in published maps and institutional affiliations.



**Copyright:** © 2021 by the authors. Licensee MDPI, Basel, Switzerland. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution (CC BY) license (<https://creativecommons.org/licenses/by/4.0/>).

## 1. Introduction

Currently, power quality issues play an increasingly important role in AC power distribution systems due to the complex electric scenario, where different kinds of dynamic loads such as power converters, AC motor drives, and distributed energy resources (DERs) are integrated. From a practical point of view, a power quality problem can be defined as the deviation of the magnitude and frequency from the ideal sinusoidal waveform [1,2]. These power quality problems have given rise to different developments, and these problems have been addressed in the literature from complementary aspects, depending on the type of compensation. Among these mitigation techniques used for power quality issues in the distribution system, it is possible to find the custom power devices (CPDs) based on the active power filter (APF), commonly used for reactive power compensation, harmonic mitigation, and balancing of source currents [3,4]. Additional devices such as the dynamic voltage restorer (DVR) are used to compensate unbalanced voltage disturbance [5,6], and unified power quality conditioners (UPQCs) are used to compensate both voltage and current quality problems [7,8].

Moreover, in power quality applications, regardless of the implemented compensation system, the voltage source converters (VSCs) are considered a fundamental element of the compensation systems [9,10]. A conventional two-level VSC has so far been the most widely used converter in APFs; however, it creates a poor harmonic profile, leading to additional power quality and loss issues [11,12]. In recent years, the multilevel converter (more than two levels) has drawn the attention of researchers, and the literature has reported the development of APFs based on a multilevel converter injecting current at the point of common coupling (PCC) in order to achieve the desired reactive power compensation with high-quality waveforms. Regarding the multilevel converter topology, the cascade H-bridge (CHB) is currently one of the greatest topologies due to its advantages, such as

the modular converter topology (which simplifies the increase in the number of levels of the converter), and it does not require a very large number of clamping diodes or flying capacitors. Due to these advantages, the CHB APF is now considered as a very competitive topology in the new generation of reactive power compensation devices [13,14]. Commonly, the APF based on the CHB multilevel converter is designed using IGBT power electronics devices, but recently, silicon carbide (SiC) MOSFET devices have gained the focus of researchers because these devices can reach high switching frequencies, far higher than what could be achieved with a multilevel converter based on IGBTs, exhibiting higher blocking voltage, lower on-state resistance, and higher thermal conductivity, enabling better efficiency [15,16]. Nevertheless, for power quality applications using an active power filter, it is not enough to integrate fast switching devices. Rather, it is necessary to address this issue together with the control algorithm [17,18].

The control strategies implemented in the APF are the PID control techniques which need a large number of variables to be measured [19], the hysteresis control, which has a high band value, producing the greater propagation of low-order harmonic distortion and a low value [20], increasing switching losses, while model-based predictive control (MPC) is a nonlinear control technique applied to power converters [21,22], having some advantages such as fast dynamic response, the ability to handle multivariable systems [23], nonlinearities, and constraints. Some disadvantages are that it depends on the model of the system, and it uses a variable switching frequency, which causes the propagation of low-order harmonics in the output current that deteriorate the performance of the system [24]. On the other hand, the MPC applied to the APF based on seven-level cascade H-bridge converters uses the switching states, which correspond to a specific voltage level, which is normally a constant reference voltage [25], but having floating capacitors such as the DC-link, by which they are charged and discharged according to the polarity of the filter current, which generates ripples in the capacitor voltages. Therefore, there is an error propagation between the measured DC-link voltages with respect to their reference value [26,27].

The main contribution of this work is the implementation of an MPC technique that combines the selection of the optimal seven-level converter output voltage vectors (VVs) together with the phase-shifted PWM (PSPWM) approach. On the other hand, the proposed control strategy combines a suboptimal solution in order to achieve the DC-link voltage balance, simplifying the control structure and the experimental test bench.

In this regard, the proposed control method optimizes the prediction model using the estimates of the DC-link voltages in combination with the iterations of the control to obtain the sign of the output voltages of each CHB, thus avoiding using a constant reference voltage. In addition, a control is added that regulates the voltages of the DC-link capacitors to the reference values, minimizing the number of DC-link voltage controllers.

The proposed control technique was tested under different operating points, considering transient and steady-state conditions. The rest of the paper is organized as follows. The next section introduces the proposed multimodal APF topology. In the same section, the three-phase seven-level CHB converter scheme is analyzed, and the mathematical model of the APF based on the three-phase seven-level converter is extracted. Subsequently, the predictive model, the DC-link voltage controller, and the modulation strategy are presented in the same section. Section 3 describes the experimental test bench. In Section 4, the experimental results are shown, in which two figures of merit are used as a reference, the current tracking and harmonics compensation. Finally, in Section 5, the conclusions of the work are given.

## 2. Multimodal APF Model

Figure 1 shows the control scheme applied to the multimodal APF based on the 7-level 3-phase CHB multilevel converter. Note that each cell of the CHB has an independent DC-link and four switching devices based on the SiC-MOSFET semiconductors. The 7-level 3-phase converter topology is implemented by connecting three cells in series per phase.

Then, 36 firing signals, represented by  $S_{xy}^\phi \in \{0, 1\}$ , are used to control each cell,  $\phi$  being the phase ( $\phi = a, b$ , or  $c$ ),  $x$  the cell number in each phase ( $x = 1, 2, 3$ ), and  $y$  the switching device in each cell ( $y = 1, 2, 3$ , or  $4$ ). Table 1 shows a combination of the firing signals taking phase “a” as an example in order to generate 7 voltage levels at the output of the 7-level converter. A similar analysis can be extended to other phases considering allowable combinations and avoiding short circuits in the DC-link of each cell.

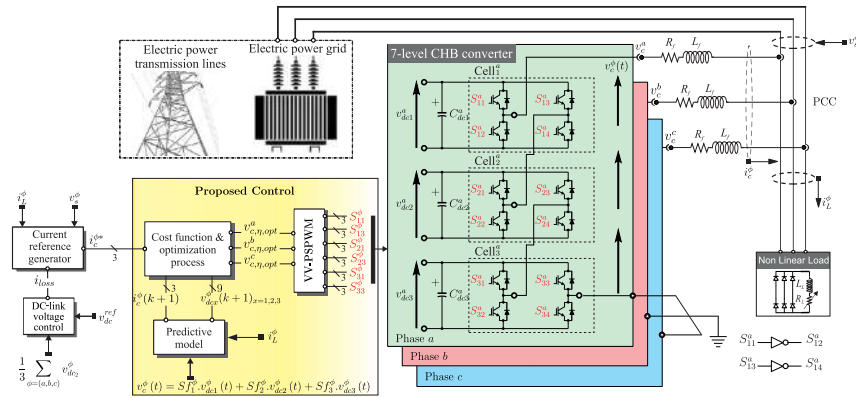


Figure 1. Proposed control scheme for the multimodular APF.

Table 1. Voltage vectors.

| $S_{\eta}^{\phi}$ |                 |                  |                 |                  |                 | $\eta$ | $v_{c,\eta}^{\phi}$      |
|-------------------|-----------------|------------------|-----------------|------------------|-----------------|--------|--------------------------|
| Cell $_1^{\phi}$  |                 | Cell $_2^{\phi}$ |                 | Cell $_3^{\phi}$ |                 |        |                          |
| $S_{11}^{\phi}$   | $S_{13}^{\phi}$ | $S_{21}^{\phi}$  | $S_{23}^{\phi}$ | $S_{31}^{\phi}$  | $S_{33}^{\phi}$ |        |                          |
| 0                 | 1               | 0                | 1               | 0                | 1               | 1      | $-3 \cdot v_{dc}^{\phi}$ |
| 0                 | 1               | 0                | 1               | 0                | 0               | 2      | $-2 \cdot v_{dc}^{\phi}$ |
| 0                 | 1               | 0                | 0               | 0                | 0               | 3      | $-1 \cdot v_{dc}^{\phi}$ |
| 0                 | 0               | 0                | 0               | 0                | 0               | 4      | $0 \cdot v_{dc}^{\phi}$  |
| 1                 | 0               | 0                | 0               | 0                | 0               | 5      | $1 \cdot v_{dc}^{\phi}$  |
| 1                 | 0               | 1                | 0               | 0                | 0               | 6      | $2 \cdot v_{dc}^{\phi}$  |
| 1                 | 0               | 1                | 0               | 1                | 0               | 7      | $3 \cdot v_{dc}^{\phi}$  |

To obtain an equation that describes the dynamics of the converter output voltage, the switching function of the CHB multilevel converters  $Sf_x$  is used. This is derived for each phase and H-bridge cell as:

$$Sf_x^\phi = S_{x1}^\phi \cdot S_{x4}^\phi - S_{x2}^\phi \cdot S_{x3}^\phi \quad (1)$$

The value of  $Sf_x^\phi$  indicates the charging and discharging among the DC-link capacitors  $C_{dc1}^\phi$ ,  $C_{dc2}^\phi$ , and  $C_{dc3}^\phi$ . Supposing the current  $i_c^\phi$  flows from the converter to the grid, then the capacitor  $C_{dcx}^\phi$  is charging if  $Sf_x^\phi = -1$ , discharging if  $Sf_x^\phi = 1$ , and unchanged if  $Sf_x^\phi = 0$ . The output voltage of the multilevel converter depends on the switching function and the voltage in each of the DC-link capacitors and can be expressed as:

$$v_c^\phi(t) = Sf_1^\phi \cdot v_{dc1}^\phi(t) + Sf_2^\phi \cdot v_{dc2}^\phi(t) + Sf_3^\phi \cdot v_{dc3}^\phi(t) \quad (2)$$

The values of  $v_{dc1}^\phi$ ,  $v_{dc2}^\phi$ , and  $v_{dc3}^\phi$  are the estimated voltages of each DC-link previously filtered. They may not be equal to their reference voltage due to the dynamics of the system.

According to Kirchhoff's law for the DC side and considering the ideal case ( $R_{dc} = \infty$ , where  $R_{dc}$  is a resistor that concentrates the overall losses in the DC side), the currents flowing into the electrical grid from capacitors  $C_{dc1}^\phi$ ,  $C_{dc2}^\phi$ , and  $C_{dc3}^\phi$ , whose capacitance values  $C_{dcx}^\phi = C_{dc}$ , can be expressed as:

$$i_{Cx}^\phi(t) = C_{dc} \cdot \frac{d(v_{dcx}^\phi)}{dt} = S f_x^\phi \cdot i_c^\phi \quad (3)$$

On the other hand, the proposed controller is based on the explicit APF mathematical model in order to calculate the effects of control actions over the evolution of the state variables. The dynamics of the system's model can be obtained by using Kirchhoff's circuit laws. Notice that the APF based on the CHB 7-level converter is connected at the PCC. Next, by applying Kirchhoff's laws for the AC side of the APF and using (2) and (3), assuming the currents flow from the converter to the electrical grid, the following equations in the state-space representation are obtained for each phase:

$$\begin{bmatrix} \dot{i}_c^\phi(t) \\ \dot{v}_{dc1}^\phi(t) \\ \dot{v}_{dc2}^\phi(t) \\ \dot{v}_{dc3}^\phi(t) \end{bmatrix} = \mathbb{F} \cdot \begin{bmatrix} i_c^\phi(t) \\ v_{dc1}^\phi(t) \\ v_{dc2}^\phi(t) \\ v_{dc3}^\phi(t) \end{bmatrix} + \mathbb{G} \cdot \begin{bmatrix} v_s^\phi(t) \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (4)$$

where  $v_s^\phi(t) \forall \phi \in \{a, b, c\}$  are the grid voltages and  $i_c^\phi(t)$  and  $v_c^\phi(t)$  are the APF output currents and voltages, respectively. The matrices  $\mathbb{F}$  and  $\mathbb{G}$  are:

$$\mathbb{F} = \begin{bmatrix} -\frac{R_f}{L_f} & \frac{S f_1^\phi}{L_f} & \frac{S f_2^\phi}{L_f} & \frac{S f_3^\phi}{L_f} \\ \frac{S f_1^\phi}{C} & 0 & 0 & 0 \\ \frac{S f_2^\phi}{C} & 0 & 0 & 0 \\ \frac{S f_3^\phi}{C} & 0 & 0 & 0 \end{bmatrix} \quad (5)$$

$$\mathbb{G} = \begin{bmatrix} -\frac{1}{L_f} & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \quad (6)$$

$R_f$  being the parasitic (series) resistance of the inductive filter  $L_f$  connected between the output of the multilevel converter and the PCC.

### 3. Predictive Model

The predictive model can be obtained from (4) by using a forward-Euler discretization method. Euler's method is the most basic explicit method for numerical integration of ordinary differential equations and consequently carries a low computational burden, which benefits the experimental implementation [28–30]. The APF discrete-time model is given by:

$$\begin{bmatrix} \hat{i}_c^\phi(k+1) \\ \hat{v}_{dc1}^\phi(k+1) \\ \hat{v}_{dc2}^\phi(k+1) \\ \hat{v}_{dc3}^\phi(k+1) \end{bmatrix} = \mathbb{A} \cdot \begin{bmatrix} i_c^\phi(k) \\ v_{dc1}^\phi(k) \\ v_{dc2}^\phi(k) \\ v_{dc3}^\phi(k) \end{bmatrix} + \mathbb{B} \cdot \begin{bmatrix} v_s^\phi(k) \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (7)$$

where:

$$\mathbb{A} = \begin{bmatrix} \left(1 - \frac{R_f T_s}{L_f}\right) & \frac{T_s S f_1^\phi}{L_f} & \frac{T_s S f_2^\phi}{L_f} & \frac{T_s S f_3^\phi}{L_f} \\ \frac{T_s S f_1^\phi}{C} & 1 & 0 & 0 \\ \frac{T_s S f_2^\phi}{C} & 0 & 1 & 0 \\ \frac{T_s S f_3^\phi}{C} & 0 & 0 & 1 \end{bmatrix} \quad (8)$$

$$\mathbb{B} = \begin{bmatrix} -\frac{T_s}{L_f} & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \quad (9)$$

$T_s$  being the sampling time.

### 3.1. Current Reference Generation

The proposed controller requires the calculation of the reference currents in order to evaluate the cost function in (18). Figure 2 illustrates the block diagram of the current reference calculation based on synchronous reference frame (SRF) theory. As can be seen from Figure 2, the current reference generation block diagram requires the measurement of the capacitor voltages, load currents, and source voltages. The phase currents and voltages are represented in the  $d-q-0$  subspace by using Park's transformation matrix:

$$\mathbb{T}_{dq} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin(\theta) & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (10)$$

The use of a three-phase PLL is required to synchronize these signals with the source voltages. Due to the nonlinear loads, the components  $d-q$  can be decomposed into two elements, one DC component  $\bar{i}_{LdDC}$  associated with the 50 Hz fundamental frequency power and the other one  $\bar{i}_{Ld}$  associated with the harmonic frequencies. The currents in the  $d$  and  $q$  axes can be represented as the sum of their fundamental and harmonic components as follows:

$$\begin{aligned} i_{Ld} &= \bar{i}_{LdDC} + \bar{i}_{Ld} \\ i_{Lq} &= \bar{i}_{Lq} + \bar{i}_{Lq} \end{aligned} \quad (11)$$

The DC component of the current  $\bar{i}_{LdDC}$  is separated using a digital second-order low-pass filter (LPF), as shown in the scheme of Figure 2. The reference currents in the time domain, based on the references  $i_{cd}^*$ ,  $i_{cq}^*$ , and  $i_{c0}^*$ , are:

$$\begin{bmatrix} i_c^* \end{bmatrix} = [\mathbb{T}_{dq}]^{-1} \cdot \begin{bmatrix} i_{cd}^* \\ i_{cq}^* \\ i_{c0}^* \end{bmatrix} \quad (12)$$

where:

$$i_{cd}^* = i_{Ld} - \bar{i}_{LdDC} - i_{loss} \quad (13)$$

$$i_{cq}^* = i_{Lq} \quad (14)$$

The term  $i_{loss}$  in (13) is the additional power needed to increase the average voltage across the DC-link capacitors and to balance the losses of the 7-level CHB converter associated with the switching states. This current  $i_{loss}$  is obtained by using a PI controller.

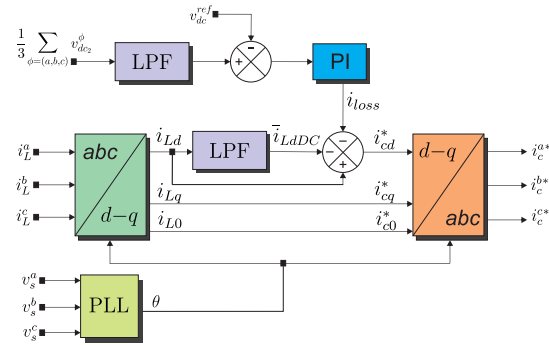


Figure 2. Current reference generation based on SRF theory including the DC-link voltage controller.

### 3.2. DC-Link Voltage Control

Depending on how the filter injects current into the electrical power grid, the DC-link capacitors release or absorb energy, causing a drop or increase, respectively, in the  $v_{dc}^\phi$  voltage of the capacitors. On the other hand, semiconductor losses by switching and conduction also cause a reduction of the capacitor voltages. That is why a regulation system is needed that maintains the voltage levels at a certain average reference value. To regulate the average capacitor voltages to reference values in the CHB 7-level converter, a common methodology is based on the measurement of each capacitor voltage in order to evaluate the error to implement a PI controller in discrete-time [31,32]. This procedure represents an optimal solution to the capacitor voltage regulation process; however, it increases the complexity of the overall system, especially when considering the multilevel converter. A different approach is based on the modification of the cost function of predictive control, including a term that seeks to achieve the capacitor voltages' balance by applying an optimal switching function at each sampling period [33,34].

In this work, a suboptimal solution was proposed combining both approaches. The implemented DC-link voltage controller is shown in Figure 3. As can be seen from Figure 3, the voltage measurements performed made only in the middle cell. These capacitor voltages are used in the predictive model block to predict their voltage level, and an average of these measurements is used to calculate the voltage error applied to the PI control block, through an LPF. According to [35], an approximation to the proportional ( $kp$ ) and integral ( $ki$ ) gain values can be written as:

$$e_k^\phi = v_{dc}^{ref} - v_{dc2}^\phi \quad (15)$$

$$i_{loss}^\phi = i_{loss(k-1)} + kp \cdot (e_k^\phi - e_{k-1}^\phi) + Tm_{pi.ki} \cdot e_k^\phi \quad (16)$$

$$i_{loss} = \frac{1}{3} \sum_{\phi=a,b,c} i_{loss}^\phi \quad (17)$$

$$k_p = \frac{C_{dc}}{2 \cdot T_c} \quad (17)$$

$$k_i = \frac{k_p}{2}$$

where  $e_k^\phi$  represents the error between the reference and the previously filtered measured voltages  $v_{dc2}^\phi$ , then the loss current  $i_{loss}$  is calculated,  $i_{loss(k-1)}$  being the loss current estimated in the previous instant,  $e_{(k-1)}$  the voltage error calculated in the previous instant,



$Tm_{pi}$  the PI controller actuation time, and finally,  $i_{loss}$ , which represents the sum of the loss currents of each phase with respect to the middle cell.

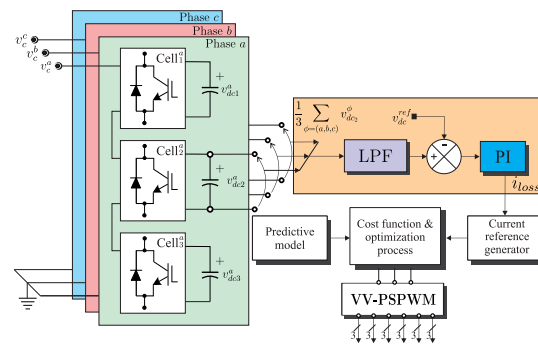


Figure 3. Block diagram of the DC-link voltage control scheme.

### 3.3. Cost Function and Optimization Process

The proposed controller was based on model-based predictive control to follow the current references and simultaneously achieve a balance in the capacitor voltages. The MPC was based on the optimization process in which a cost function is minimized. This cost function is defined as the difference between the reference values and the estimates obtained through the prediction model. In the three-phase control scheme, a general cost function is defined for each phase, which includes the reference current tracking error and the voltage tracking error for the capacitors, which are independently evaluated using the following equation:

$$g^\phi = \|i_c^\phi - \hat{i}_c^\phi(k+1)\|^2 + \lambda \|v_{dc}^{ref} - \hat{v}_{dc}^\phi(k+1)\|^2 \quad (18)$$

where  $\lambda$  is a weight factor in the optimization process.

Next, the optimization algorithm selects the optimum vector  $S_{\eta,opt}^\phi$  for each firing signal of each cell by the evaluation and minimization of the predefined multi-objective cost function represented by (18). Algorithm 1 summarizes the optimization process.

### 3.4. Voltage Vectors' Phase-Shifted PWM Strategy

After selecting the optimal vector  $S_{\eta,opt}^\phi$ , which corresponds to an optimal voltage  $v_{c,\eta,opt}^\phi$  given by (2), the classic solution is to apply this output voltage during one sampling period. However, the proposed method uses a modulation stage based on the phase-shifted pulse width modulation (PSPWM) approach. Three phase-shifted triangular carrier waves (with the same frequency and magnitude peak-to-peak) are needed to obtain the turn-on times of the firing signals of each cell. The phase-shift between the two adjacent carriers is  $180^\circ/3$ . By comparing one specific carrier wave  $v_{tr,x}^\phi$  with a pair of inverted modulation signals  $v_{cont}^\phi$  and  $-v_{cont}^\phi$ , we obtain the firing signals of  $s_{x1}^\phi$  and  $s_{x3}^\phi$ , as shown in Figure 4. Note that the carrier frequency is equal to the sampling frequency, and the modulation signals are normalized between  $-1$  and  $1$ . The modulated signals are associated with the optimal voltages as:

$$v_{cont}^\phi = \frac{v_{c,\eta,opt}^\phi}{3v_{dc}^{ref}}. \quad (19)$$

**Algorithm 1** Optimization algorithm.

---

```

1 Initialize  $g_{opt}^a := \infty, g_{opt}^b := \infty, g_{opt}^c := \infty, \eta := 0$ 
2 Compute the APF current references (12).
3 while  $\eta \leq 7$  do
4    $S_\eta^\phi \leftarrow S_{xy}^\phi \forall x \text{ \& } y = 1, 2, 3$ 
5   Compute the output voltage of the multilevel converter (2).
6   Calculate the APF prediction currents and voltage (4).
7   Compute the cost function (18).
8   if  $g^a < g_{opt}^a$  then
9      $g_{opt}^a \leftarrow g^a, S_{\eta,opt}^a \leftarrow S_\eta^a$ 
10  end if
11  if  $g^b < g_{opt}^b$  then
12     $g_{opt}^b \leftarrow g^b, S_{\eta,opt}^b \leftarrow S_\eta^b$ 
13  end if
14  if  $g^c < g_{opt}^c$  then
15     $g_{opt}^c \leftarrow g^c, S_{\eta,opt}^c \leftarrow S_\eta^c$ 
16  end if
17   $\eta := \eta + 1$ 
18 end while
19 Compute the modulation signals (19).
20 Obtain the turn-on times of the firing signals according to Figure 4.
21 Apply the firing signals.

```

---

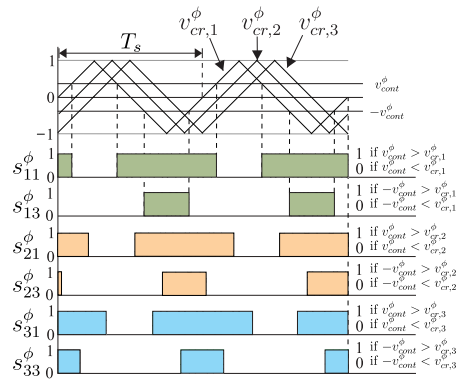


Figure 4. PSPWM waveform generation.

**4. Experimental Test Bench**

The multimodular APF built for experimental validation is shown in Figure 5. The test bench integrated three individual CHB cells per phase, interconnected in series. Control signals were conditioned in independent driver boards and were transmitted from the control board to the drivers by using fiber optics in order to avoid electromagnetic noises from the switching devices in the control signals. The control board was based on the dSPACE MicroLabBox multipurpose control system. The power semiconductor devices used were SiC-MOSFETs from Cree, CAS120M12BM2, with 120 A and 1200 V maximum drain–source current and drain–source voltage, respectively.

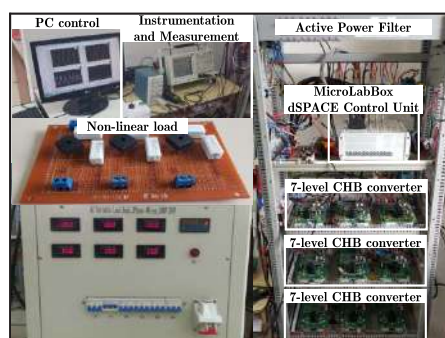


Figure 5. Experimental test bench.

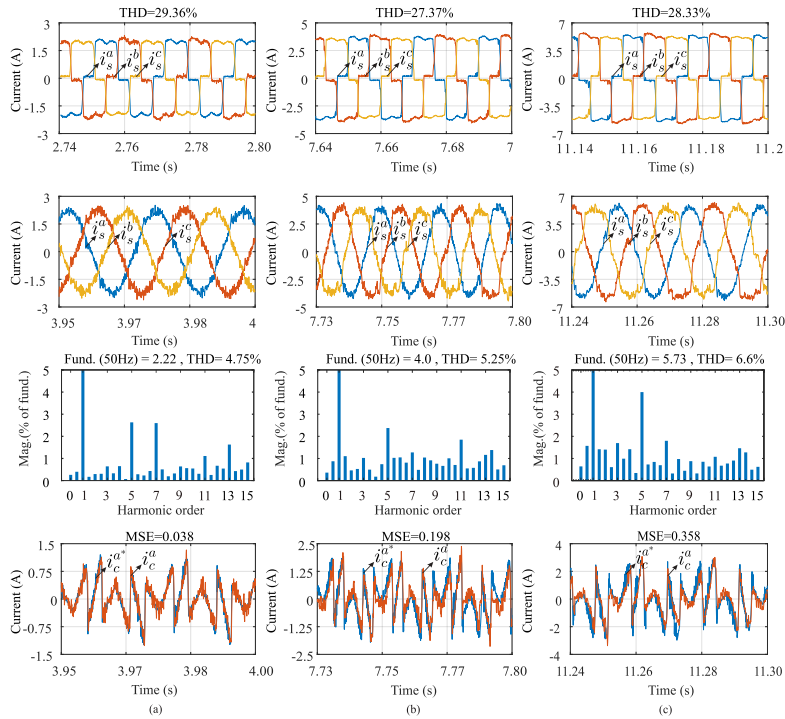
In order to apply the proposed controller, analog phase voltages and currents were measured using a multimodular PCB. The analog signals were digitized by using the dSPACE MicroLabBox analog-to-digital converter (ADC) modules with 16 bit resolution. Figure 5 shows the current and voltage measurement boards designed to obtain the electrical variables necessary for the implementation of the control algorithms. The sampling frequency was 18 kHz, which was the same as the equivalent switching frequency, and the carrier frequency for PWM modulation was 1 kHz.

## 5. Experimental Validation

In order to verify the performance of the proposed APF, this section shows the experimental results considering  $v_g^0 = 120$  Vrms,  $v_{dc}^{ref} = 75$  V,  $L_f = 10$  mH. The nonlinear load was a three-phase rectifier. The DC side of the bridge rectifier was connected to an RL load with  $R_L = 100 \Omega$ ,  $50 \Omega$ ,  $25 \Omega$ , and  $L_L = 114$  mH, respectively. The capacitance of the DC-link in all DC cells ( $C_{dc}$ ) was  $20,000 \mu\text{F}$ . The defined cost function in (18) with  $\lambda = 0.02$  was selected to evaluate the performance of the proposed controller, prioritizing the current tracking as the first control objective and the DC-link tracking voltage as the second objective.

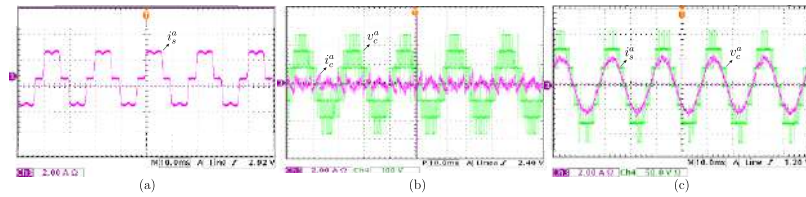
### 5.1. Verification of the Harmonics Compensation

The harmonics compensation performance was tested by using a nonlinear load under different grid current conditions. The experimental results of the total harmonic distortion (THD) were obtained by using the data captured with the control desk software of the dSPACE MicroLabBox. Load currents ( $i_L$ ), APF output currents ( $i_c$ ), grid currents ( $i_s$ ), as well as source voltages ( $v_s$ ) and DC-link ( $V_{dc}$ ) voltages were captured and analyzed. Figure 6 shows the THD level in the grid side before compensation considering three operating points  $R_L = 100 \Omega$ ,  $50 \Omega$ , and  $25 \Omega$ , respectively. Under these operating conditions, the THD of the currents at the grid side was 29.36%, 27.37%, and 28.33%, respectively. Once the APF was connected, the compensation process started. The output APF currents ( $i_c$ ) were injected at the PCC in order to compensate the harmonics distortion at the grid side. According to the grid currents' evolution shown in Figure 6, after connecting the APF, currents at the grid side ( $i_s$ ) quickly became sinusoidal. The THD level in the grid currents decreased to the values of 4.75%, 5.25%, and 6.6%, respectively, for each load impedance value. A significant improvement in terms of harmonic compensation was observed.



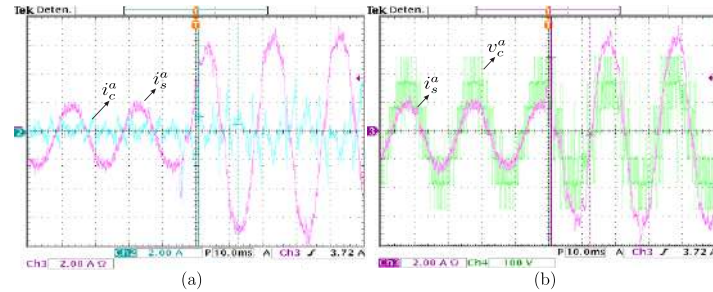
**Figure 6.** Experimental results of source current harmonics compensation at the grid side considering a nonlinear load and three operating points: (a)  $R_L = 100 \, \Omega$ , (b)  $R_L = 50 \, \Omega$ , and (c)  $R_L = 25 \, \Omega$ .

To quantify the performance of the proposed MPC based on the PSPWM algorithm, the mean-squared error (MSE) between the reference currents calculated by (12) and the measured current captured by the ADC of the dSPACE MicroLabBox were used as the figure of merit. According to the results shown in Figure 6, the MSE increased as the load power increased, being able to quantify in 0.038A, 0.198A, and 0.358A, respectively. On the other hand, Figure 7a shows the source current evolution ( $i_s^g$ ) at the grid side. It shows the distortions due to the high level of THD existing in the electrical grid due to the nonlinear load connected at the PCC. Once the APF was enabled, the current injection ( $i_s^d$ ) at the PCC was produced by the APF in order to compensate the harmonics distortion of the source current, as shown in Figure 7b, where the CHB seven-level converter output voltage ( $v_c^d$ ) is also shown. From Figure 7c, once the harmonics compensation process starts, a significant decrease can be observed in the THD level existing in the source current at the grid side ( $i_s^g$ ).



**Figure 7.** Steady operation of the APF (a) uncompensated source current, (b) compensated source current and filter output voltage, and (c) voltage and current APF output.

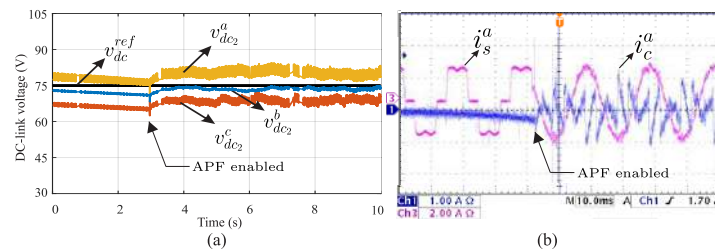
In order to analyze the APF behavior under dynamic conditions, a load resistance ( $R_L$ ) variation from  $150\ \Omega$  to  $50\ \Omega$  was applied. Figure 8a presents the dynamic behavior of the APF current injection ( $i_c^a$ ) at the PCC in order to produce the harmonics compensation at the grid side ( $i_s^a$ ) where the measured grid current rapidly rose to the nominal value without oscillations that may affect the stability of the system. On the other hand, Figure 8b shows the dynamic behavior of the APF output voltage ( $v_c^a$ ) produced by the load resistance variation. It can be seen how from the transient condition, the duty cycle of the APF output voltage was modified in order to generate a current compensation ( $i_c^a$ ) with greater amplitude injected at the PCC, resulting in a compensated current at the grid side ( $i_s^a$ ) with a low harmonic content, even instantaneously after the transient condition.



**Figure 8.** Transient behavior of the APF (a) current  $i_c^a$  and  $i_s^a$  for increased load and (b) current  $i_s^a$  and voltage  $v_c^a$  for instantaneous load resistance changes.

## 5.2. Verification of the DC-Link Voltage Control

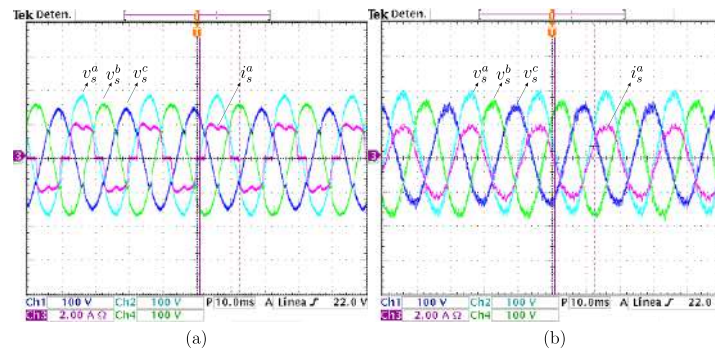
In order to verify the effects of the DC-link voltage control under the transient condition, the APFs were intentionally disabled during the steady-state. After three seconds, the APF was suddenly connected, causing a transient in the DC-link voltages. Figure 9a shows the experimental waveforms of capacitor voltages under transient conditions. According to the experimental results, the PI control implemented on three cells was enough to achieve the stable behavior of the DC-link voltages. Once the APF was enabled, the capacitor voltages converged to their reference value. Figure 9b shows the harmonics compensation in the source current at the grid side when the APF was connected at the PCC. The experimental results demonstrated in Figures 6–9 confirmed the feasibility and effectiveness of the proposed controller.



**Figure 9.** Transient behavior of the APF (a) DC-link voltage control performance and (b) source current harmonics compensation.

### 5.3. Verification of the Compensation for Unbalanced Voltages

Main currents may be unbalanced if nonlinear loads or AC source voltages are unbalanced. Figure 10a shows the measured phase voltage waveforms for the unbalanced grid voltages and nonlinear load conditions. The voltage amplitude unbalance was 20% for the experiment. Under these operating conditions, the active power filter operated properly, reducing the harmonic distortions at the grid side, as shown in Figure 10b.



**Figure 10.** Unbalanced voltages (a) uncompensated by the source current and (b) compensated by the source current.

## 6. Conclusions

This paper presented the implementation of a multimodular H-bridge SiC-MOSFET-based APF using a simple and novel controller combining the concepts of model-based predictive control, voltage vector PSPWM, and suboptimal DC-link voltage control. The feasibility and effectiveness of the overall system was investigated and validated through experimental results. In this regard, the proposed system proved to be viable to compensate the current harmonics distortion at the grid side generated by nonlinear loads. The fifth and seventh harmonics originally present in the grid currents, with 27.30% of the THD value, were compensated after the interconnection of the APF at the PCC. The reduction of the THD of the grid currents from 27.30% to 4.75% proved the quality of the power system would be enhanced. This characteristic was evaluated under different operating points. The controller was found to be effective, and its validity was demonstrated based on the experimental results through the analysis of the MSE in the tracking reference currents obtained by the SRF theory, under both steady-state and dynamic conditions. From the

point of view of the harmonics compensation of the current at the grid side, the proposed algorithm showed a good dynamic response even under transient operating regimes and unbalanced voltages.

**Author Contributions:** Conceptualization, R.G., J.P., A.E., A.R. and L.C.; methodology, R.G., J.P. and A.E.; software, A.E., A.R. and L.C.; validation, R.G., J.P., A.E. and A.R.; formal analysis, R.G., J.P., A.E., A.R. and L.C.; investigation, R.G., J.P., A.E., A.R. and L.C.; resources, R.G., J.P., A.E., A.R., L.C. and M.A.; data curation, R.G., J.P., A.E., A.R. and L.C.; writing, original draft preparation, R.G., J.P., A.E. and M.A.; writing, review and editing, R.G. and M.A.; visualization, R.G., J.P., A.E. and M.A.; project administration, R.G. and M.A.; funding acquisition, R.G. All authors read and agreed to the published version of the manuscript.

**Funding:** This research was funded through the Consejo Nacional de Ciencia y Tecnología (CONACYT)-Paraguay, Grant Number POSG16-05 and Grant 14-INV-096.

**Institutional Review Board Statement:** Not applicable.

**Informed Consent Statement:** Not applicable.

**Data Availability Statement:** Not applicable.

**Conflicts of Interest:** The authors declare no conflict of interest.

## Abbreviations

The following abbreviations were employed in this work:

|        |                                                   |
|--------|---------------------------------------------------|
| AC     | Alternating current                               |
| ADC    | Analog-to-digital converter                       |
| APF    | Active power filter                               |
| CHB    | Cascade H-bridge                                  |
| CPDs   | Custom power devices                              |
| DC     | Direct current                                    |
| DERs   | Distributed energy resources                      |
| DVR    | Dynamic voltage restorer                          |
| IGBT   | Isolated gate bipolar transistors                 |
| LPF    | Low-pass filter                                   |
| MOSFET | Metal–oxide–semiconductor field-effect transistor |
| MPC    | Model predictive control                          |
| MSE    | Mean-squared error                                |
| PCB    | Printed circuit board                             |
| PCC    | Predictive current control                        |
| PI     | Proportional–integral                             |
| PLL    | Phase-locked loop                                 |
| PSPWM  | Phase-shifted PWM                                 |
| PWM    | Pulse width modulation                            |
| SiC    | Silicon carbide                                   |
| SRF    | Synchronous reference frame                       |
| THD    | Total harmonic distortion                         |
| UPQC   | Unified power quality conditioners                |
| VSCs   | Voltage source converters                         |
| VV     | Voltage vectors                                   |

## Nomenclature

|               |                                         |
|---------------|-----------------------------------------|
| $\phi$        | Phase of power grid $a$ , $b$ , and $c$ |
| $S_{xy}^\phi$ | Firing signals                          |
| $x$           | Corresponding cell number               |
| $y$           | Switching device in each cell           |

|                         |                                                             |
|-------------------------|-------------------------------------------------------------|
| $C$                     | Capacitor                                                   |
| $v_{dc}^{\phi}$         | Voltages measured in the DC-link                            |
| $v_c^{\phi}$            | Converter voltage output                                    |
| $i_c^{\phi}$            | Current estimation in the capacitor                         |
| $i_c^{\phi}$            | APF measured current                                        |
| $i_l^{\phi}$            | Load measured current                                       |
| $i_s^{\phi}$            | Power grid measured current                                 |
| $v_s^{\phi}$            | Voltage measurement in the power grid                       |
| $R_f$                   | Filter resistance                                           |
| $L_f$                   | Filter inductance                                           |
| $i_c^{\phi}(k+1)$       | APF current prediction                                      |
| $v_{cx}^{\phi}(k+1)$    | APF voltage prediction                                      |
| $T_s$                   | Sample time                                                 |
| $v_{dc}^{ref}$          | DC-link voltage reference                                   |
| $i_{ld}$                | Active power load in synchronous frame                      |
| $i_{lq}$                | Reactive power load in synchronous frame                    |
| $i_{ldDC}$              | continuous component of $i_{ld}$                            |
| $i_{ld}$                | alternating component of $i_{ld}$                           |
| $i_{cds}$               | Active power reference in synchronous frame                 |
| $i_{cq*}$               | Reactive power reference in synchronous frame               |
| $\theta$                | Phase angle calculated by the PLL                           |
| $i_{loss}$              | Estimation of the current required to charge the capacitors |
| $T_{dq}$                | Transformation matrix $a, b, c$ to $d - q$                  |
| $T_{dq}^{-1}$           | Inverse transformation matrix $d - q$ to $a, b, c$          |
| $i_c^{\phi*}$           | Reference current of phases a, b, and c.                    |
| $e_k^{\phi}$            | Error between the reference and measured voltages           |
| $e_{k-1}^{\phi}$        | Voltage error calculated in the previous instant            |
| $i_{loss}^{a+b+c}$      | Sums of the loss currents of each phase                     |
| $i_{loss(k-1)}$         | Loss current calculated in the previous instant             |
| $T_{mpi}$               | PI controller actuation time                                |
| $k_p$                   | PI proportional constant                                    |
| $k_i$                   | PI integral constant                                        |
| $S_{\eta,opt}^{\phi}$   | Optimum vector                                              |
| $v_{c,\eta,opt}^{\phi}$ | Optimal voltage                                             |
| $v_{cr,x}^{\phi}$       | Carrier wave                                                |
| $v_{cont}^{\phi}$       | Modulation signals                                          |

## References

1. Dash, S.K.; Ray, P.K. Power quality improvement utilizing PV fed unified power quality conditioner based on UV-PI and PR-R controller. *CPSS Trans. Power Electron. Appl.* **2018**, *3*, 243–253. [\[CrossRef\]](#)
2. Zaidi, A.H.; Sunderland, K.; Conlon, M. Role of reactive power (STATCOM) in the planning of distribution network with higher EV charging level. *IET Gener. Transm. Distrib.* **2019**, *13*, 951–959. [\[CrossRef\]](#)
3. Elmetwally, A.H.; Eldesouky, A.A.; Sallam, A.A. An Adaptive D-FACTS for Power Quality Enhancement in an Isolated Microgrid. *IEEE Access* **2020**, *8*, 951–959. [\[CrossRef\]](#)
4. Badoni, M.; Singh, A.; Singh, B.; Saxena, H. Real-time implementation of active shunt compensator with adaptive SRLMMN control technique for power quality improvement in the distribution system. *IET Gener. Transm. Distrib.* **2020**, *14*, 1598–1606. [\[CrossRef\]](#)
5. Gregor, R.; Pacher, J.; Renault, A.; Comparatore, L.; Rodas, J. Experimental Validation of the DSTATCOM Based on SiC-MOSFET Multilevel Converter for Reactive Power Compensation. *J. Syst. Cybern. Inform.* **2020**, *18*, 57–61.
6. Pradhan, M.; Mishra, M.K. Dual P-Q Theory Based Energy-Optimized Dynamic Voltage Restorer for Power Quality Improvement in a Distribution System. *IEEE Trans. Ind. Electron.* **2018**, *66*, 2946–2955. [\[CrossRef\]](#)
7. Lakshmi, S.; Ganguly, S. An On-Line Operational Optimization Approach for Open Unified Power Quality Conditioner for Energy Loss Minimization of Distribution Networks. *IEEE Trans. Power Syst.* **2019**, *34*, 4784–4795. [\[CrossRef\]](#)
8. Choudhury, S.R.; Das, A.; Anand, S.; Tungare, S.; Sonawane, Y. Adaptive shunt filtering control of UPQC for increased nonlinear loads. *IET Power Electron.* **2019**, *12*, 330–336. [\[CrossRef\]](#)



9. Wang, J.; Xing, Y.; Wu, H.; Yang, T. Dual-DC-Port Dynamic Voltage Restorer With Reduced-Rating Integrated DC-DC Converter for Wide-Range Voltage Sag Compensation. *IEEE Trans. Power Electron.* **2018**, *34*, 7437–7449. [\[CrossRef\]](#)
10. Li, P.; Xie, L.; Han, J.; Pang, S.; Li, P. A new voltage compensation philosophy for dynamic voltage restorer to mitigate voltage sags using three-phase voltage ellipse parameters. *IEEE Trans. Power Electron.* **2017**, *33*, 1154–1166. [\[CrossRef\]](#)
11. Myneni, H.; Kumar, G.S. Simple algorithm for current and voltage control of LCL DSTATCOM for power quality improvement. *IET Gener. Transm. Distrib.* **2019**, *13*, 423–434. [\[CrossRef\]](#)
12. Dheepanchakkravarthy, A.; Jawahar, M.R.; Venkatraman, K.; Selvan, M.P.; Moorthi, S. Performance evaluation of FPGA-based predictive current controller for FL-DSTATCOM in electric distribution system. *IET Gener. Transm. Distrib.* **2019**, *13*, 4400–4409. [\[CrossRef\]](#)
13. Busarello, T.D.C.; Mortezaei, A.; Paredes, H.K.M.; Al-Durra, A.; Pomilio, J.A.; Simoes, M.G. Simplified small-signal model for output voltage control of asymmetric cascaded H-bridge multilevel inverter. *IEEE Trans. Power Electron.* **2018**, *33*, 3509–3519. [\[CrossRef\]](#)
14. Ghat, M.B.; Shukla, A. A new H-bridge hybrid modular converter (HBHMC) for HVDC application: Operating modes, control, and voltage balancing. *IEEE Trans. Power Electron.* **2018**, *33*, 6537–6554. [\[CrossRef\]](#)
15. Zhang, L.; Yuan, X.; Wu, X.; Shi, C.; Zhang, J.; Zhang, Y. Performance evaluation of high-power SiC MOSFET modules in comparison to Si IGBT modules. *IEEE Trans. Power Electron.* **2019**, *34*, 1181–1196. [\[CrossRef\]](#)
16. Fuentes, C.D.; Kouro, S.; Bernet, S. Comparison of 1700-V SiC-MOSFET and Si-IGBT Modules Under Identical Test Setup Conditions. *IEEE Trans. Ind. Appl.* **2019**, *55*, 7765–7775. [\[CrossRef\]](#)
17. Mortezaei, A.; Simões, M.G.; Busarello, T.D.C.; Marafão, F.P.; Al-Durra, A. Grid-connected symmetrical cascaded multilevel converter for power quality improvement. *IEEE Trans. Ind. Appl.* **2018**, *54*, 2792–2805. [\[CrossRef\]](#)
18. Tanaka, T.; Ma, K.; Wang, H.; Blaabjerg, F. Asymmetrical Reactive Power Capability of Modular Multilevel Cascade Converter Based STATCOMs for Offshore Wind Farm. *IEEE Trans. Power Electron.* **2018**, *34*, 5147–5164. [\[CrossRef\]](#)
19. Ye, S.; Zhang, Y.; Xie, L.; Lu, H. Shunt active power filter based on proportional integral and multi vector resonant controllers for compensating nonlinear loads. *J. Electr. Comput. Eng.* **2018**, *2018*, 1312064. [\[CrossRef\]](#)
20. Kasmieh, T.A.; Omran, H.S. Active power filter dimensioning using a hysteresis current controller. *Resonance* **2009**, *1*, 2.
21. Najjar, M.; Shahparasti, M.; Heydari, R.; Nyman, M. Model Predictive Controllers With Capacitor Voltage Balancing for a Single-Phase Five-Level SiC/Si Based ANPC Inverter. *IEEE Open J. Power Electron.* **2021**, *2*, 202–211. [\[CrossRef\]](#)
22. Renault, A.; Ayala, M.; Pacher, J.; Comparatore, L.; Gregor, R.; Toledo, S. Current control based on space vector modulation applied to three-phase H-Bridge STATCOM. In Proceedings of the 2020 IEEE International Conference on Industrial Technology (ICIT), Buenos Aires, Argentina, 26–28 February 2020; pp. 1066–1070.
23. Renault, A.; Ayala, M.; Pacher, J.; Comparatore, L.; Gregor, R.; Rivera, M. Analysis of H-Bridge STATCOM with Fault Phase Controlled by Modulated Predictive Current Control. In Proceedings of the 2019 IEEE CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON), Valparaiso, Chile, 13–27 November 2019; pp. 1–5.
24. Renault, A.; Rodas, J.; Comparatore, L.; Pacher, J.; Gregor, R. Modulated predictive current control technique for a three-phase four-wire active power filter based on H-bridge two-level converter. In Proceedings of the 2018 53rd International Universities Power Engineering Conference (UPEC), Glasgow, UK, 4–7 September 2018; pp. 1–6.
25. Comparatore, L.; Renault, A.; Pacher, J.; Rodas, J.; Gregor, R. Finite control set model predictive control strategies for a three-phase seven-level cascade H-bridge DSTATCOM. In Proceedings of the 2018 7th International Conference on Renewable Energy Research and Applications (ICRERA), Paris, France, 14–17 October 2018; pp. 779–784.
26. Gao, H.; Zhang, P.; Liu, X.; Feng, S.; Ma, J.; Li, R. Seven-Level Active Power Filter Based on a Novel H-Bridge Power Topology Structure. *Energies* **2019**, *12*, 2997. [\[CrossRef\]](#)
27. Wang, Y.; Wang, Y.; Chen, S.Z.; Zhang, G.; Zhang, Y. A Simplified Minimum DC-Link Voltage Control Strategy for Shunt Active Power Filters. *Energies* **2018**, *11*, 2407. [\[CrossRef\]](#)
28. Ayala, M.; Doval-Gandoy, J.; Rodas, J.; Gonzalez, O.; Gregor, R.; Rivera, M. A Novel Modulated Model Predictive Control Applied to Six-Phase Induction Motor Drives. *IEEE Trans. Ind. Electron.* **2020**, *68*, 3672–3682. [\[CrossRef\]](#)
29. Ayala, M.; Doval-Gandoy, J.; Rodas, J.; Gonzalez, O.; Gregor, R. Current control designed with model based predictive control for six-phase motor drives. *ISA Trans.* **2020**, *98*, 496–504. [\[CrossRef\]](#)
30. Toledo, S.; Maqueda, E.; Rivera, M.; Gregor, R.; Wheeler, P.; Romero, C. Improved Predictive Control in Multi-Modular Matrix Converter for Six-Phase Generation Systems. *Energies* **2020**, *13*, 2660. [\[CrossRef\]](#)
31. Panda, A.; Patnaik, S. Analysis of cascaded multilevel inverters for active harmonic filtering in distribution networks. *Int. J. Electr. Power Energy Syst.* **2014**, *66*, 216–226. [\[CrossRef\]](#)
32. Vazquez, S.; Leon, J.; Carrasco, J.; Franquelo, L.; Galvan, E.; Reyes, M.; Sanchez, J.; Dominguez, E. Analysis of the Power Balance in the Cells of a Multilevel Cascaded H-Bridge Converter. *IEEE Trans. Ind. Electron.* **2010**, *57*, 2287–2296. [\[CrossRef\]](#)
33. Zhang, Y.; Wu, X.; Yuan, X.; Wang, Y.; Dai, P. Fast Model Predictive Control for Multilevel Cascaded H-Bridge STATCOM with Polynomial Computation Time. *IEEE Trans. Ind. Electron.* **2016**, *63*, 5231–5243. [\[CrossRef\]](#)

- 
34. Gregor, R.; Comparatore, L.; Renault, A.; Rodas, J.; Pacher, J.; Toledo, S.; Rivera, M. A novel predictive-fixed switching frequency technique for a cascade H-bridge multilevel STATCOM. In Proceedings of the IECON 2016—42nd Annual Conference of the IEEE Industrial Electronics Society, Florence, Italy, 23–26 October 2016; pp. 3672–3677. [[CrossRef](#)]
  35. Mishra, M.K.; Karthikeyan, K. A fast-acting DC-link voltage controller for three-phase DSTATCOM to compensate AC and DC loads. *IEEE Trans. Power Deliv.* **2009**, *24*, 2291–2299. [[CrossRef](#)]

# Current control based on space vector modulation applied to three-phase H-Bridge STATCOM

A. Renault, M. Ayala, J. Pacher, L. Comparatore, R. Gregor, S. Toledo

Lab. of Power and Control Systems

Universidad Nacional de Asunción

Luque, Paraguay

{arenault, mayala, jpacher, lcomparatore, rgregor, stoledo}@ing.una.py

**Abstract**—This paper presents a modulated model predictive current control (MPC) based on space vector analysis applied to a three-phase H-Bridge STATCOM. This article proposes a modulation strategy, based on space vector modulation in  $\alpha - \beta$  subspace, in order to mitigate the propagation of the THD of the current injected in the point of common coupling (PCC). Simulation results based are provided to quantify the performance, in terms of power RMS ripple and mean square error (MSE) of the measured phase currents and their corresponding references, of the proposed modulated predictive current control.

**Index Terms**—Active power filters, H-bridge converter, predictive current control, space vector modulation.

## NOMENCLATURE

|                                         |                                                    |
|-----------------------------------------|----------------------------------------------------|
| AC                                      | Alternating current.                               |
| APF                                     | Active power filter.                               |
| CHB                                     | Cascade H-bridge.                                  |
| DC                                      | Direct current.                                    |
| FCS-MPC                                 | Finite-control-set model predictive control.       |
| MSE                                     | Mean square error.                                 |
| PCC                                     | Point of common coupling.                          |
| RMS                                     | Root mean square.                                  |
| STATCOM                                 | Static var compensator.                            |
| SVM                                     | Space vector modulation.                           |
| THD                                     | Total harmonic distortion.                         |
| VSC                                     | Voltage source converter.                          |
| $C_{dc}$                                | DC-link capacitor.                                 |
| $g_a, g_b, g_c$                         | MPC cost functions.                                |
| $i_s^a, i_s^b, i_s^c$                   | Power grid phase currents.                         |
| $i_L^a, i_L^b, i_L^c$                   | Load phase currents.                               |
| $i_c^a, i_c^b, i_c^c$                   | STATCOM phase currents.                            |
| $\hat{i}_c^a, \hat{i}_c^b, \hat{i}_c^c$ | STATCOM phase current predictions.                 |
| $i_{c\alpha}, i_{c\beta}$               | STATCOM currents in the $\alpha - \beta$ subspace. |
| $i_c^{a*}, i_c^{b*}, i_c^{c*}$          | STATCOM phase current references.                  |
| $v_c^a, v_c^b, v_c^c$                   | STATCOM phase voltages.                            |
| $n_c$                                   | Number of cells.                                   |
| $P_c^*$                                 | Instantaneous active power reference.              |
| $Q_c^*$                                 | Instantaneous reactive power reference.            |
| $Q_L$                                   | Instantaneous reactive load power.                 |
| $T$                                     | Clarke's transformation matrix.                    |
| $T_s$                                   | Sampling time.                                     |
| $V_{dc}$                                | DC-link voltage.                                   |

## I. INTRODUCTION

The STATCOM are regulation devices based on VSCs and can absorb and transfer energy in the AC power transmission and distribution systems [1], [2]. STATCOMs are used to control the active and reactive power of the system, eliminate oscillations in the transmission line, regulate voltage, improve the system stability and reduce several transients [3]. One of the most attractive STATCOM topologies is the CHB, due to an excellent modularity in its configuration [4]–[7]. STATCOMs, based on H-bridge converters with SiC-MOSFET switching devices, have several advantages, such as the possibility of higher switching frequency, scalability and modular structure. Due to these advantages, they have been object of study and they are now considered a very competitive topology in the new type of STATCOM and can be applied to the electrical distribution power grid [8].

Several linear controllers are proposed for the CHB STATCOM [9], [10]. Recently, MPC has been presented in many power converters topologies, such as [11]–[14]. The advantages of MPC such as its simplicity and intuitiveness, high dynamic performance, multi-objective capabilities, suitability for nonlinear systems make it an interesting control strategy in power electronics applications [15]–[19]. Among the limitations of the MPC are the production of variable switching frequency which causes higher THD that propagates to the grid and causes curling [20], [21]. In that order, this document proposes a combination between a modulation strategy, based on SVM, and a PCC strategy applied to the three-phase STATCOM, in such a way to compensate the reactive power and reduce the curling effect of the currents filter by managing a fixed switching frequency in the system. The proposed strategy has been validated through the MATLAB/Simulink simulation tool, making a comparison with the classic MPC control with variable switching frequency.

## II. SYSTEM DESCRIPTION

This system [Fig. 1] consists of a three-phase STATCOM four-wire based on two-level H-bridge (CHB) converters. Each CHB line is connected with independent DC-links for each phase and the neutral point, using the SiC-MOSFET switching devices. The activation signals are used to control the switching state of each CHB and they are represented as follows,  $S_{fy}$  are used to control each cell, with  $f$  being the

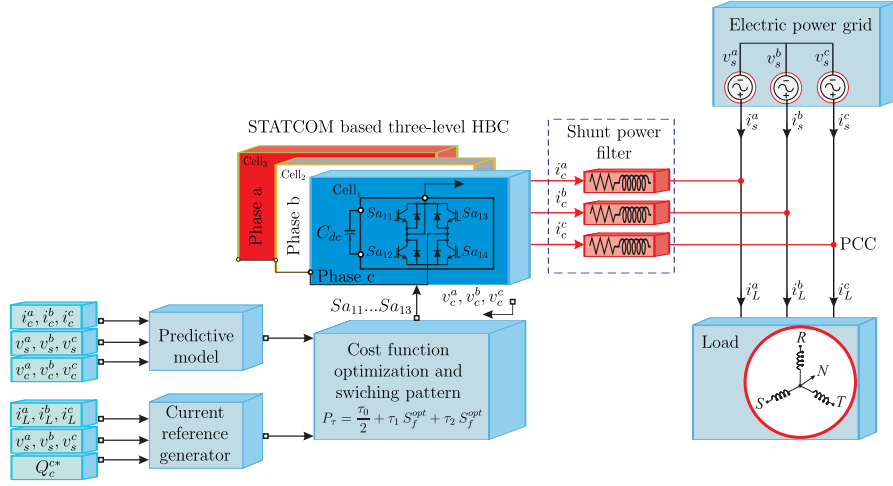


Fig. 1. Control scheme of the proposed modulated MPC.

phase ( $f = a, b, c$  and  $n$ ) and  $y$  the switching device in each cell ( $y = 1, 2, 3$  or  $4$ ). Table I presents the possible combinations of each CHB and the corresponding voltage outputs.

Then, the dynamics of the system's model can be obtained by using Kirchhoff's circuit laws. The imbalance in the three-phase voltage sources, as well as the capacitance and dc-link voltages, are beyond the scope of this paper, and only balanced conditions are considered. Notice that the CHB converter-based STATCOM is connected at the PCC. Next, by applying Kirchhoff's laws for the AC side of the STATCOM, the following equations are obtained:

$$\begin{aligned} \frac{di_c^a}{dt} &= a_1 (v_s^a - R_f i_c^a - n_c S_{ay} v_{dc}^a) \\ \frac{di_c^b}{dt} &= a_1 (v_s^b - R_f i_c^b - n_c S_{by} v_{dc}^b) \\ \frac{di_c^c}{dt} &= a_1 (v_s^c - R_f i_c^c - n_c S_{cy} v_{dc}^c) \end{aligned} \quad (1)$$

being  $a_1 = 1/L_f$ ,  $R_{dc}$  a resistor connected in parallel to  $C_{dc}$  that concentrates the overall losses in the DC side and  $R_f$  is the parasitic (series) resistance of the inductor  $L_f$  [4].

#### A. Classic MPC strategy

In classic MPC controllers, the mathematical model is used to predict the future behavior of the system. In this case, the differential equations of the system in the AC side is

represented by the following equations [4]:

$$\begin{aligned} \frac{di_c^a}{dt} &= a_1 (v_s^a - v_c^a - R_f i_c^a) \\ \frac{di_c^b}{dt} &= a_1 (v_s^b - v_c^b - R_f i_c^b) \\ \frac{di_c^c}{dt} &= a_1 (v_s^c - v_c^c - R_f i_c^c). \end{aligned} \quad (2)$$

Then, the MPC can be obtained by using a forward-Euler discretization method due to its simplicity, however other discretization methods can be used such as the matrix factorization introduced by Cayley-Hamilton [22]. The discrete-time model is given by:

$$\begin{aligned} \hat{i}_{c[k+1|k]}^a &= a_2 i_{c[k]}^a + a_3 (v_{s[k]}^a - v_{c[k]}^a) \\ \hat{i}_{c[k+1|k]}^b &= a_2 i_{c[k]}^b + a_3 (v_{s[k]}^b - v_{c[k]}^b) \\ \hat{i}_{c[k+1|k]}^c &= a_2 i_{c[k]}^c + a_3 (v_{s[k]}^c - v_{c[k]}^c) \end{aligned} \quad (3)$$

TABLE I  
POSSIBLE COMBINATIONS OF ACTIVATION SIGNALS

| $S_{a1}$ | $S_{a3}$ | $S_{a2}$ | $S_{a4}$ | $v_{dc}^a$ |
|----------|----------|----------|----------|------------|
| 1        | 0        | 0        | 1        | $+v_{dc}$  |
| 1        | 1        | 0        | 0        | 0          |
| 0        | 0        | 1        | 1        | 0          |
| 0        | 1        | 1        | 0        | $-v_{dc}$  |

being  $a_2 = \left(1 - \frac{R_f T_s}{L_f}\right)$  and  $a_3 = T_s/L_f$ .

In the case of a current control, the typical cost function is defined as the difference between reference currents and the predicted currents:

$$\begin{aligned} \lambda_a &= \| i_c^{a*} - \hat{i}_{c[k+1]}^a \|^2 \\ \lambda_b &= \| i_c^{b*} - \hat{i}_{c[k+1]}^b \|^2 \\ \lambda_c &= \| i_c^{c*} - \hat{i}_{c[k+1]}^c \|^2. \end{aligned} \quad (4)$$

Next, the cost function is evaluated for each switching state and for each phase. The switching state that minimizes the cost function is applied to each phase of the CHB STATCOM during the next sampling time causing a variable switching frequency for each phase.

#### B. Current reference generation

The current references are necessary to evaluate the cost function in (4). For simplicity, the phase currents and voltages are translated to the  $\alpha - \beta$  subspace by using Clarke's transformation matrix:

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix}. \quad (5)$$

Then, the current references in  $\alpha - \beta$  subspace in function of active and reactive power are:

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \frac{1}{(v_{s\alpha})^2 + (v_{s\beta})^2} \begin{bmatrix} v_{s\alpha} & v_{s\beta} \\ v_{s\beta} & -v_{s\alpha} \end{bmatrix} \begin{bmatrix} P_c^* \\ Q_c^* \end{bmatrix}. \quad (6)$$

In order to have a unity power factor on the grid side  $P_c^* = 0$ , then the STATCOM does not absorb active power and the instantaneous reactive power reference can be written as the following:

$$Q_c^* = -Q_L = v_{s\alpha} i_{L\beta} - v_{s\beta} i_{L\alpha} \quad (7)$$

where  $Q_L$  is compensated by the CHB STATCOM system. The STATCOM phase currents references used in the optimization process are:

$$\begin{bmatrix} i_{c\alpha}^{a*} \\ i_{c\alpha}^{b*} \\ i_{c\alpha}^{c*} \end{bmatrix} = \mathbf{T}^{-1} \begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \\ i_{c0}^* \end{bmatrix}. \quad (8)$$

### III. PROPOSED MODULATED MPC STRATEGY

The proposed modulation strategy uses the SVM as shown in the [Fig. 2]. The two adherent stress vectors  $V_1$  and  $V_2$ , called sector, are used, of which there are 12 sectors in total. Then two current predictions are made and two cost functions  $\lambda_1$  and  $\lambda_2$  are obtained, the null vector  $V_0$  is calculated separately for each phase and adding the functions of null costs per phase. Once the optimal vector is evaluated, the duty cycles for  $\lambda_1$  and  $\lambda_2$  are calculated and then, the estimated

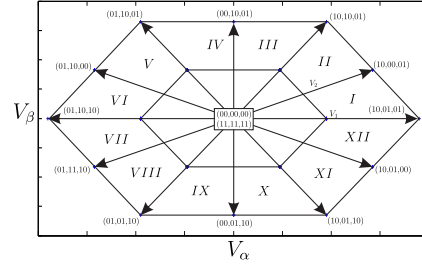


Fig. 2. Three-level H-bridge STATCOM space vector diagram.

duty cycles of every switch is applied. The calculation of the cost function is evaluated with the following function:

$$\begin{aligned} \tau_0 &= K/\sqrt{\lambda_0} \\ \tau_1 &= K/\sqrt{\lambda_1} \\ \tau_2 &= K/\sqrt{\lambda_2} \end{aligned} \quad (9)$$

$$\tau_0 + \tau_1 + \tau_2 = T_s. \quad (10)$$

By solving the system of (9), it is possible to obtain the expression for  $K$  and the expressions for the duty cycles  $\tau_0$ ,  $\tau_1$  and  $\tau_2$  for each vector, that are given as:

$$\tau_1 = \frac{\sqrt{\lambda_0} \sqrt{\lambda_2}}{\sqrt{\lambda_0} \sqrt{\lambda_1} + \sqrt{\lambda_0} \sqrt{\lambda_2} + \sqrt{\lambda_1} \sqrt{\lambda_2}} \quad (11)$$

$$\tau_2 = \frac{\sqrt{\lambda_0} \sqrt{\lambda_1}}{\sqrt{\lambda_0} \sqrt{\lambda_1} + \sqrt{\lambda_0} \sqrt{\lambda_2} + \sqrt{\lambda_1} \sqrt{\lambda_2}} \quad (12)$$

$$\tau_0 = 1 - \tau_1 - \tau_2 \quad (13)$$

Then, according to these expressions, the new cost function, which is evaluated at every sampling time for each phase, is defined as:

$$\lambda = \tau_1 \sqrt{\lambda_1} + \tau_2 \sqrt{\lambda_2}. \quad (14)$$

Finally, the optimization algorithm selects the optimal vector  $S_f^{opt}$  for each firing signals of each cell by the evaluation and minimization of the predefined cost function represented by (14), to apply a switching equation which represents the duty cycle of each transistor in the following equation:

$$P_r = \frac{\tau_0}{2} + \tau_1 S_f^{opt} + \tau_2 S_f^{opt}. \quad (15)$$

### IV. THEORETICAL ANALYSIS

This section shows the theoretical results of the proposed MPC modulation using the MATLAB/Simulink simulation tool. A numerical integration based on ode1 Euler using a fixed step of  $1\mu s$  and sampling time of  $T_s = 50\mu s$  is selected. The grid frequency and peak voltage are set 50 Hz and 310.2 V, respectively. Other electrical parameters are  $v_{dc} = 380$  V,  $R_f = 0.3\Omega$ ,  $L_f = 10$  mH,  $R_L = 23.2\Omega$  and  $L_L = 55$  mH.

Initially the system is balanced and with reactive power, then the two-level CHB STATCOM is connected to the  $t = 0.04$  s, compensating the reactive power of the grid showing a fast dynamic response for the active power with an overshoot of 32 % and a settling time of approximately 1 ms. The dynamic response for classic MPC is quantified with an overshoot of 21.5 % and a settling time of approximately 1 ms. In this test the active and reactive power in the grid are set to  $Q_s = 3\,000$  VAR and  $P_s = 4\,000$  W, respectively as shown in Fig. 3 and Fig. 4 for the modulated MPC and the classic MPC respectively. The power RMS ripple of the system can be estimated through the next equation:

$$\text{RMS(ripple)} = \sqrt{\text{RMS}(\text{power})^2 - \text{Mean}(\text{power})^2} \quad (16)$$

where the active and reactive power ripple are 112 W and 96 VAR respectively for the modulated MPC. As for classic MPC, the active and reactive power ripples are 112 W and 150 VAR respectively.

On the other hand, Fig. 5 (above) shows the monitoring of the measured current and the reference current in phase  $a$ , and

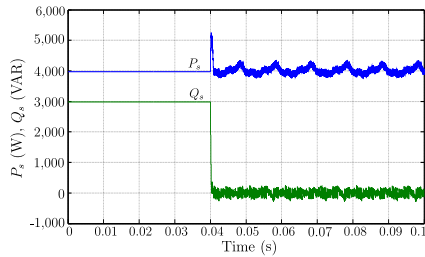


Fig. 3. Three-level H-bridge STATCOM transient response, active and reactive power compensation in the grid using Modulated MPC.

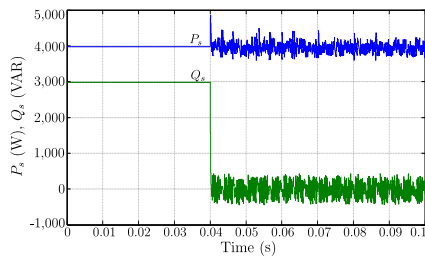


Fig. 4. Three-level H-bridge STATCOM transient response, active and reactive power compensation in the grid using classic MPC.

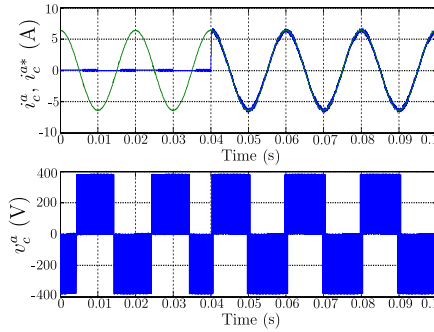


Fig. 5. Transient response of the measurement of the measured current and the reference current (above), output voltage of the H-bridge converter (bottom).

below it shows H-Bridge converter output voltage, showing three levels of voltage ( $v_{dc}$ ,  $-v_{dc}$  and 0). The capacity of current tracking of the proposed controller can be quantifiable by means of the following formula:

$$\text{MSE}(i_{s\gamma}) = \sqrt{\frac{1}{N} \sum_{k=1}^N (i_{s\gamma}(k) - i_{s\gamma}^*(k))^2} \quad (17)$$

where the MSE of the  $a$  phase current are, for the modulated and classic MPC, approximately 0.2035 and 0.3037 A respectively. Then, a comparison between the proposed controller and the classic MPC controller is performed. Fig. 6 summarizes the comparison where it can be seen a greater current ripple as well as a widespread harmonic spectrum of the classic MPC. The harmonic spectrum shows a high amplitude for the switching frequency and their corresponding multiples, validating the fixed switching frequency for the proposed controller. By using the THD as a parameter of performance represented by the following equation:

$$\text{THD}(i) = \sqrt{\frac{1}{i_1^2} \sum_{j=2}^N i_j^2} \quad (18)$$

where  $i_1$  is the fundamental current and  $i_j$  are the harmonic currents. The proposed controller shows an improvement of the THD due to it decreases from 5.04% (classic MPC) to 2.94% (proposed controller).

## V. CONCLUSION

In this paper, an MPC is used in conjunction with SVM strategy to provide a constant switching frequency of the current controller of a two-level three-phase four wire CHB STATCOM. As observed from the results, the proposed controller provides a fast dynamic response and easy inclusion of constraints as classic MPC. The proposed controller also provides a reduction of the current ripples as well as a

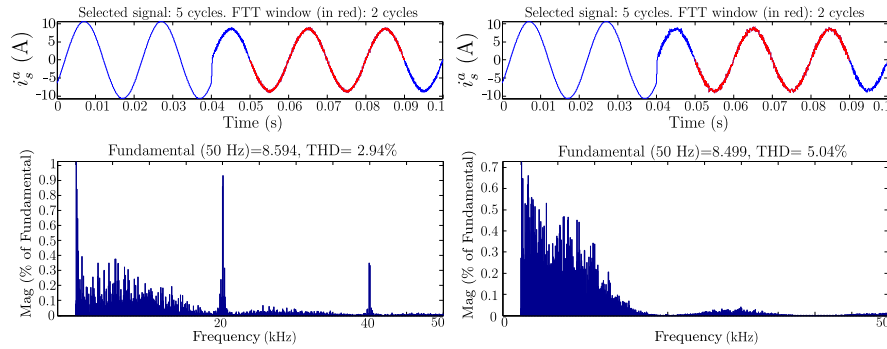


Fig. 6. Comparative analysis of the THD of the electric network current comparing the proposed MPC (left) and the classic MPC (right).

reduction of the THD (around 40 % of the classic MPC), reactive power compensation with less power ripple and taking into account increasing the dc bus voltage from 343 V (classic MPC) to 380 V (modulated MPC).

#### ACKNOWLEDGMENT

The authors would like to thank the Paraguayan Government for their encouragement and kind financial support provided through the CONACYT grant project (14-INV-096) and PhD program POSG16-05.

#### REFERENCES

- [1] R. Yin, P. Hu, D. Jiang, Y. Liang, Y. Du, and Z. Lin, "Analysis of hybrid cascaded multilevel converter based STATCOM," in *Proc. ICIEA*. IEEE, 2015, pp. 643–648.
- [2] M. Babaei, R. Jafari-Marandi, S. Abdelwahed, and B. Smith, "A simulated annealing-based optimal design of STATCOM under unbalanced conditions and faults," in *Proc. PECTI*. IEEE, 2017, pp. 1–5.
- [3] J. A. Barrena, L. Marroyo, M. A. R. Vidal, and J. R. T. Apraiz, "Individual voltage balancing strategy for PWM cascaded H-bridge converter-based STATCOM," *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 21–29, 2008.
- [4] R. Gregor, L. Comparatore, A. Renault, J. Rodas, J. Pacher, S. Toledo, and M. Rivera, "A novel predictive-fixed switching frequency technique for a cascade H-bridge multilevel STATCOM," in *Proc. IECON*. IEEE, 2016, pp. 3672–3677.
- [5] W. Song and A. Q. Huang, "Fault-tolerant design and control strategy for cascaded H-bridge multilevel converter-based STATCOM," *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2700–2708, 2009.
- [6] L. Comparatore, A. Renault, J. Pacher, J. Rodas, and R. Gregor, "Finite control set model predictive control strategies for a three-phase seven-level cascade H-bridge DSTATCOM," in *Proc. ICRERA*. IEEE, 2018, pp. 779–784.
- [7] L. Comparatore, R. Gregor, J. Rodas, J. Pacher, A. Renault, and M. Rivera, "Model based predictive current control for a three-phase cascade H-bridge multilevel STATCOM operating at fixed switching frequency," in *Proc. PEDG*. IEEE, 2017, pp. 1–6.
- [8] J. C. Pacher Vega, J. E. Rodas Benitez, R. I. Gregor Recalde, M. Rivera, A. Renault Lopez, and L. D. Comparatore Franco, "Efficiency analysis of a modular H-bridge based on SiC MOSFET," *International Journal of Electronics Letters*, vol. 7, no. 1, pp. 59–67, 2019.
- [9] G. Farivar, B. Hredzak, and V. G. Agelidis, "Decoupled control system for cascaded H-bridge multilevel converter based STATCOM," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 1, pp. 322–331, 2015.
- [10] L. K. Haw, M. S. Dahidah, and H. A. Almurib, "A new reactive current reference algorithm for the STATCOM system based on cascaded multilevel inverters," *IEEE Transactions on Power Electronics*, vol. 30, no. 7, pp. 3577–3588, 2014.
- [11] S. Toledo, R. Gregor, M. Rivera, J. Rodas, D. Gregor, D. Caballero, F. Gavilan, and E. Maqueda, "Multi-modular matrix converter topology applied to distributed generation systems," in *Proc. IET*. IET, 2016.
- [12] M. Ayala, J. Rodas, R. Gregor, J. Doval-Gandoy, O. Gonzalez, M. Saad, and M. Rivera, "Comparative study of predictive control strategies at fixed switching frequency for an asymmetrical six-phase induction motor drive," in *Proc. IEMDC*, 2017, pp. 1–8.
- [13] A. Renault, M. Riveray, L. Comparatore, J. Pacher, J. Rodas, and R. Gregor, "Model predictive current control with neutral current elimination for H-bridge two-level active power filters," in *Proc. ETCM*. IEEE, 2016, pp. 1–5.
- [14] J. Rodriguez, M. P. Kazmierkowski, J. R. Espinoza, P. Zanchetta, H. Abu-Rub, H. A. Young, and C. A. Rojas, "State of the art of finite control set model predictive control in power electronics," *IEEE Trans. Ind. Informatics*, vol. 9, no. 2, pp. 1003–1016, 2012.
- [15] O. Gonzalez, M. Ayala, J. Doval-Gandoy, J. Rodas, R. Gregor, and M. Rivera, "Predictive-fixed switching current control strategy applied to six-phase induction machine," *Energies*, vol. 12, no. 12, p. 2294, 2019.
- [16] M. Ayala, J. Doval-Gandoy, J. Rodas, O. Gonzalez, and R. Gregor, "Current control designed with model based predictive control for six-phase motor drives," *ISA Trans.*, Sep. 2019.
- [17] A. Renault, J. Rodas, L. Comparatore, J. Pacher, and R. Gregor, "Modulated predictive current control technique for a three-phase four-wire active power filter based on H-bridge two-level converter," in *Proc. UPEC*. IEEE, 2018, pp. 1–6.
- [18] A. Renault, M. Ayala, L. Comparatore, J. Pacher, and R. Gregor, "Comparative study of predictive-fixed switching techniques for a cascaded H-bridge two level STATCOM," in *Proc. UPEC*. IEEE, 2018, pp. 1–6.
- [19] D. Caballero, F. Gavilan, E. Maqueda, R. Gregor, J. Rodas, D. Gregor, S. Toledo, and M. Rivera, "Active and reactive power control strategy for grid-connected six-phase generator by using multi-modular matrix converters," *Journal of Systemics, Cybernetics and Informatics*, vol. 14, no. 6, pp. 57–61, 2016.
- [20] S. Vazquez, J. Rodriguez, M. Rivera, L. G. Franquelo, and M. Norambuena, "Model predictive control for power converters and drives: Advances and trends," *IEEE Trans. Ind. Electron.*, vol. 64, no. 2, pp. 935–947, 2016.
- [21] S. Kouro, M. A. Perez, J. Rodriguez, A. M. Llor, and H. A. Young, "Model predictive control: MPC's role in the evolution of power electronics," *IEEE Ind. Electron. Mag.*, vol. 9, no. 4, pp. 8–21, 2015.
- [22] H. Miranda, P. Cortés, J. I. Yuz, and J. Rodriguez, "Predictive torque control of induction machines based on state-space models," *IEEE Trans. Ind. Electron.*, vol. 56, no. 6, pp. 1916–1924, 2009.

## REFERENCIAS

---

- [1] Q. Jin, Z. Yao, and M. Guo, "A control method of shunt active power filter for system-wide harmonic suppression based on complex-valued neural network," in *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*, 2020, pp. 1543–1548.
- [2] S. Litrán, "Ánàlisis y diseño de filtros activos serie e híbrido para la mejora de la calidad de la potencia eléctrica," 01 2011.
- [3] A. Panchbhai, S. Parmar, and N. Prajapati, "Shunt active filter for harmonic and reactive power compensation using p-q theory," in *2017 International Conference on Power and Embedded Drive Control (ICPEDC)*, 2017, pp. 260–264.
- [4] V. Nakade and S. Patil, "Implementation of power quality enhancement using hybrid series active filter," in *2019 International Conference on Communication and Electronics Systems (ICCES)*, 2019, pp. 238–241.
- [5] M. T. L. Gayatri and A. M. Parimi, "Power quality improvement of pv-wecs microgrid using active power filter in realtime," in *2018 53rd International Universities Power Engineering Conference (UPEC)*, 2018, pp. 1–6.
- [6] S. R. Das, P. K. Ray, A. K. Sahoo, K. Balasubramanian, and G. S. Reddy, "Improvement of power quality in a three-phase system using an adaline-based multilevel



inverter,” *Frontiers in Energy Research*, vol. 8, p. 23, 2020. [Online]. Available: <https://www.frontiersin.org/article/10.3389/fenrg.2020.00023>

- [7] A. H. Zaidi, K. Sunderland, and M. Conlon, “Role of reactive power (statcom) in the planning of distribution network with higher ev charging level,” *IET Generation, Transmission & Distribution*, vol. 13, no. 7, pp. 951–959, Apr 2019.
- [8] Y.-W. Liu, S.-H. Rau, C.-J. Wu, and W.-J. Lee, “Improvement of power quality by using advanced reactive power compensation,” *IEEE Transactions on Industry Applications*, vol. 54, no. 1, pp. 18–24, 2018.
- [9] S. K. Dash and P. K. Ray, “Power quality improvement utilizing pv fed unified power quality conditioner based on uv-pi and pr-r controller,” *CPSS Transactions on Power Electronics and Applications*, vol. 3, no. 3, pp. 243–253, Sept 2018.
- [10] J. S. Siva Prasad, K. N. V. Prasad, and G. Narayanan, “Device loss and thermal characteristics of high power pwm converters,” in *2018 8th IEEE India International Conference on Power Electronics (IICPE)*, 2018, pp. 1–6.
- [11] F. M. Shah, H. M. Xiao, R. Li, M. Awais, G. Zhou, and G. T. Bitew, “Comparative performance evaluation of temperature dependent characteristics and power converter using gan, sic and si power devices,” in *2018 IEEE 12th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG 2018)*, 2018, pp. 1–7.
- [12] R. Wang, J. Sabate, X. Liu, and K. Mainali, “High efficiency power converter with sic power mosfets for pulsed power applications,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 925–930.
- [13] “Convertidores cc-cc de próxima generación para fuentes de alimentación auxiliares con mosfet de sic,” in *2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*.
- [14] A.-H. M. Abu-Jalala, T. Cox, C. Gerada, M. Rashed, T. Hamiti, and N. Brown, “Power quality improvement of synchronous generators using an active power filter,” *IEEE Transactions on Industry Applications*, vol. 54, no. 5, pp. 4080–4090, 2018.
- [15] J. Liu, S. Taghizadeh, J. Lu, M. J. Hossain, S. Stegen, and H. Li, “Three-phase four-wire interlinking converter with enhanced power quality improvement in microgrid systems,” *CSEE Journal of Power and Energy Systems*, vol. 7, no. 5, pp. 1064–1077, 2021.
- [16] J. Badar, F. Akhter, H. M. Munir, S. S. H. Bukhari, and J.-S. Ro, “Efficient real-time controller design test bench for power converter applications,” *IEEE Access*, vol. 9, pp. 118 880–118 892, 2021.
- [17] W. U. K. Tareen and S. Mekhief, “Three-phase transformerless shunt active power filter with reduced switch count for harmonic compensation in grid-connected applications,” *IEEE Transactions on Power Electronics*, vol. 33, no. 6, pp. 4868–4881, 2017.

- [18] C. Shah, J. D. Vasquez-Plaza, D. D. Campo-Ossa, J. F. Patarroyo-Montenegro, N. Guruwacharya, N. Bhujel, R. D. Trevizan, F. A. Rengifo, M. Shirazi, R. Tonkoski, R. Wies, T. M. Hansen, and P. Cicilio, "Review of dynamic and transient modeling of power electronic converters for converter dominated power systems," *IEEE Access*, vol. 9, pp. 82 094–82 117, 2021.
- [19] E. Burguete, *Análisis, diseño y control de convertidores multinivel*. Universidad Pública de Navarra, 2016. [Online]. Available: <https://hdl.handle.net/2454/23836>
- [20] N. Prabakaran and K. Palanisamy, "Analysis of cascaded h-bridge multilevel inverter configuration with double level circuit," *IET Power Electronics*, vol. 10, no. 9, pp. 1023–1033, 2017.
- [21] A. Renault, M. Riveray, L. Comparatore, J. Pacher, J. Rodas, and R. Gregor, "Model predictive current control with neutral current elimination for h-bridge two-level active power filters," in *2016 IEEE Ecuador Technical Chapters Meeting (ETCM)*, Oct 2016, pp. 1–5.
- [22] B. N. Rao, Y. Suresh, A. K. Panda, B. S. Naik, and V. Jammala, "Development of cascaded multilevel inverter based active power filter with reduced transformers," *CPSS Transactions on Power Electronics and Applications*, vol. 5, no. 2, pp. 147–157, 2020.
- [23] M. Román Lumbreras, *Filtros activos de potencia para la compensación instantánea de armónicos y energía reactiva*. Universitat Politècnica de Catalunya, 2006. [Online]. Available: <http://upcommons.upc.edu/handle/2117/93618>
- [24] M. Duberney, *Compensacion de armónicos con un filtro activo de potencia*. Universidad Tecnológica de Pereira, 2010. [Online]. Available: <http://repositorio.utp.edu.co/dspace/bitstream/handle/11059/1473/62138223M977.pdf?sequence=1>
- [25] C. Hernandez, *Control de un filtro activo paralelo basado en un conversor fuente de voltaje de 4-piernas aplicado a sistemas de distribución de 4-hilos*. Universidad de Chile, 2016. [Online]. Available: <http://repositorio.uchile.cl/handle/2250/141033>
- [26] J. Pacher, *Análisis de eficiencia de celdas Puente-H basadas en tecnología Mosfet de carburo de silicio para aplicaciones en filtros activos de potencia*. Universidad Nacional de Asunción, 2017. [Online]. Available: [https://www.conacyt.gov.py/sites/default/files/Tesis\\_Julio%%\\$20Pacher.pdf](https://www.conacyt.gov.py/sites/default/files/Tesis_Julio%%$20Pacher.pdf)
- [27] J. Petit Suárez, *Control de filtros activos de potencia para la mitigación de armónicos y mejora del factor de potencia en sistemas desequilibrados*. Universidad Carlos III de Madrid, 2007. [Online]. Available: <https://e-archivo.uc3m.es/handle/10016/2384>
- [28] M. C. Wong, N.-Y. Dai, and C.-S. Lam, *Parallel Power Electronics Filters in Three-Phase Four-Wire Systems*, 01 2016.
- [29] R. Gregor, L. Comparatore, A. Renault, J. Rodas, J. Pacher, S. Toledo, and M. Rivera, "A novel predictive-fixed switching frequency technique for a cascade h-bridge multilevel statcom," in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct 2016, pp. 3672–3677.

- [30] J. Villatoro, *Teoría de diseño de filtros activos para la mitigación de armónicos en sistemas eléctricos de potencia*. Universidad de San Carlos, 2009. [Online]. Available: [http://biblioteca.usac.edu.gt/tesis/08/08\\_0160\\_ME.pdf](http://biblioteca.usac.edu.gt/tesis/08/08_0160_ME.pdf)
- [31] V. Corasaniti, *Filtros activos de potencia para la compensación de reactivo y armónicos en media tensión*. Universidad Nacional de la Plata, 2008. [Online]. Available: [http://sedici.unlp.edu.ar/bitstream/handle/10915/44696/Documento\\_completo\\_.pdf?sequence=1](http://sedici.unlp.edu.ar/bitstream/handle/10915/44696/Documento_completo_.pdf?sequence=1)
- [32] Y. Wang, J. Xu, L. Feng, and C. Wang, "A novel hybrid modular three-level shunt active power filter," *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7591–7600, 2018.
- [33] S. D. Swain, P. K. Ray, and K. B. Mohanty, "Improvement of power quality using a robust hybrid series active power filter," *IEEE Transactions on Power Electronics*, vol. 32, no. 5, pp. 3490–3498, 2017.
- [34] A. Pigazo López, *Método de control de filtros activos de potencia paralelo tolerante a perturbaciones de la tensión de red*. Universidad de Cantabria, 2004. [Online]. Available: <http://www.tdx.cat/handle/10803/10632>
- [35] B. M. Wilamowski and J. D. Irwin, *Power electronics and motor drives*. CRC Press, 2016.
- [36] D. Martinez, *Control digital para convertidor multinivel alimentado con energía solar*. Universidad de las Américas Puebla, 2006. [Online]. Available: <https://books.google.com.py/books?id=bWOXAQAACAAJ>
- [37] R. Nedumaran and P. S. Kumar, "A control scheme of cascaded multilevel inverter based d-statcom for improving the voltage control and reduce total harmonics distortion," 2015.
- [38] S. Du, A. Dekka, B. Wu, and N. Zargari, *Fundamentals of Modular Multilevel Converter*, 2018, pp. 37–78.
- [39] M. P. Aguirre, *Convertidores multinivel de modo corriente tolerantes a fallas*. Instituto de Investigaciones Tecnológicas para Redes y Equipos Eléctricos (IITREE), 2013. [Online]. Available: <http://sedici.unlp.edu.ar/handle/10915/38358>
- [40] X. Liu, J. Lv, C. Gao, Z. Chen, Y. Guo, Z. Gao, and B. Tai, "A novel diode-clamped modular multilevel converter with simplified capacitor voltage balancing control," *IEEE Transactions on Industrial Electronics*, vol. PP, no. 99, pp. 1–1, 2017.
- [41] X. Liu, J. Lv, C. Gao, Z. Chen, and S. Chen, "A novel statcom based on diode-clamped modular multilevel converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 5964–5977, Aug 2017.
- [42] J. Bordonau, *Aportación al control del convertidor CC/CA de tres niveles*. Universitat Politècnica de Catalunya, 2004. [Online]. Available: <https://upcommons.upc.edu/handle/2117/93642>
- [43] A. Dekka, B. Wu, and N. R. Zargari, "Start-up operation of a modular multilevel converter with flying capacitor submodules," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 5873–5877, Aug 2017.

- [44] S. Du, B. Wu, N. R. Zargari, and Z. Cheng, "A flying-capacitor modular multilevel converter for medium-voltage motor drive," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2081–2089, March 2017.
- [45] M. G. Simes and F. A. Farret, *POWER ELECTRONICS*, 2017, pp. 61–81.
- [46] B. Alamri and M. Darwish, "Power loss investigation in hvdc for cascaded h-bridge multilevel inverters (chb-mli)," in *2015 IEEE Eindhoven PowerTech*, June 2015, pp. 1–7.
- [47] B. Wu and M. Narimani, *Cascaded H-Bridge Multilevel Inverters*, 2017, pp. 119–141.
- [48] L. Comparatore, R. Gregor, J. Rodas, J. Pacher, A. Renault, and M. Rivera, "Model based predictive current control for a three-phase cascade h-bridge multilevel statcom operating at fixed switching frequency," in *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, April 2017, pp. 1–6.
- [49] B. Singh, A. Chandra, and K. Al-Haddad, *Power Quality: Problems and Mitigation Techniques*. Wiley, 2014. [Online]. Available: <https://books.google.com.py/books?id=JPvWBQAAQBAJ>
- [50] H. Akagi, E. Watanabe, M. Aredes, I. of Electrical, and E. Engineers, *Instantaneous Power Theory and Applications to Power Conditioning*, ser. IEEE Press Series on Power Engineering. Wiley, 2007. [Online]. Available: <https://books.google.com.py/books?id=tyZTAAAAMAAJ>
- [51] Y. Hoon, M. A. M. Radzi, M. K. Hassan, and N. F. Mailah, "Operation of three-level inverter-based shunt active power filter under nonideal grid voltage conditions with dual fundamental component extraction," *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7558–7570, 2018.
- [52] M. Pradhan and M. K. Mishra, "Dual  $p$ - $q$  theory based energy-optimized dynamic voltage restorer for power quality improvement in a distribution system," *IEEE Transactions on Industrial Electronics*, vol. 66, no. 4, pp. 2946–2955, June 2018.
- [53] S. R. Choudhury, A. Das, S. Anand, S. Tungare, and Y. Sonawane, "Adaptive shunt filtering control of upqc for increased nonlinear loads," *IET Power Electronics*, vol. 12, no. 2, pp. 330–336, February 2019.
- [54] J. Rodriguez and P. Cortes, *Predictive Control of Power Converters and Electrical Drives*. John Wiley and Sons, Mar. 2012.
- [55] D. F. Valencia, R. Tarvirdilu-Asl, C. Garcia, J. Rodriguez, and A. Emadi, "A review of predictive control techniques for switched reluctance machine drives. part ii: Torque control, assessment and challenges," *IEEE Transactions on Energy Conversion*, vol. 36, no. 2, pp. 1323–1335, 2021.
- [56] M. Khalilzadeh, S. Vaez-Zadeh, J. Rodriguez, and R. Heydari, "Model-free predictive control of motor drives and power converters: A review," *IEEE Access*, vol. 9, pp. 105 733–105 747, 2021.

- [57] S. Bosch, J. Staiger, and H. Steinhart, "Predictive current control for an active power filter with LCL-filter," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 6, pp. 4943–4952, 2017.
- [58] C. R. Fernandez, *Control Predictivo Basado en Modelos (CPBM) robusto con BDU*. Universidad Politécnica de Valencia, 2007. [Online]. Available: <https://riunet.upv.es/bitstream/handle/10251/1844/tesisUPV2547.pdf>
- [59] L. Tarisciotti, A. Formentini, A. Gaeta, M. Degano, P. Zanchetta, R. Rabbeni, and M. Pucci, "Model predictive control for shunt active filters with fixed switching frequency," *IEEE Transactions on Industry Applications*, vol. 53, no. 1, pp. 296–304, 2017.
- [60] M. F. Elmorshedy, W. Xu, F. F. M. El-Sousy, M. R. Islam, and A. A. Ahmed, "Recent achievements in model predictive control techniques for industrial motor: A comprehensive state-of-the-art," *IEEE Access*, vol. 9, pp. 58 170–58 191, 2021.
- [61] H. Mahmoudi, M. Aleenejad, and R. Ahmadi, "Modulated model predictive control of modular multilevel converters in vsc-hvdc systems," *IEEE Transactions on Power Delivery*, vol. 33, no. 5, pp. 2115–2124, 2018.
- [62] M. A. Hosseinzadeh, M. Sarbanzadeh, E. Sarbanzadeh, M. Rivera, and P. Wheeler, "Predictive control applied to a cascaded h-bridge multilevel converter," 11 2018, pp. 1–6.
- [63] H. Gao, P. Zhang, X. Liu, S. Feng, J. Ma, and R. Li, "Seven-level active power filter based on a novel h-bridge power topology structure," *Energies*, vol. 12, no. 15, 2019. [Online]. Available: <https://www.mdpi.com/1996-1073/12/15/2997>
- [64] R. G. Iturra, M. Cruse, K. Mütze, C. Dresel, I. Soleimani, and P. Thiemann, "Model predictive control for shunt active power filter with harmonic power recycling capability," in *2018 International Conference on Smart Energy Systems and Technologies (SEST)*, 2018, pp. 1–6.
- [65] A. Renault, M. Ayala, L. Comparatore, J. Pacher, and R. Gregor, "Comparative study of predictive-fixed switching techniques for a cascaded h-bridge two level statcom," in *2018 53rd International Universities Power Engineering Conference (UPEC)*, 2018, pp. 1–6.
- [66] L. Comparatore, A. Renault, J. Pacher, J. Rodas, and R. Gregor, "Finite control set model predictive control strategies for a three-phase seven-level cascade h-bridge dstatcom," in *2018 7th International Conference on Renewable Energy Research and Applications (ICRERA)*, 2018, pp. 779–784.
- [67] H. Wang and S. Liu, "Harmonic interaction analysis of delta-connected cascaded h-bridge-based shunt active power filter," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 2445–2460, 2020.
- [68] M. R. Nasiri, S. Farhangi, and J. Rodríguez, "Model predictive control of a multilevel chb statcom in wind farm application using diophantine equations," *IEEE Transactions on Industrial Electronics*, vol. 66, no. 2, pp. 1213–1223, 2019.
- [69] L. Comparatore, A. Renault, J. Pacher, J. Rodas, and R. Gregor, "Finite control set model predictive control strategies for a three-phase seven-level cascade h-bridge dstatcom," in *2018*

*7th International Conference on Renewable Energy Research and Applications (ICRERA)*, 2018, pp. 779–784.

- [70] M. Kumar, K. L. Shenoy, and G. B. Praveen, “Pwm techniques to power converters of the wind energy conversion system,” in *2020 IEEE 9th International Conference on Communication Systems and Network Technologies (CSNT)*, 2020, pp. 155–160.
- [71] I. López Ropero, *Técnicas de modulación para convertidores de fijación por diodos de tres niveles multifase y control eficiente de dispositivos captadores de energía de las olas*. Universidad del Pais Vasco, 2015. [Online]. Available: <https://www.ehu.eus/en/web/estudiosdeposgrado-graduondokoikasketak/content/-/asset-publisher/ZcG4/content/tesis-lopez-ropero-iraide>
- [72] P. Sochor and H. Akagi, “Theoretical and experimental comparison between phase-shifted pwm and level-shifted pwm in a modular multilevel sdbc inverter for utility-scale photovoltaic applications,” *IEEE Transactions on Industry Applications*, vol. 53, no. 5, pp. 4695–4707, 2017.
- [73] V. S. Kirthika Devi and S. Srivani, “Modified phase shifted pwm for cascaded h bridge multilevel inverter,” in *2017 Third International Conference on Advances in Electrical, Electronics, Information, Communication and Bio-Informatics (AEEICB)*, 2017, pp. 89–94.
- [74] H. Gupta, A. Yadav, and S. Maurya, “Multi carrier pwm for cascade topology of multilevel inverter,” in *2020 International Conference on Recent Trends on Electronics, Information, Communication Technology (RTEICT)*, 2020, pp. 328–332.
- [75] A. António-Ferreira, C. Collados-Rodríguez, and O. Gomis-Bellmunt, “Modulation techniques applied to medium voltage modular multilevel converters for renewable energy integration: A review,” *Electric Power Systems Research*, vol. 155, pp. 21–39, 2018. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0378779617303334>
- [76] Q. Xu, “An improved modulation strategy combining phase shifted pwm and phase disposition pwm for cascaded h-bridge inverters,” *Energies*, vol. 10, p. 1327, 09 2017.
- [77] X. Shi, Z. Wang, L. M. Tolbert, and F. Wang, “A comparison of phase disposition and phase shift pwm strategies for modular multilevel converters,” in *2013 IEEE Energy Conversion Congress and Exposition*, 2013, pp. 4089–4096.
- [78] E.-J. Lee, S.-M. Kim, and K.-B. Lee, “Modified phase-shifted pwm scheme for reliability improvement in cascaded h-bridge multilevel inverters,” *IEEE Access*, vol. 8, pp. 78 130–78 139, 2020.
- [79] M. Tariq, M. Meraj, A. Azeem, A. I. Maswood, A. Iqbal, and B. Chokkalingam, “Evaluation of level-shifted and phase-shifted pwm schemes for seven level single-phase packed u cell inverter,” *CPSS Transactions on Power Electronics and Applications*, vol. 3, no. 3, pp. 232–242, 2018.
- [80] M. Meraj, S. Rahman, A. Iqbal, L. Ben-Brahim, and H. A. Abu-Rub, “Novel level-shifted pwm technique for equal power sharing among quasi-z-source modules in cascaded multilevel inverter,” *IEEE Transactions on Power Electronics*, vol. 36, no. 4, pp. 4766–4777, 2021.

- [81] J. Zhang, S. Xu, X. Hu, and Y. Zhu, "Voltage balancing control of hybrid stacked multicell converters based on modified phase-shifted pwm," *IEEE Access*, vol. 7, pp. 25 589–25 602, 2019.
- [82] S. K. Sahoo and T. Bhattacharya, "Phase-shifted carrier-based synchronized sinusoidal pwm techniques for a cascaded h-bridge multilevel inverter," *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 513–524, 2018.
- [83] A. Pigazo López, *Método de control de filtros activos de potencia paralelo tolerante a perturbaciones de la tensión de red*. Universidad de Cantabria, 2005. [Online]. Available: <https://www.tdx.cat/handle/10803/10632#page=1>
- [84] G. Pandove and M. Singh, "Robust repetitive control design for a three-phase four wire shunt active power filter," *IEEE Transactions on Industrial Informatics*, vol. 15, no. 5, pp. 2810–2818, 2019.
- [85] A. Amerise, M. Mengoni, G. Rizzoli, L. Zarri, A. Tani, and D. Casadei, "Comparison of three voltage saturation algorithms in shunt active power filters with selective harmonic control," *IEEE Transactions on Industry Applications*, vol. 56, no. 3, pp. 2762–2772, 2020.
- [86] A. Moeini, H. Zhao, and S. Wang, "A current-reference-based selective harmonic current mitigation pwm technique to improve the performance of cascaded h-bridge multilevel active rectifiers," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 1, pp. 727–737, 2018.
- [87] R. Gregor, J. Pacher, L. Comparatore, and A. Renault, *Análisis, diseño e implementación de nuevos sistemas de compensación basados en filtros activos para la mejora de la calidad de la potencia eléctrica*. Universidad Nacional de Asunción, 2019. [Online]. Available: <https://datos.conacyt.gov.py/proyectos/nid/176>
- [88] G. Jia, M. Chen, S. Tang, C. Zhang, and B. Zhao, "A modular multilevel converter with active power filter for submodule capacitor voltage ripples and power losses reduction," *IEEE Transactions on Power Electronics*, vol. 35, no. 11, pp. 11 401–11 417, 2020.
- [89] L. Zhang, X. Yuan, X. Wu, C. Shi, J. Zhang, and Y. Zhang, "Performance evaluation of high-power sic mosfet modules in comparison to si igt modules," *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1181–1196, Feb. 2019.
- [90] Texas-Instruments, "Iso7240c 2.5 kvrms, 25 mbps, 4-channel 4/0 digital isolator," 2017. [Online]. Available: <http://www.ti.com/product/ISO7240C>
- [91] H. M. Bassi, "A new pwm technique for cascade h-bridge with reduced switching losses," in *2019 International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM)*, 2019, pp. 1–5.
- [92] N. Jiao, S. Wang, T. Liu, Y. Wang, and Z. Chen, "Harmonic quantitative analysis for dead-time effects in spwm inverters," *IEEE Access*, vol. 7, pp. 43 143–43 152, 2019.
- [93] A. Moeini and S. Wang, "A dc link sensor-less voltage balancing technique for cascaded h-bridge multilevel converters with asymmetric selective harmonic current mitigation-pwm," *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7571–7581, 2018.

- [94] wolfspeed, “1200-v, 13.0-mohm, silicon carbide, half-bridge module,” 2017. [Online]. Available: <http://www.wolfspeed.com/cas120m12bm2>
- [95] T. h. Li, J. Wang, and H. S. h. Chung, “Effect of parasitic elements in a power converter on the switching performance of a mosfet-snubber-diode configuration,” in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, March 2011, pp. 364–371.
- [96] S. O'Donnell, A. Chan, P. Wheeler, and A. Castellazzi, “Simulations and measurement analysis of sic mosfet and igbt gate drive performance in power modules for more electric aircraft motor drive applications,” in *2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe)*, 2019, pp. P.1–P.10.
- [97] Coilcraft-Inc, “50/60hz current sensor cs60,” 2021. [Online]. Available: <https://www.coilcraft.com/getmedia/3a92d821-f595-4280-88df-811e538e3951/sen60t.pdf>
- [98] dSPACE inc., “Microlabbox dspace,” 2019. [Online]. Available: <https://bit.ly/344938o>
- [99] H. K. Jahan, A. Mohammadpour Shotorbani, A. E. Khosroshahi, L. Wang, F. Blaabjerg, M. Abapour, and K. Zare, “A dc-dc converter-based single-source transformer-less multilevel inverter,” in *2019 20th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2019, pp. 1–8.
- [100] A. Noman, K. Addoweesh, A. Alabduljabbar, and A. Alolah, “Cascaded h-bridge mli and three-phase cascaded vsi topologies for grid-connected pv systems with distributed mppt,” *International Journal of Photoenergy*, vol. 2019, pp. 1–22, 01 2019.
- [101] V. Muneer and A. Bhattacharya, “Shunt hybrid active filter by using cascaded h bridge multilevel inverter,” in *2017 14th IEEE India Council International Conference (INDICON)*, 2017, pp. 1–5.
- [102] B. J. Kumar and A. Chandramouli, “Modeling and simulation of nine-level cascaded h-bridge inverter based shunt active power filter for single-phase distribution system,” in *2017 International Conference on Inventive Computing and Informatics (ICICI)*, 2017, pp. 675–680.
- [103] V. F. Pires, A. Cordeiro, D. Foito, and J. F. Silva, “A statcom based on a three-phase, triple inverter modular topology for multilevel operation,” *IEEE Transactions on Power Delivery*, vol. 34, no. 5, pp. 1988–1997, 2019.
- [104] M. Kashif, M. J. Hossain, E. Fernandez, S. Taghizadeh, V. Sharma, S. M. N. Ali, and U. B. Irshad, “A fast time-domain current harmonic extraction algorithm for power quality improvement using three-phase active power filter,” *IEEE Access*, vol. 8, pp. 103 539–103 549, 2020.
- [105] C.-S. Lam, L. Wang, S.-I. Ho, and M.-C. Wong, “Adaptive thyristor-controlled lc-hybrid active power filter for reactive power and current harmonics compensation with switching loss reduction,” *IEEE Transactions on Power Electronics*, vol. 32, no. 10, pp. 7577–7590, 2017.



- [106] D. J. Hogan, F. J. Gonzalez-Espin, J. G. Hayes, G. Lightbody, and R. Foley, "An adaptive digital-control scheme for improved active power filtering under distorted grid conditions," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 2, pp. 988–999, 2018.
- [107] M. M. Hasan, A. Abu-Siada, S. M. Islam, and M. S. A. Dahidah, "A new cascaded multilevel inverter topology with galvanic isolation," *IEEE Transactions on Industry Applications*, vol. 54, no. 4, pp. 3463–3472, 2018.
- [108] R. Sharma and A. Das, "Enhanced active power balancing capability of grid-connected solar pv fed cascaded h-bridge converter," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 4, pp. 2281–2291, 2019.
- [109] S. Ray, N. Gupta, and R. A. Gupta, "Advanced PWM for balancing DC-link voltages in seven-level chb inverter based active filter," in *2017 Recent Developments in Control, Automation Power Engineering (RDCAPE)*, 2017, pp. 291–296.
- [110] H.-H. Huang, E. Li, and H. Wang, "Three-level equilibrium strategy of dc voltage balance control for h-bridge cascaded active power filter," *IEEE Access*, vol. 7, pp. 28 847–28 854, 2019.
- [111] W. Li, J. Hu, S. Hu, H. Yang, H. Yang, and X. He, "Capacitor voltage balance control of five-level modular composited converter with hybrid space vector modulation," *IEEE Transactions on Power Electronics*, vol. 33, no. 7, pp. 5629–5640, 2017.
- [112] W. Liang, Y. Liu, B. Ge, and X. Wang, "Dc-link voltage balance control strategy based on multidimensional modulation technique for quasi-z-source cascaded multilevel inverter photovoltaic power system," *IEEE Transactions on Industrial Informatics*, vol. 14, no. 11, pp. 4905–4915, 2018.
- [113] M. K. Mishra and K. Karthikeyan, "A fast-acting dc-link voltage controller for three-phase dstatcom to compensate ac and dc loads," *IEEE transactions on power delivery*, vol. 24, no. 4, pp. 2291–2299, 2009.
- [114] Y. Ko, A. Tcai, and M. Liserre, "Dc-link voltage balancing modulation for cascaded h-bridge converters," *IEEE Access*, vol. 9, pp. 103 524–103 532, 2021.