

ANÁLISIS DE EFICIENCIA DE CELDAS PUENTE-H
BASADAS EN TECNOLOGÍA MOSFET DE
CARBURO DE SILICIO PARA APLICACIONES
EN FILTROS ACTIVOS DE POTENCIA



UNIVERSIDAD NACIONAL
DE ASUNCIÓN
**FACULTAD DE
INGENIERÍA**

TESIS DE MAESTRÍA

UNIVERSIDAD NACIONAL DE ASUNCIÓN
Facultad de Ingeniería
Laboratorio de Sistemas de Potencia y Control
Maestría en Ingeniería Electrónica

**ANÁLISIS DE EFICIENCIA DE CELDAS PUENTE-H BASADAS EN
TECNOLOGÍA MOSFET DE CARBURO DE SILICIO PARA
APLICACIONES EN FILTROS ACTIVOS DE POTENCIA**

Julio Cesar Pacher Vega
Autor

Prof. Dr. Raúl Gregor
Tutor

Prof. Dr. Jorge Rodas
Tutor

2017

RESUMEN

El presente trabajo se enfoca en el análisis y el diseño de un esquema de convertidor Puente-H con estructura modular para su aplicación en circuitos convertidores de potencia como ser filtros activos de potencia. Los objetivos de este trabajo engloba además el montaje y la validación experimental del esquema propuesto. Primeramente se brinda una descripción de las topologías mayormente utilizadas en el diseño de los convertidores de potencia, las ventajas que presenta cada esquema así como sus limitaciones. Posteriormente se realiza una descripción de las principales configuraciones de interconexión de filtros activos de potencia describiendo las ventajas que presenta cada una de ellas. El documento brinda además una descripción de los dispositivos electrónicos de potencia utilizados para el diseño de los convertidores como ser los IGBT, MOSFET y los SiC-MOSFET, dando un trato especial a los dispositivos SiC-MOSFET, los cuales pertenecen a las nuevas familias de semiconductores basados en semiconductores de Carburo de Silicio (SiC), los cuales presentan ventajas comparativas para su utilización en dispositivos que impliquen operar en condiciones extremas de temperatura, voltaje y frecuencia. En este contexto, el libro recopila el análisis mediante simulaciones utilizando el entorno PSpice, obteniendo estimaciones de las pérdidas de potencia y el rendimiento del esquema diseñado así como la comprobación de las características deseadas durante el proceso de diseño como se la

ausencia de interferencias, oscilaciones u otros tipos de ruido. Finalmente se realiza un análisis cuantitativo de la eficiencia a partir de mediciones realizadas sobre una plataforma experimental diseñada. Como principal aporte de esta Tesis de Maestría, se realiza la validación del diseño propuesto determinando las pérdidas de potencia para diferentes valores de voltaje de DC-Link y frecuencia de conmutación.

JULIO C. PACHER V.

Julio, 2017. San Lorenzo, Paraguay.

SUMMARY

The present work focuses on the analysis and design of a H-bridge converter scheme with modular structure for its application in power converter circuits as active power filters. The objectives of this work also include the assembly and experimental validation of the proposed scheme. Firstly, a description is given of the topologies most commonly used in the design of the power converters, the advantages presented by each scheme as well as its limitations. Subsequently a description of the main configurations of interconnection of active power filters is made describing the advantages presented by each of them. The document also provides a description of the electronic power devices used for the design of the converters such as IGBT, MOSFET and SiC-MOSFET, giving a special treatment to SiC-MOSFET devices, which belong to the new families of semiconductors based on semiconductors of Silicon Carbide (SiC), which have comparative advantages for use in devices that involve operating under extreme conditions of temperature, voltage and frequency. In this context, the book compiles the analysis using simulations using the PSpice environment, obtaining estimates of power losses and performance of the designed scheme as well as checking the desired characteristics during the design process as the absence of interference, oscillations or other types of noise. Finally, a quantitative analysis of the efficiency is made based on measurements made on a designed experimental

platform. As the main contribution of this Master's Thesis, the proposed design is validated by determining the power losses for different DC-Link voltage values and switching frequency.

JULIO C. PACHER V.

Julio, 2017. San Lorenzo, Paraguay.

AGRADECIMIENTOS

A mis tutores, el Dr. Raúl Gregor y Dr. Jorge Rodas quienes me ofrecieron su consejo y ayuda durante el desarrollo de la Maestría, lo cual fue fundamental para el logro de los objetivos propuestos en este trabajo.

A mis padres, César y Antonia por brindarme su apoyo incondicional en todas las etapas de mi vida, brindándome la mejor formación posible en todos los ámbitos que les fue posible, sin lo cual no hubiese sido posible cumplir muchos de mis objetivos personales. Además, a mis hermanos, Marcos y Arnaldo por el apoyo recibido siempre por parte de ellos.

A mis compañeros de trabajo y amigos del Laboratorio de Sistemas de Potencia y Control (LSPyC) de la Facultad de Ingeniería de la Universidad Nacional de Asunción, por el apoyo en el ámbito laboral como personal.

Julio C. Pacher V.

AGRADECIMIENTOS INSTITUCIONALES

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) del Paraguay por el apoyo económico a través del PROGRAMA DE INCENTIVOS PARA LA FORMACIÓN DE DOCENTES-INVESTIGADORES y la participación en el proyecto 14-INV-096, de Investigación y Desarrollo denominado “Análisis, diseño e implementación de nuevos sistemas de compensación basados en filtros activos para la mejora de la calidad de la potencia eléctrica”.

Al Laboratorio de Sistemas de Potencia y Control de la Facultad de Ingeniería de la Universidad Nacional de Asunción, por permitirme participar en los diferentes emprendimientos dentro del campo de la investigación realizada por la institución.

Julio C. Pacher V.

Dedicado a
Mis padres
A mis hermanos

ÍNDICE GENERAL

Resumen	V
Summary	VII
Agradecimientos	IX
Agradecimientos Institucionales	XI
Índice General	XV
Índice de Figuras	XIX
Índice de Tablas	XXIII
Acrónimos	XXV
1 Justificación y metodología	1
1.1. Introducción	1
1.2. Objetivos y alcance	3
1.3. Descripción del sistema y especificaciones de diseño	3
1.4. Organización de la Tesis de Maestría	4
2 Análisis teórico de los esquemas de convertidores de potencia	7
	XV

2.1.	Introducción	7
2.2.	Análisis de los diferentes esquemas de convertidores	8
2.2.1.	Inversor de medio puente	8
2.2.2.	Inversor de puente completo	9
2.2.3.	Convertidor en conexión Puente-H en cascada	10
2.2.4.	Convertidor de diodo anclado	13
2.2.5.	Convertidor de capacitores flotantes	15
2.2.6.	Configuración de convertidores trifásicos	17
2.3.	Filtros activos de potencia	18
2.3.1.	Topologías de los filtros activos de potencia	19
2.3.2.	Filtro activo de potencia en conexión paralelo	19
2.3.3.	Filtro activo de potencia en conexión serie	20
2.3.4.	Filtro activo de potencia en conexión serie-paralelo	21
2.3.5.	Filtro activo de potencia híbrido	22
2.4.	Elementos para el almacenamiento de energía en continua	24
2.5.	Dispositivos electrónicos de potencia	25
2.5.1.	Transistor bipolar de compuerta aislada	25
2.5.2.	Transistor efecto de campo de potencia	26
2.5.3.	Transistor SiC-MOSFET	26
2.5.4.	Comparación entre dispositivos de potencia	27
2.6.	Conclusiones del capítulo	29
3	Análisis teórico del esquema Puente-H basado en SiC-MOSFET	31
3.1.	Modelo analítico para el análisis de las pérdidas en los MOSFET	32
3.1.1.	Pérdidas por conducción en los MOSFET	32
3.1.2.	Pérdidas por conmutación en los MOSFET	33
3.2.	Simulaciones realizadas con los SiC-MOSFET	37
3.2.1.	Simulaciones de conmutación simple con carga resistiva	37
3.3.	Comparación entre dispositivos de potencia	43
3.4.	Conclusiones del capítulo	46
4	Diseño de la plataforma experimental para el convertidor Puente-H	47
4.1.	Introducción	47
4.2.	Diseño de placa de control	48
4.2.1.	Criterios de diseño	48
4.2.2.	Dimensionamiento de los elementos constitutivos	48
4.2.3.	Etapas de potencia	60
4.3.	Circuito de acondicionamiento de señales medidas	67

4.3.1.	Circuito de acondicionamiento para señales de tipo voltaje	68
4.3.2.	Circuito de acondicionamiento para señales de tipo corriente	72
4.4.	Conclusiones del capítulo	74
5	Análisis de resultados experimentales	75
5.1.	Introducción	75
5.2.	Plataforma experimental del convertidor Puente-H	76
5.3.	Resultados experimentales	77
5.3.1.	Medición de las señales PWM y tiempo muerto	77
5.3.2.	Mediciones de las señales de disparo V_{GS}	78
5.3.3.	Medición de las señales de salida V_O e I_o	79
5.3.4.	Mediciones de las señales V_{DS} e I_D	80
5.3.5.	Cálculo de las pérdidas de potencia y la eficiencia	81
5.4.	Comparación entre dispositivos de potencia	81
5.4.1.	Descripción de la plataforma experimental	82
5.4.2.	Comparativa entre la corriente y la temperatura en el Puente-H	83
5.4.3.	Señales de entrada y salida PWM del controlador Puente-H	84
5.4.4.	Señales de salida del controlador de Puente-H	84
5.5.	Conclusiones del capítulo	85
6	Conclusiones y trabajos futuros	87
6.1.	Trabajos futuros	88
7	Apéndice	91
	Participación en eventos	93
A.1	Póster 1	93
	Artículos publicados	94
A.1	Artículo 1	94
A.2	Artículo 2	100
A.3	Artículo 3	104
A.4	Artículo 4	109
	Artículos enviados	115
A.1	Artículo 1	115
	Referencias	121

ÍNDICE DE FIGURAS

1.1	Diagrama en bloques del controlador Puente-H.	3
2.1	Convertidor monofásico en medio puente.	8
2.2	Convertidor de potencia monofásico en puente completo.	10
2.3	Convertidor en Puente-H en cascada (CHB).	11
2.4	Señal de salida del CHB de 7 niveles.	12
2.5	Convertidor multinivel de enclavamiento por diodos.	14
2.6	Convertidor multinivel de capacitores.	15
2.7	Convertidor de potencia en esquema inversor de tres ramas.	17
2.8	Filtro activo de potencia en conexión paralelo.	20
2.9	Filtro activo de potencia en conexión serie.	21
2.10	Filtro Activo de potencia en conexión serie-paralelo.	22
2.11	Filtrado activo de potencia híbrido en serie con la línea.	23

2.12	Filtro activo en serie con el filtro pasivo.	23
2.13	Filtro activo en paralelo con el filtro pasivo.	24
2.14	Convertidor de potencia trifásico con almacenamiento DC inductivo.	24
2.15	Comparación entre SiC-MOSFET, Si-SJMOS e IGBT.	28
2.16	Tiempo de encendido (t_{on}) en el SiC-MOSFET e IGBT.	28
2.17	Tiempo de apagado (t_{off}) en el SiC-MOSFET e IGBT.	29
3.1	Formas de ondas de V_{DS} e I_D durante la conmutación.	34
3.2	Conmutación para la transición alta.	35
3.3	Formas de onda durante la transición baja.	36
3.4	Esquema de simulación para el SiC-MOSFET.	38
3.5	Formas de onda de las señales V_G y V_{GS} .	38
3.6	Gráfica de Bode para las señales de entrada V_{GS} y V_G .	39
3.7	Formas de onda de las señales V_{DS} e I_D para $f=100$ kHz.	40
3.8	Superposición de las señales V_{DS} e I_D para $f_s = 100$ kHz.	40
3.9	Esquema Puente-H para simulaciones con SiC-MOSFET.	41
3.10	Formas de onda simuladas de las señales V_L e I_L .	42
3.11	Pérdidas de potencia y eficiencia en el SiC-MOSFET.	42
3.12	Gráfica de bode para el IGBT.	43
3.13	Señales V_{CE} , V_{GE} e I_C .	44
3.14	Análisis del rendimiento del IGBT según simulaciones.	45
4.1	Circuitos de transmisión y recepción por fibra óptica.	49
4.2	Módulo para transmisión de señales PWM a través de fibra óptica.	50
4.3	Circuito de acondicionamiento de señales PWM de entrada.	51
4.4	Conmutación con señales PWM.	51
4.5	Señales de conmutación PWM y tiempo muerto.	52

4.6	Circuito generador de tiempo muerto y complementación.	53
4.7	Diagrama de bloques funcional del IR2110.	54
4.8	Esquema eléctrico del circuito implementado con el IR2110.	55
4.9	Adaptación de niveles para el driver IR2110.	56
4.10	Voltaje flotante mediante la técnica bootstrap.	57
4.11	Esquemático de las fuentes con el TDK CC10-1212SF-E.	59
4.12	Placa de control para una celda Puente-H basado en SiC-MOSFET.	60
4.13	Esquema eléctrico del Puente-H basado en el dispositivo SiC-MOSFET.	61
4.14	Modelado utilizado para los cálculos de disipación de potencia.	64
4.15	Esquema eléctrico del snubber RCD.	65
4.16	Placa de potencia para Puente-H basado en SiC-MOSFET.	66
4.17	Esquema general de adquisición de señales.	67
4.18	Acondicionamiento de señales.	69
4.19	Esquemático utilizado para acondicionar las señales de voltaje.	70
4.20	Placa del circuito de acondicionamiento de voltaje.	71
4.21	Esquemático utilizado para acondicionar las señales corriente.	72
4.22	Placa del circuito de acondicionamiento de corriente.	74
5.1	Plataforma experimental del Puente-H con SiC-MOSFET.	76
5.2	Señales PWM y $\overline{\text{PWM}}$ acondicionadas.	78
5.3	Señales complementarias de disparo V_{GS} para una rama del Puente-H.	79
5.4	Formas de onda del voltaje de salida y corriente de salida medidas.	79
5.5	Características de conmutación del SiC-MOSFET para 1 kW.	80
5.6	Pérdidas de potencia y eficiencia en el Puente-H.	81
5.7	Plataformas de pruebas para SiC-MOSFET y Si-MOSFET.	82
5.8	Corriente y la temperatura en el Puente-H.	83
5.9	Señales de disparo para el SiC-MOSFET y Si-MOSFET.	84
5.10	Señal V_{GS} para el SiC-MOSFET y Si-MOSFET.	85
6.1	Plataforma experimental de APF basado en FPGA y CompacRio.	89

ÍNDICE DE TABLAS

2.1	Señales de activación de un Puente-H completo y sus valores de salida.	10
2.2	vectores de disparo de un CHB de 3 celdas.	13
2.3	Conmutación de interruptores esquema capacitor flotante.	16
4.1	Parámetros eléctricos utilizados para los cálculos de bootstrap.	57
4.2	Características técnicas del TDK CC10-1212SF-E.	58
4.3	Criterios de diseño para la etapa de potencia.	60
4.4	Parámetros eléctricos del SiC-MOSFET CAS120M12BM2 a 25 °C.	62
4.5	Parámetros térmicos y de conmutación del CAS120M12BM2.	63
4.6	Parámetros utilizados para el dimensionamiento de C_s .	65
4.7	Transformador de voltaje de montaje PCB.	68
4.8	Transductor de corriente LEM LA-55P.	68
5.1	Especificaciones técnicas del SiC-MOSFET y Si-MOSFET.	82
6.1	Logros obtenidos durante el desarrollo de la Tesis de Maestría.	88

ACRÓNIMOS

FPGA	Field Programmable Gate Array.
DSP	Digital Signal Processor.
APF	Active Power Filter.
EKF	Extended Kalman Filter.
FCS-MPC	Finite Control-Set Model Predictive Control.
PCC	Common Point Connection.
OP-AMP	Operational Amplifier.
HVICD	High Voltage Integrated Circuit Drive.
IGBT	Insulate Gate Bipolar Transistor.
SOA	Safe Operation Area.
IGCT	Gate Controlled Thyristors.
SiC	Silicon Carbide.

CAPÍTULO 1

JUSTIFICACIÓN Y METODOLOGÍA

1.1. Introducción

Actualmente existe un mayor número de dispositivos accionados por energía eléctrica, por lo que durante mucho tiempo ha sido plausible la necesidad de controlar la potencia eléctrica de los sistemas de tracción accionados por motores eléctricos, convertidores de potencia y sistemas de generación de energía, además cada vez aumenta más la complejidad y prestaciones de las mismas, con el consiguiente aumento de los requerimientos técnicos de eficiencia de los mismos. Por otro lado, el número de cargas lineales, ya sean resistivas como el tradicional alumbrado incandescente, ha ido decreciendo a favor de las cargas no lineales, también llamadas cargas electrónicas como son los sistemas de calefacción o bien inductivas como motores y el alumbrado fluorescente [1]. En parte, debido a la mejora en las técnicas de conversión de potencia, ya que equipos que antiguamente se conectaban directamente a la red eléctrica, ahora son alimentados a través de convertidores electrónicos, debido a que éstos son de menor tamaño y mejor rendimiento [2], [3]. Los casos ejemplificados anteriormente son en la actualidad cada vez más habituales tanto en

los hogares como en los lugares de trabajo. Por ejemplo vídeos, televisores, fotocopiadoras, fax, PC's y sus periféricos, los distintos tipos de balastos electrónicos utilizados en sistemas de iluminación, etc [4]. El vertiginoso avance de las telecomunicaciones en los últimos años también ha contribuido en gran medida al aumento del número de equipos electrónicos conectados a la red de distribución eléctrica de baja tensión. Existen estudios que afirman que hasta un 50 % de la energía eléctrica consumida hoy en día en los países más desarrollados sufre de algún proceso electrónico [5].

La aparición de estas cargas electrónicas ha hecho necesaria la investigación de nuevas topologías de convertidores de potencia, dichos sistemas de conversión de potencia se basan en la conmutación de dispositivos semiconductores de potencia (IGBT, MOSFET, SCR, etc) [6], [7]. Con el desarrollo de la tecnología de los semiconductores de potencia, las capacidades del manejo de la energía y la velocidad de conmutación de los dispositivos de potencia han mejorado considerablemente [8], [9], a esos factores, sumando el aumento significativo en la potencia de cómputo de los microprocesadores ejercen un gran impulso en el desarrollo de nuevas tecnologías semiconductoras con mayores velocidades de conmutación y menores pérdidas, cualidades fundamentales en el diseño de los convertidores de potencia [10], [11].

En el proceso de diseñar e implementar un sistema de control digital para un circuito de potencia, ya sea un convertidor inversor o cualquier otro circuito de potencia en general, se hace imprescindible poseer un medio de depuración para simular y verificar el sistema antes de comprobar su funcionamiento real [12], [13]. Esto es debido a que se manejan potencias y corrientes elevadas que pueden causar daños si el control no ha sido depurado, no solo en los componentes o hardware empleados o en los sistemas de medición, sino incluso en las personas. Además para los estudios de factibilidad y diseño se requiere una capacidad de modificación de la configuración de las plataformas de prueba de manera a disminuir los costos y el tiempo de desarrollo de las mismas [14].

Estas razones motivaron la realización de presente trabajo el cual analiza el funcionamiento de los esquemas de convertidores de potencia convencionales implementados mediante el uso nuevas tecnologías de semiconductores, orientados a su implementación en aplicaciones en forma general en circuitos de control de motores, conversores matriciales, etc y de forma específica para el diseño e implementación de filtros activos de potencia para la compensación de potencias reactivas, reducción de armónicos y eliminación de corriente del neutro [15]. Además se propone el uso métodos de control avanzado, como ser el control predictivo aplicado a topologías modulares y multinivel para su rápida implementación y adaptación a los cambios en la topología deseada así como la evaluación de los algoritmos de control.

1.2. Objetivos y alcance

El objetivo de esta Tesis de Maestría, se centra en el diseño, el montaje y la validación experimental de circuitos convertidores de potencia basados en esquemas Puente-H, utilizados para aplicaciones de filtros activos de potencia. Para la validación experimental del convertidor se propone la realización de simulaciones y mediciones de parámetros eléctricos de forma a cuantificar su eficiencia. Para alcanzar el objetivo de la Tesis de Maestría se han propuesto los siguientes objetivos específicos:

- Validar de forma teórica el modelo matemático del esquema Puente-H,
- Diseñar un esquema de control para el circuito Puente-H,
- Validar de forma experimental el diseño del convertidor Puente-H.

La realización de cada objetivo específico enumerado anteriormente, implicará la consecución del objetivo principal y el alcance de la Tesis de Maestría.

1.3. Descripción del sistema y especificaciones de diseño

El esquema general a ser implementado para lograr el diseño propuesto, con cada uno de los bloques que lo componen se observa en la **Figura 1.1**. En la plataforma propuesta, existen dos bloques bien diferenciados: la plataforma hardware desarrollada y el bloque de control implementado mediante un DSP y FPGA.

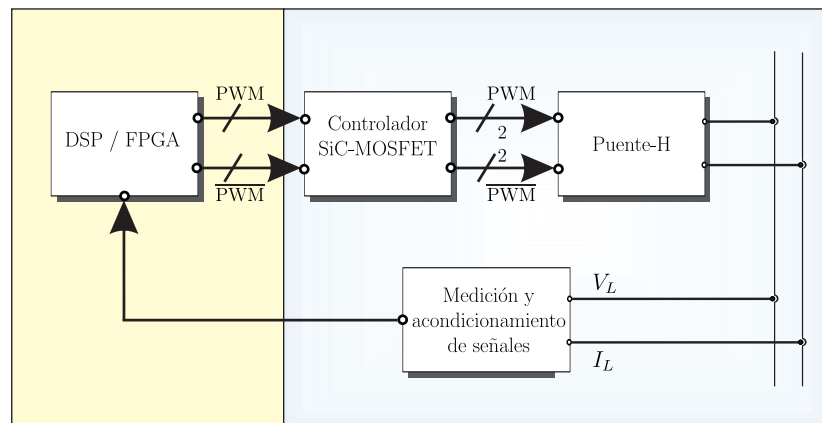


Figura 1.1 Diagrama en bloques del controlador Puente-H y los circuitos de adquisición de señales.

La transmisión de señales entre ambos bloques se implementa mediante enlaces de fibra óptica de manera a reducir las interferencias provenientes de los circuitos de potencia. La plataforma hardware consiste en una placa de control (driver) para Puente-H basado en tecnología SiC-MOSFET así como la placa base que contiene el Puente-H propiamente. Además se implementan módulos de adquisición de señales, con sus respectivos circuitos de acondicionamiento para corrientes y voltajes, cuyas mediciones son necesarias para su uso dentro de los algoritmos de control implementados en los DSP. La carga del circuito Puente-H, para el caso de su uso en los filtros activos de potencia, consiste en la red eléctrica trifásica.

Las especificaciones deseadas para el diseño son las siguientes:

- Voltaje de red: 220 V por fase.
- Potencia desarrollada: 20 kW.
- Tecnología: semiconductores SiC-MOSFET.
- Frecuencia de conmutación: 100 khz.

1.4. Organización de la Tesis de Maestría

La presente Tesis de Maestría se divide en 7 capítulos, a continuación, con el fin de facilitar la lectura, se incluye un breve resumen de cada uno de ellos:

Capítulo 1: Justificación y metodología, en este capítulo se describe el estado del arte de los convertidores de potencia, abordando además los antecedentes de esta Tesis de Maestría, así como sus objetivos y alcance. Se brinda además una descripción del sistema, y las especificaciones de diseño del convertidor.

Capítulo 2: Análisis teórico de los esquemas de convertidores de potencia, en este capítulo se muestran las diferentes topologías de los convertidores de potencia, sus ventajas y desventajas así como una descripción de los principales dispositivos electrónicos de potencia utilizados para el diseño de los convertidores.

Capítulo 3: Análisis teórico del esquema Puente-H basado en SiC-MOSFET, en este capítulo se obtiene el modelo matemático para el cálculo de las pérdidas de potencia en los dispositivos SiC-MOSFET y se definen los cálculos realizados para el análisis de la eficiencia del diseño. Además se realizan simulaciones con la herramienta PSpice utilizando los modelos de simulación proveídos por los fabricantes de los dispositivos SiC-MOSFET.

Capítulo 4: Diseño de la plataforma experimental para el convertidor Puente-H, en este capítulo se detalla el proceso de análisis y diseño del controlador, la placa de potencia del Puente-H así como el diseño de los circuitos de adquisición de señales.

Capítulo 5: Análisis de resultados experimentales, el contenido de este capítulo muestra la plataforma experimental así como los cálculos de eficiencia realizados para evaluar el diseño mediante los resultados experimentales obtenidos.

Capítulo 6: Conclusiones y trabajos futuros, en esta sección se muestran las conclusiones obtenidas a partir de los resultados experimentales. Por otro lado, se proponen una serie de trabajos a ser realizados en el futuro y relacionados con la presente Tesis de Maestría.

Capítulo 7: Apéndice, en esta sección se muestran los aportes logrados mediante el desarrollo de la Tesis, los cuales han dado lugar a numerosos artículos presentados en congresos internacionales y revistas científicas arbitradas e indexadas. Algunos de ellos se encuentran a la fecha en etapa de revisión.

CAPÍTULO 2

ANÁLISIS TEÓRICO DE LOS ESQUEMAS DE CONVERTIDORES PARA APLICACIONES EN FILTROS ACTIVOS DE POTENCIA

2.1. Introducción

En este capítulo se detalla el proceso de modelado y diseño del controlador en Puente-H basado en el semiconductor tipo SiC-MOSFET así como los circuitos de medición y acondicionamiento de señales. El convertidor diseñado para aplicaciones de Puente-H cuenta con la característica de poseer un diseño modular para ser implementado en un esquema multinivel, donde cada módulo Puente-H posee su propio controlador y en donde las celdas Puente-H poseen su propio DC-Link independiente. Las señales PWM de disparo son enviadas al dispositivo utilizando fibra óptica como medio de transmisión a fin de conseguir una aplicación mas robusta e inmune a ruidos eléctricos que puedan ser propagados hasta la placa de control, producto de la frecuencia de conmutación de los dispositivos de potencia.

A fin de evaluar el rendimiento del diseño se realizan cálculos matemáticos sobre las pérdidas por conmutación y pérdidas por conducción utilizando los modelos matemáticos del sistema físico. Además se muestran los resultados de las simulaciones realizadas y

el análisis de los mismos, abordando una descripción de la funcionalidad del esquema diseñado.

2.2. Análisis de los diferentes esquemas de convertidores

Atendiendo a los elementos hardware y su interconexión, los esquemas convertidores para aplicaciones de potencia pueden clasificarse en función del tipo de sistema eléctrico al que serán conectados: monofásico o trifásico, del tipo de elemento almacenador de energía empleado, de los dispositivos electrónicos de potencia que constituyen el inversor y de los elementos pasivos utilizados en la conexión del inversor a la red eléctrica. Un convertidor puede disponer desde una rama hasta cuatro dependiendo de si el sistema es monofásico, trifásico a tres hilos o trifásico a cuatro hilos respectivamente. Además existen también las topologías multiniveles que pueden ser implementadas para los sistemas monofásicos o trifásicos [16]. Con el propósito de centrar la discusión en la topología que aborda la presente Tesis, se inicia identificando las características fundamentales del inversor de medio puente.

2.2.1. Inversor de medio puente

El inversor de medio puente es la configuración más sencilla, en el caso de sistemas monofásicos el inversor puede estar constituido por una o dos ramas. En la **Figura 2.1** se observa el esquema medio Puente-H [16], [17]. El inversor de medio puente está constituido por dos interruptores (S_1 y S_2) los cuales se activan de forma complementaria, además posee dos fuentes de voltaje de igual valor dispuestas en serie, por otro lado, cuando se dispone únicamente de una fuente de continua de entrada la solución habitual es emplear un divisor capacitivo como el observado en la **Figura 2.1** [18].

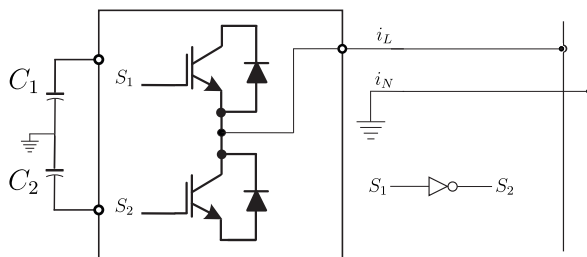


Figura 2.1 Convertidor monofásico en medio puente.

El funcionamiento puede ser descrito de la siguiente manera; al estar en estado activo el interruptor S_1 , e inactivo el interruptor S_2 , el voltaje sobre el capacitor C_1 se transfiere a la carga. Por otro lado, si el interruptor S_2 se encuentra activo, y el interruptor S_1 se encuentra inactivo, el voltaje sobre el capacitor C_2 se transfiere a la carga. El voltaje de salida resultante en la carga es una señal de onda cuadrada con polaridad positiva y negativa. Si las señales de disparo para los interruptores S_1 y S_2 son nulas, el voltaje de salida es de 0 V, por lo que puede utilizarse este procedimiento para generar un tiempo muerto, que consiste en la implementación de un tiempo de retraso en la señal de disparo de uno de los interruptores del esquema de medio puente [19].

Entre las características resaltantes de un convertidor de medio puente se puede mencionar que esta configuración proporcionan una señal de salida tipo onda cuadrada. La señal de salida de un convertidor de medio puente no modulado, al ser una onda cuadrada, el contenido de armónico presente en la señal es muy elevado y el filtrado es complejo, además, la amplitud de la señal de salida no es controlable. En un convertidor de medio puente se obtiene una onda cuadrada cuya amplitud es igual a la tensión de alimentación. De esta manera, en un inversor de medio puente no modulado la frecuencia de la señal de salida es igual a la frecuencia de conmutación de los interruptores. El voltaje máximo que soportan los interruptores en la configuración de medio puente es el doble de la amplitud de la señal cuadrada de salida. En este tipo de convertidor, los terminales de referencia para la conmutación de los interruptores no están referidos a un mismo punto, por lo que es necesario utilizar circuitos especiales de disparo. Finalmente, es posible resaltar que la frecuencia de conmutación puede ser variable.

2.2.2. Inversor de puente completo

Otra variante para la implementación de los inversores de potencia es la configuración Puente-H completo que se observa en la **Figura 2.2**. El inversor en configuración Puente-H está constituido por cuatro interruptores dispuestos en dos ramas, (S_1 , S_2 , S_3 y S_4). Al disponer de cuatro interruptores, el número de estados posibles es mayor que el disponible en un convertidor de medio puente [20]. Eliminando aquellas combinaciones que dan lugar a cortocircuitos en una rama y aquellas en que la carga queda desconectada o en abierto, se dispone de cuatro combinaciones de estados posibles. El principio de funcionamiento se resume de la siguiente manera: cuando los interruptores S_1 y S_3 se activan simultáneamente, el voltaje sobre el capacitor de entrada $+C_{dc}$ aparece a través de la carga, mientras que si los interruptores S_2 y S_4 se activan al mismo tiempo el voltaje a través de la carga se invierte y adquiere un voltaje de valor $-C_{dc}$ [19].

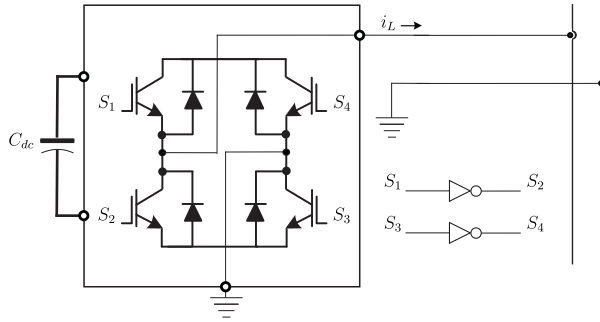


Figura 2.2 Convertidor de potencia monofásico en puente completo.

En la **Tabla 2.1** se observa los estados posibles de conmutación y los valores de voltajes de salida generados por dichos estados.

S_1	S_4	S_2	S_3	v_c^a
1	0	0	1	$+C_{dc}$
1	1	0	0	0
0	0	1	1	0
0	1	1	0	$-C_{dc}$

Tabla 2.1 Señales de activación de un Puente-H completo y sus valores de salida.

De la misma forma que la configuración de medio puente, al permanecer abierto todos los interruptores, el voltaje aplicado a la carga es 0 V, pudiendo utilizarse este procedimiento para la generación del tiempo muerto necesario para el proceso de conmutación de los interruptores. La principal diferencia respecto al caso basado en el convertidor de medio puente es que se obtiene el doble de amplitud de la señal de salida por lo que se duplica la capacidad de manejo de potencia.

2.2.3. Convertidor en conexión Puente-H en cascada

Los convertidores multiniveles en configuración Puente-H en cascada (CHB) generan un voltaje sinusoidal a partir de varias fuentes de continua, en esta configuración, cada celda puede forzar en su salida tres niveles de voltaje diferentes. Para un convertidor con N celdas idénticas se logran $(2N+1)$ niveles de voltaje por cada rama. Esta topología se implementa mediante la conexión de etapas Puente-H independientes, en la **Figura 2.3** se observa un esquema de convertidor en cascada de siete niveles [19], [21].

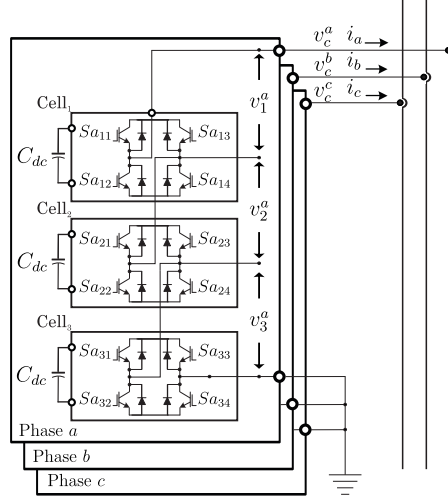


Figura 2.3 Convertidor en Puente-H en cascada (CHB).

Para el funcionamiento correcto de esta topología es necesario que los voltajes del DC-Link sean independientes y los voltajes aislados entre sí, lo cual se implementa mediante capacitores. Para incrementar el numero de niveles se conectan celdas en cascada, siendo el voltaje de salida del convertidor la suma o combinación de cada una de los voltajes que las diferentes celdas aportan al sistema. Las topologías de Puente-H multiniveles se pueden dividir en dos categorías, según la dependencia de la relación de los voltajes que maneje cada Puente-H, estas categorías son: simétricas o asimétricas. Se consideran simétricas si los voltajes de DC-Link de todos los puentes son iguales entre sí o asimétricas a aquellas cuyos voltajes de DC-Link son diferentes. En la literatura lo común es encontrar voltajes con relaciones 1:2 o 1:3 [22].

Según se observa en la **Figura 2.3**, cada celda contiene cuatro dispositivos de conmutación, por tanto, se requieren de cuatro señales de conmutación ($s\phi_{ij}$) para obtener el voltaje de salida deseado ($v_i^\phi = F_i^\phi v_{dc}$) para cada celda, donde ϕ representa la fase (a, b or c), i la celda (1, 2 o 3), j el dispositivo de conmutación correspondiente a la celda “i” (1, 2, 3 o 4), C_{dc} el voltaje del capacitor y F_i^ϕ la función de conmutación. Debido a que existen combinaciones que causan un cortocircuito en el DC-Link de las celdas, sólo se utilizan dos señales de activación y sus niveles complementarios, es decir, si $s\phi_{11} = 1$, entonces $s\phi_{12} = 0$ y si $s\phi_{11} = 0$, entonces $s\phi_{12} = 1$, de manera similar para $s\phi_{i3}$ y $s\phi_{i4}$. Un estado de conmutación ($\eta \in \{1, 2, \dots, \varepsilon\}$) de una fase en particular, donde ε es el total de posibles estados de conmutación, que depende del número de celdas por fase (n_c), esta representado por un vector de conmutación que contiene $2n_c$ señales

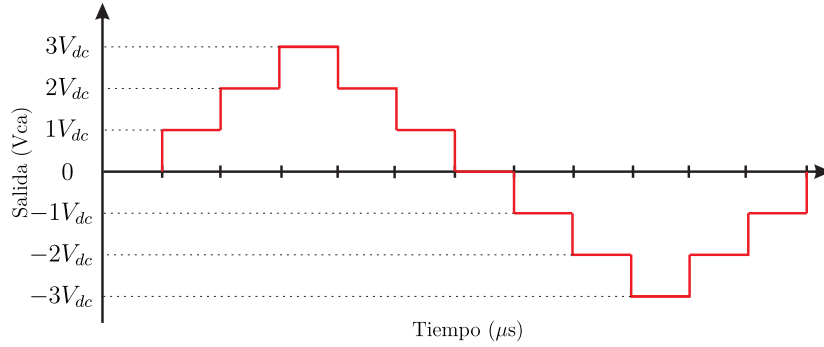


Figura 2.4 Señal de salida del CHB de 7 niveles.

de activación ($s\phi_{ij}$) de dicha fase (tenga en cuenta que la “S” mayúscula está relacionado con el vector, y la “s” minúscula está relacionado con la señal). Finalmente, el voltaje de salida para cada fase del convertidor está dada por $v_c^\phi = F_s^\phi v_{dc}$, donde $F_s^\phi = \sum_{i=1}^3 F_i^\phi$ indica la función de conmutación para cada fase.

La **Figura 2.4** muestra la forma de onda del voltaje de salida para el caso del convertidor Puente-H en cascada de 7 niveles. El esquema Puente-H es capaz de generar tres niveles de voltajes de salida diferentes, que son: V_{dc} , 0 y $-V_{dc}$, siendo V_{dc} el nivel voltaje que poseen el DC-Link de cada celda. El voltaje de salida resultante es la suma de los voltajes individuales generados por cada puente, por tanto, el voltaje de salida puede tomar los siguientes valores : $+3V_{dc}$, $+2V_{dc}$, $+1V_{dc}$, 0, $-1V_{dc}$, $-2V_{dc}$, $-3V_{dc}$.

En la **Tabla 2.2** se observan los primeros quince vectores de disparo asignados a los interruptores Sa_{11} , Sa_{13} , Sa_{21} , Sa_{23} , Sa_{31} y Sa_{33} de la interconexión en cascada con tres celdas CHB. Si n_c es el número de celdas de Puente-H por fase (f), entonces cada vector S_{fij} consta de $2n_c$ elecciones, donde $j = 1, \dots, \Phi$; Siendo ϕ el número de fases. Además, el número de posibles vectores de conmutación por fase puede definirse como $\varepsilon = 2^{2n_c}$. Estos vectores de conmutación representan todas los posibles voltajes de salida del convertidor, conectadas en el punto de PCC, v_c^a , v_c^b y v_c^c . Los voltajes de salida pueden ser representadas por la ecuación 2.1.

$$\begin{bmatrix} v_c^a \\ v_c^b \\ v_c^c \end{bmatrix} = \begin{bmatrix} v_{c1} \\ v_{c2} \\ v_{c3} \end{bmatrix} v_{dc} \quad (2.1)$$

donde v_{c1} , v_{c2} y v_{c3} son los niveles óptimos del esquema basado en el convertidor CHB trifásico de 7 niveles $(-3, -2, -1, 0, 1, 2, 3)$.

La mayor ventaja de esta topología es su modularidad. Gracias a ella se puedan construir convertidores de un número de niveles muy elevado. En contrapartida, su mayor inconveniente es la necesidad de que las tensiones de alimentación de cada celda sean independientes. Será necesario, por lo tanto, el empleo de tantas fuentes aisladas como celdas tenga el convertidor. Para ciertas aplicaciones en las que no se manipule potencia activa (filtrado activo, compensación de reactiva, etc.), si se eligen adecuadamente los estados redundantes de conmutación de los interruptores, se puede controlar la carga de los condensadores y, por lo tanto, evitar el uso de fuentes aisladas [23].

$S_{i,j}$						i	Valor de v_c
S_{a11}	S_{a13}	S_{a21}	S_{a23}	S_{a31}	S_{a33}		
0	0	0	0	0	0	1	0
0	0	0	0	0	1	2	-1
0	0	0	0	1	0	3	1
0	0	0	0	1	1	4	0
0	0	0	1	0	0	5	-1
0	0	0	1	0	1	6	-2
0	0	0	1	1	0	7	0
0	0	0	1	1	1	8	-1
0	0	1	0	0	0	9	1
0	0	1	0	0	1	10	0
0	0	1	0	1	0	11	2
0	0	1	0	1	1	12	1
0	0	1	1	0	0	13	0
0	0	1	1	0	1	14	-1
0	0	1	1	1	0	15	1

Tabla 2.2 Primeros 15 vectores de disparo de un CHB de tres celdas.

2.2.4. Convertidor de diodo anclado

Esta topología recibe el nombre de diode clamp multilevel converter (DCMC), pero su versión de tres niveles se conoce también como neutral point clamped (NPC), dado que el enclavamiento de voltajes de los diodos se produce al punto medio del divisor capacitivo de entrada. La estructura básica consiste en el agregado de diodos a una rama de llaves en serie como se muestra en la **Figura 2.5** [24]. Los diodos enclavan el voltaje en el punto medio entre cada par de llaves al valor presente en uno de los capacitores del bus de continua [25].

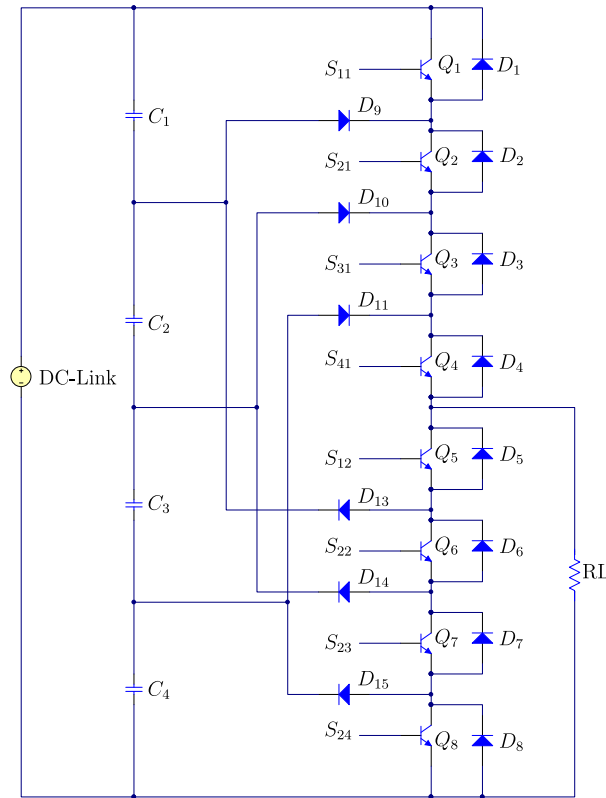


Figura 2.5 Convertidor DCMC de cinco niveles.

El banco de capacitores en serie divide el voltaje del DC-Link en forma equitativa, lo que permite generar los distintos niveles de voltajes a la salida. Entre las ventajas de esta topología se encuentra que el número de capacitores es menor en comparación con otras topologías multinivel, por otro lado, esta topología no requiere el uso de transformadores [26]. Además, a medida que el número de niveles se incrementa, el contenido armónico se reduce. El voltaje de bloqueo de los interruptores es igual al voltaje del capacitor de entrada. Como ocurre con la mayoría de las topologías de convertidores multinivel tipo inversores de voltaje, las llaves de los DCMC deben soportar solo una fracción del nivel de voltaje del DC-Link [27]. Por otro lado, entre las desventajas de esta topología de convertidor se puede mencionar que es necesario el uso de diodos de rápida recuperación. Es necesario que los voltajes de los capacitores se mantengan equilibrados en cualquier punto de trabajo, por lo que el control de convertidor es relativamente complejo [28]. Dicho equilibrio, se dificulta conforme aumenta el número de niveles, incluso puede ser imposible en algunas condiciones de operación. Uno de los principales inconvenientes de

esta topología es que los diodos deben soportar distintas fracciones del voltaje del DC-Link, por lo que para altos niveles de voltaje se requiere utilizar complejas configuraciones de diodos en serie en los cuales es muy difícil ecualizar las tensiones en inversa y los tiempos de conmutación [29].

2.2.5. Convertidor de capacitores flotantes

Esta configuración de convertidores posee una estructura similar al convertidor DCMC y al igual que dicha topología, los capacitores en serie actúan como fuentes DC, dividiendo el voltaje común en partes iguales. Esta configuración limita la variación de voltaje con respecto al tiempo de los interruptores, obteniéndose así un mayor número de estados de conmutación posible utilizados para balancear la carga de los capacitores, además en este tipo de convertidores multinivel, el voltaje de salida puede expresarse como las posibles combinaciones de conexión de los capacitores existentes [30]. La estructura básica del convertidor de capacitores flotantes se muestra en el diagrama eléctrico de la **Figura 2.6**.

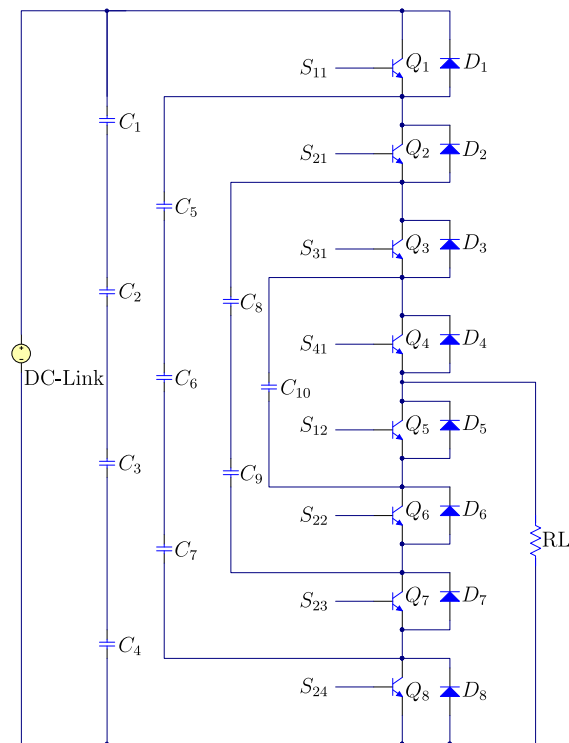


Figura 2.6 Convertidor multinivel de capacitores flotantes monofásico de cinco niveles.

Como puede observarse en la **Figura 2.6**, el punto medio de cada par de llaves se conecta un capacitor que enclava el voltaje de ese punto y por lo tanto el voltaje aplicado a la carga para cada combinación de encendido de los interruptores enclava también. La baja confiabilidad de los capacitores para voltajes elevados y altos niveles de potencia es una de las principales desventajas de esta topología, además los capacitores internos no pueden conectarse directamente en configuración back-to-back, aunque si es posible realizar esta configuración a través del DC-Link. Por otro lado, se puede conseguir un buen balance de voltajes sobre los capacitores mediante el uso de modulación de estrategias de modulación adecuada, como por ejemplo la modulación por ancho de pulso con portadoras desfasadas (PSC-SPWM) [31].

El funcionamiento normal del convertidor de capacitores flotantes se presenta cuando los todos los capacitores están cargados a un voltaje igual a $V_{dc}/4$, lo que significa que los capacitores C_1, C_2, C_3 y C_4 conectados en serie entre sí y en paralelo a la fuente V_{dc} se cargarán de forma equilibrada, en consecuencia los capacitores C_5, C_6 y C_7 entregarán un voltaje igual a $3V_{dc}/4$, los capacitores C_8 y C_9 se cargarán a un voltaje igual a $V_{dc}/2$ y por último el capacitor C_{10} se cargará a un voltaje de $V_{dc}/4$. Por lo que el equilibrio en los capacitores se logra escogiendo la combinación de interruptores apropiada de las existentes a la **Tabla 2.3**.

Interruptores Activos	Voltaje de Salida
$S_{11} - S_{21} - S_{31} - S_{41}$	$V_{dc}/2$
$S_{11} - S_{21} - S_{31} - S_{12}$	$V_{dc}/4$
$S_{21} - S_{31} - S_{41} - S_{24}$	
$S_{11} - S_{31} - S_{41} - S_{23}$	
$S_{11} - S_{21} - S_{12} - S_{22}$	0
$S_{31} - S_{41} - S_{23} - S_{24}$	
$S_{11} - S_{31} - S_{12} - S_{23}$	
$S_{11} - S_{41} - S_{22} - S_{23}$	
$S_{21} - S_{41} - S_{22} - S_{24}$	
$S_{21} - S_{31} - S_{12} - S_{24}$	
$S_{11} - S_{12} - S_{22} - S_{23}$	$-V_{dc}/4$
$S_{41} - S_{22} - S_{23} - S_{24}$	
$S_{31} - S_{12} - S_{23} - S_{24}$	
$S_{12} - S_{22} - S_{23} - S_{24}$	$-V_{dc}/2$

Tabla 2.3 Conmutación de interruptores y sus niveles de voltaje de salida.

Entre las ventajas que la configuración de capacitores flotantes es posible resaltar que la misma permite formas flexibles de disparar los semiconductores, lo cual permite obtener un mejor balance de voltaje en los condensadores. A mayor número de niveles, los capacitores acumulan energía extra durante largos transitorios de descarga. Otra ventaja importante es que el flujo de potencia activa y reactiva pueden ser controlado [32]. El convertidor de capacitor flotante puede emplearse como convertidor DC/DC, sin que el equilibrado de las tensiones de las capacidades sea un problema gracias a los estados redundantes, aún con corriente unidireccional, y finalmente, a mayor número de niveles menor es la distorsión armónica.

Por otro lado, la configuración de capacitores flotantes presentan también algunas desventajas, entre ellas se pueden mencionar que emplean un número elevado de capacitores, la corriente que circula a través de todos los capacitores flotantes es la misma, por tanto los capacitores deberán ser del mismo valor capacitivo para mantener valores similares de voltaje de rizado. Si se emplean en el convertidor capacitores del mismo voltaje nominal $V/(n-1)$, el número de capacidades flotantes por fase es $(n-1) \cdot (n-2)/2$, a las que hay que sumar $(n-1)$ capacidades del DC-Link, lo que supone un mayor volumen y costo del convertidor [33]. Los capacitores flotantes deben soportar la corriente de carga, por tanto deben seleccionarse adecuadamente, con objeto de no generar excesivas pérdidas y para no condicionar la corriente máxima del convertidor. El esquema requiere de un complejo sistema de control para mantener balanceados los voltajes de los condensadores, y finalmente, debe de existir un proceso de precargado de los capacitores flotantes.

2.2.6. Configuración de convertidores trifásicos

La **Figura 2.7** muestra la topología de un convertidor trifásico en puente completo, el cual se compone de seis interruptores electrónicos, cada uno con un diodo en conexión inversa, empleados para conducir la corriente reactiva de retorno a la fuente de energía.

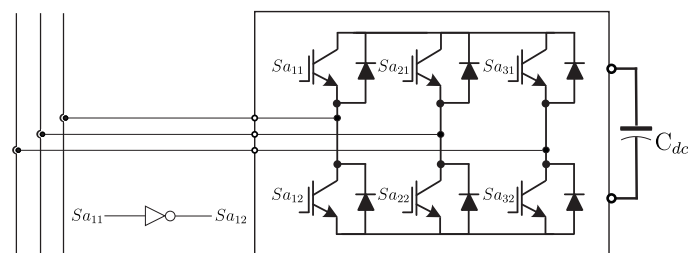


Figura 2.7 Convertidor de potencia en esquema inversor de tres ramas.

Estos inversores se dividen según su forma de operar en: conducción a 180° de cada elemento, con lo cual habrá tres elementos en conducción al mismo tiempo y conducción a 120° , con dos elementos por vez, Dado que las formas de onda de salida son diferentes para los dos modos de operación, el estudio debe realizarse por separado para cada caso. Estos convertidores se utilizan en aplicaciones de elevada potencia, pudiendo estar formados por tres esquemas monofásicos independientes conectados a la misma fuente. Para las configuraciones trifásicas se disponen de un esquema de inversores de tres o cuatro ramas dependiendo si se tiene acceso al neutro [34]. Cada interruptor con su correspondiente diodo opera en los estados de corte o saturación comportándose como un interruptor bidireccional. La secuencia de conmutación que siguen los interruptores vienen impuestas por un proceso previo de modulación que será el que determine las características de la señal de salida, entre ellas: forma, amplitud, frecuencia y contenido armónico.

2.3. Filtros activos de potencia

La estrategia tradicional para la reducción de armónicos y/o compensación de la energía reactiva ocasionada por la interconexión a la red eléctrica de cargas reactivas consiste generalmente en el uso de filtros pasivos sintonizados a las componentes armónicas a eliminar con la componente reactiva a compensar. Los filtros pasivos utilizan componentes pasivos (redes LC), que a bajas frecuencias son dispositivos voluminosos y de costo elevado [35]. Los filtros pasivos se caracterizan por constituir una estructura rígida apta para eliminar armónicos y componentes reactivos bien definidos, sin embargo, se debe tener en cuenta que el contenido de armónicos, las cargas conectadas a red y las características de la propia red, son parámetros variables en el tiempo. Estos inconvenientes, plantean la necesidad de otras alternativas, cuya solución a los problemas mencionados consiste en instalar filtros que se adapten a las condiciones variables de la red y la carga, es decir filtros activos de potencia, con estructuras adecuadas de convertidores estáticos y algoritmos de control eficientes [36], [37].

Una de las características fundamentales de este tipo de equipos de compensación es su capacidad para adaptarse a los cambios de las condiciones de operación. Así, problemas como resonancias con otros elementos de la red eléctrica o cambios de las características de la carga que se pretende compensar, que pueden ocasionar el completo rediseño de las soluciones basadas en elementos pasivos, se solventan eficientemente en el caso de los filtros activos de potencia (APF) mediante la modificación del controlador. La función de un filtro activo de potencia consiste básicamente en la inyección en el punto de conexión de la carga de una componente no activa de compensación, además de una componente activa para contrarrestar las pérdidas en el filtro.

2.3.1. Topologías de los filtros activos de potencia

Durante los últimos años se han desarrollado una gran variedad de topologías de APFs, estimuladas en gran medida por los avances en el desarrollo de las tecnologías de convertidores estáticos y por la incorporación de nuevos semiconductores de potencia, como por ejemplo los SIC-MOSFET con mejores prestaciones en cuanto a valores de corriente y tensión soportados, facilidad de control, tiempos de conmutación reducidos y pérdidas de potencia inferiores [36].

Los factores mencionados han influido favorablemente para que las tecnologías implementadas en el diseño electrónico de estos dispositivos migren de la utilización de complicados convertidores semicontrolados con tiristores, acompañados de los circuitos de conmutación forzada, operando a algunos cientos de hertzios, a los modernos semiconductores. Estos sistemas semiconductores en la actualidad están generalmente basados en transistores IGBT, son extremadamente robustos e incorporan, además el circuito de control o driver, el cual permite el control del dispositivo desde señales lógicas de control con aislamiento galvánico acompañados generalmente de otros circuitos de protección contra sobrecargas y cortocircuito. El APF está constituido por cinco bloques bien definidos: El convertidor de potencia, el enlace de corriente entre el convertidor y el punto común de conexión a la red (PCC), el elemento almacenador de energía del APF y los dispositivos de acondicionamiento de las señales de potencia y el controlador. Los APF utilizados pueden clasificarse de varias maneras, entre ellas, si se consideran el tipo de conexión del filtro respecto a la carga, podemos distinguir entre filtros serie, paralelo, serie-paralelo y la topología híbrida. Desde un punto de vista práctico, cada una de estas topologías, actúa de forma distinta y su utilización en una u otra topología de conexión dependerá de si es permisible que toda la corriente de carga atraviese o no el enlace de corriente del APF.

2.3.2. Filtro activo de potencia en conexión paralelo

La estructura de un APF paralelo para la compensación de las corrientes no activas y la corrección del factor de potencia se muestra en la **Figura 2.8**. Los APFs paralelo actúan como una fuente de corriente, cuya función es reducir los niveles de armónicos de corriente generados por la carga o compensar la energía reactiva generada, de tal manera a que la corriente en la red eléctrica resultante de la suma de corrientes de la carga y el filtro sea del tipo sinusoidal y en fase con el voltaje de la red. El principio de funcionamiento consiste en inyectar a la red, en este punto y en contrafase, las corrientes armónicas generadas en la carga, con el desfase requerido para compensar la energía reactiva de modo a que estas queden absolutamente anuladas por suma de corrientes en el nodo formado [36].

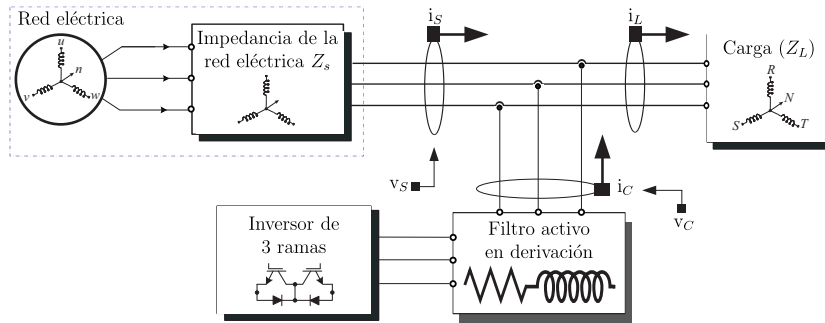


Figura 2.8 Filtro activo de potencia en conexión paralelo.

Se precisa un sistema de almacenamiento de energía en DC y un convertidor estático que transfiera esta energía bidireccionalmente entre AC y DC. Dado que la energía asociada a los armónicos es de carácter no activo, la potencia en vatios requerida por el convertidor es teóricamente nula y, en la práctica, sólo hay que aportar la potencia debido a las pérdidas en los semiconductores y otros elementos no ideales. Este tipo de convertidor, que opera generalmente con modulación del tipo PWM a alta frecuencia, va acompañado de un sistema de control cuyo algoritmo de regulación realiza un seguimiento de la corriente en la carga, determina el contenido de armónicos, la necesidad de compensación de reactiva y genera las consignas de control para los semiconductores de manera a inyectar las corrientes armónicas en contratesa y conseguir su cancelación. La estructura más utilizada es la basada en un convertidor de voltaje, que opera en modo de control por corriente, en donde la energía es almacenada en un capacitor o banco de capacitores situado en el lado de DC del convertidor [38].

2.3.3. Filtro activo de potencia en conexión serie

Los APF conectados en serie con la carga a compensar se comportan como una fuente de voltajes en serie con la propia red. Se conecta antes de la carga y en serie con la red, a través de un transformador, para eliminar tensiones armónicas y para balancear y regular la tensión en los terminales de la carga o la línea. La estructura de un filtro activo de potencia serie se muestra en la **Figura 2.9**. El filtro activo en conexión serie aporta el voltaje necesario para que la corriente por la línea esté desprovista de armónicos. El sistema en su consumo actúa como una impedancia variable, cuyo valor es idealmente nulo para la componente fundamental de corriente e infinita para todas las demás componentes. Los filtros activos serie se comportan como una fuente de voltaje en serie con la propia red eléctrica, y su principal función es que el voltaje entre los terminales de la carga sea del tipo sinusoidal [36].

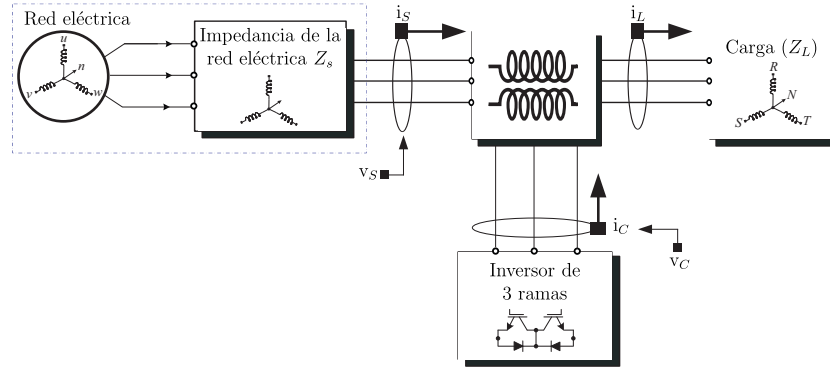


Figura 2.9 Filtro activo de potencia en conexión serie.

El circuito constituido por el filtro activo serie y la carga es un sistema dual respecto al APF paralelo, en donde la dualidad se establece por el intercambio de las posiciones serie en lugar de paralelo y por actuar como fuente de tensión en lugar de como fuente de corriente. Esta topología no es la más utilizada en la práctica debido a que presenta algunos inconvenientes como ser la corriente que circula por el filtro, el cual corresponde a la corriente total circulante por la carga, otro inconveniente es que los APF serie deben estar aislados del potencial de tierra, lo que incrementa su costo, además, su comportamiento a la frecuencia fundamental es inductivo, por lo que consume potencia reactiva del sistema. El APF serie se acompaña normalmente de un sistema de filtrado pasivo complementario, y se encarga de equilibrar los voltajes aplicados y eliminar los armónicos de tensión; además permite una regulación del voltaje de carga [36].

2.3.4. Filtro activo de potencia en conexión serie-paralelo

La estructura de un APF en conexión serie-paralelo se muestra en la **Figura 2.10**. La configuración observada en la **Figura 2.10** es conocida además con el nombre de unified power quality conditioner (UPQC) o filtro activo de potencia universal, y es una combinación de los dos filtros analizados anteriores. Los APF serie-paralelo poseen buenas prestaciones, garantizando tanto la circulación de corrientes sinusoidales equilibradas en el lado de red eléctrica, como la inmunidad de la carga ante perturbaciones de red eléctrica. La sección paralela del APF permite la cancelación de los armónicos de corriente y puede realizar compensación de energía reactiva, mientras que la sección serie del APF realiza la función de desacoplo respecto a la red y puede además realizar otras funciones, como regulación de tensión, compensación de flicker y equilibrado de fases en el punto de conexión a la red [39].

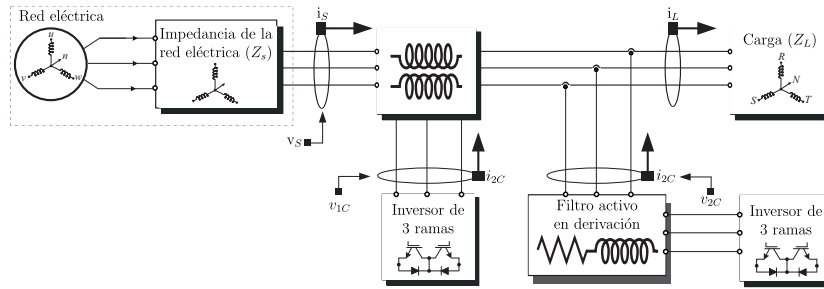


Figura 2.10 Filtro Activo de potencia en conexión serie-paralelo.

2.3.5. Filtro activo de potencia híbrido

El filtro de potencia híbrido consta de un sistema de filtrado pasivo convencional apoyado por un filtro activo situado en diferentes posiciones en relación con el filtro pasivo. Esta combinación optimiza el sistema de cancelación pasiva, evita los problemas de resonancias entre los componentes del filtro pasivo y la impedancia de línea y permite potencias de filtrado elevadas a un costo inferior al del filtrado activo puro [36]. Según la conexión entre el sistema pasivo y el sistema activo, pueden considerarse las siguientes estructuras básicas; filtro activo en serie con la línea, filtro activo en serie con el filtro pasivo, filtro activo en paralelo con la línea y la carga, y finalmente, el filtro activo en serie con la línea y el filtro pasivo.

Filtro activo en serie con la línea: El filtro activo se comporta como una impedancia variable situada entre la línea y la carga, de tal forma que la impedancia es nula para la componente fundamental y de carácter resistivo y elevada para los armónicos. El filtro activo actúa como un aislador de armónicos. Como el bloque correspondiente al filtro activo se instala en serie con la red, y bloquea el paso de armónicos desde y hacia ella, los armónicos generados en la carga necesariamente circularán por el filtro pasivo. De este modo la tensión en el lado de línea del filtro activo serie es teóricamente la correspondiente a la frecuencia fundamental. En la **Figura 2.11** se observa el esquema de un APF híbrido en conexión serie con la línea, el filtro está formado por un convertidor de potencia conectado en serie con la línea a través de un transformador (booster). El secundario de este transformador se dimensiona de tal forma que pueda soportar la totalidad de la corriente nominal en la carga, aunque el voltaje que debe soportar es la debida a las componentes armónicas, mientras que es nula para la componente fundamental. La ventaja de este sistema es que el mayor porcentaje de la cancelación está a cargo del filtro pasivo y el filtro activo se dimensiona para una potencia de tan sólo el 2 % al 5 % de la potencia aparente en la carga [39].

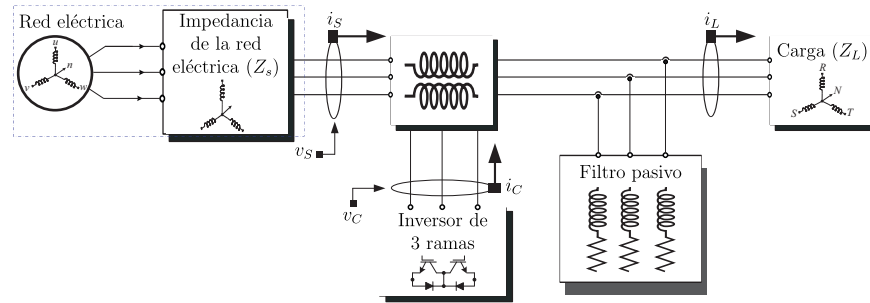


Figura 2.11 Filtrado activo de potencia híbrido en serie con la línea.

Filtro activo en serie con el filtro pasivo: Este es un método similar a la configuración anterior en donde la sección correspondiente al filtro activo está situada en serie con el filtro pasivo. El filtro activo está constituido por un convertidor estático de voltaje conectado en serie con el filtro pasivo a través de un transformador y dicha combinación en paralelo con la carga. El Esquema del APF en conexión serie con el filtro pasivo se observa en la **Figura 2.12**. Entre todas las alternativas de compensación, las topologías híbridas que utilizan filtros pasivos y activos, resultan muy atractivas en las redes de distribución donde ya existe previamente alguna compensación pasiva. En el esquema APF de la **Figura 2.12**, el filtro activo se comporta como una fuente de voltaje variable, cuyo valor es teóricamente nulo para la frecuencia fundamental y de igual valor al de las componentes armónicas de voltaje en la carga, por ello, el voltaje en el punto de conexión del filtro, es la correspondiente a la frecuencia fundamental. El filtro activo presenta impedancia nula a la componente fundamental y variable para las componentes armónicas. Este método presenta la ventaja de que el bloque de filtro activo debe soportar las corrientes de componente fundamental y armónicas que circulan por el filtro pasivo [39].

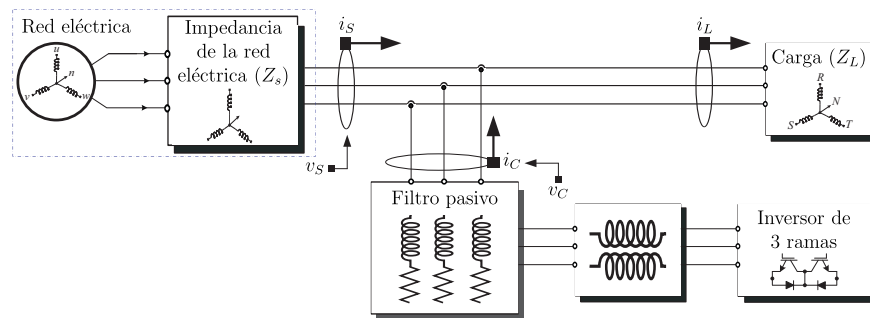
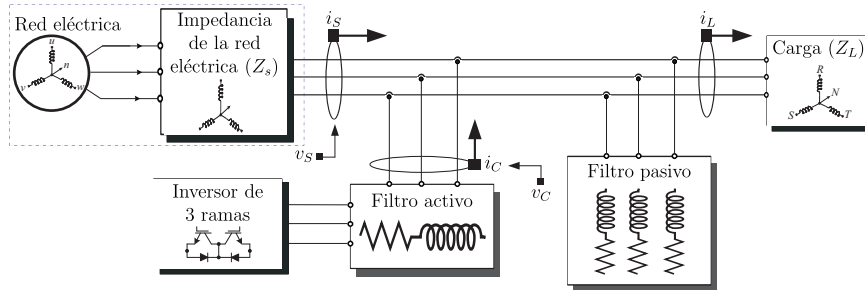


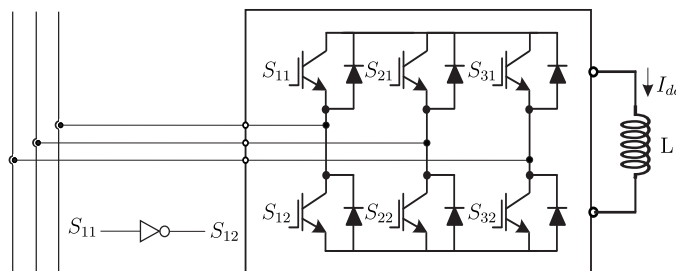
Figura 2.12 Filtro activo en serie con el filtro pasivo.

Filtro activo en paralelo con el filtro pasivo:**Figura 2.13** Filtro activo en paralelo con el filtro pasivo.

El esquema de conexión del APF en conexión paralelo con el filtro pasivo se observa en la **Figura 2.13**. El sistema principal de filtrado es pasivo, sintonizado con los armónicos mas bajos y de mayor contenido. En paralelo con el filtro pasivo hay un filtro activo de corriente o voltaje encargado de eliminar los armónicos de frecuencias más elevadas.

2.4. Elementos para el almacenamiento de energía en continua

Las configuraciones de convertidores mostradas en los apartados anteriores, para su uso en APFs, disponen de elementos almacenadores de energía de tipo capacitivo. En este caso la energía disponible para la compensación se almacena en un capacitor, pudiéndose establecer el nivel de energía del filtro activo mediante la medida de los voltajes de continua. El tipo de elemento almacenador de energía empleado determina las características de compensación del APF. Aunque la gran mayoría de los APFs utilizan capacitores también es posible diseñarlos e implementarlos con inductores. La **Figura 2.14** muestra un filtro activo de potencia con sistema de almacenamiento de energía inductivo [34].

**Figura 2.14** Convertidor de potencia trifásico con almacenamiento DC inductivo.

En este caso el nivel de energía del filtro activo se puede obtener mediante la medición de la corriente en la bobina de continua, una desventaja importante de este tipo de topologías es la imposibilidad de ser aplicadas a esquemas de compensación multinivel, lo cual vuelve poco práctica su uso para lograr los objetivos de diseño propuestos [34].

2.5. Dispositivos electrónicos de potencia

Los dispositivos semiconductores empleados en el diseño e implementación de convertidores de potencia así como los APF pueden ser de diversos tipos. Si bien los más utilizados en la actualidad son los transistores bipolares con puerta aislada (IGBT) y los tiristores controlados de puerta aislada (IGCT). Desde el punto de vista de su integración en un APF deben considerarse características como el elemento almacenador de energía empleado, la frecuencia de conmutación máxima de trabajo y los valores máximos de voltaje y corriente durante la compensación. Estas condiciones de trabajo del APF determinarán las características de los dispositivos electrónicos de potencia que deben ser empleados; entre ellas está la curva de operación segura (SOA) de cada uno de ellos, los voltajes y corrientes máximas tolerables tanto en condiciones de bloqueo como en conducción y las características del circuito de control que debe emplearse para que estos elementos operen correctamente en el APF.

2.5.1. Transistor bipolar de compuerta aislada

El Transistor bipolar de compuerta aislada (IGBT) combina las ventajas de los BJT y los MOSFET. Tiene una impedancia de entrada elevada, comparables con los dispositivos MOSFET y bajas pérdidas en conmutación, con niveles similares a los BJT, pero sin el problema de segunda ruptura que presentan los BJT, por lo que pueden operar a elevadas frecuencias y con grandes intensidades de corriente. Los IGBT fueron inventados hace relativamente poco tiempo, pero su evolución ha sido rápida debido a que han demostrado tener una resistencia en conducción muy baja y una elevada velocidad de conmutación (la transición desde el estado de conducción al de bloqueo se puede considerar de unos dos microsegundos, y la frecuencia puede estar en el rango de los 20 kHz), además de una elevada tensión de ruptura. Los IGBT se fabrican para operar desde un voltaje de 600 V y una corriente de 50 A hasta un voltaje de 1400 V y una corriente de 300 A. El control por voltaje hace que el IGBT sea más rápido comparado con el BJT, pero más lento que los dispositivos MOSFET. La energía aplicada a la puerta necesaria para activar el dispositivo es pequeña con una corriente del orden de los nanoamperios, esta pequeña potencia necesaria para conmutar el dispositivo, hace que pueda ser controlado

por circuitos integrados. Entre las principales características de los dispositivos IGBT es posible mencionar que poseen una elevada impedancia en el terminal puerta al igual que los MOSFET, no presentan el problema de una segunda ruptura propio de los transistores BJT. Además, el diseño y la estructura del encapsulado permite controlar la resistencia equivalente drenado-fuente (R_{DS}). El IGBT es controlado por voltaje, al igual que el MOSFET, lo cual brinda una facilidad de excitación en su terminal de compuerta [19].

2.5.2. Transistor efecto de campo de potencia

A diferencia de los transistores bipolares, cuyo control se realiza por corriente, los transistores MOSFET son dispositivos controlados por voltaje. Ello se debe al aislamiento (óxido de Silicio) del terminal puerta (gate) respecto al resto del dispositivo. Existen dos tipos básicos de MOSFET: los MOSFET de depleción y los MOSFET de enriquecimiento, siendo estos últimos los más utilizados en la electrónica de potencia [40]. Además, cada tipo de MOSFET se dividen nuevamente en dos tipos de dispositivos; los de canal N y los de canal P, en electrónica de potencia los más comunes son los primeros, por presentar menores pérdidas y mayor velocidad de conmutación, debido a la mayor movilidad de los electrones con relación a los huecos [41].

El MOSFET de potencia es el transistor de efecto de campo (MOS), que ha sido modificado para su utilización como interruptor en electrónica de potencia. El MOSFET de potencia es entonces un dispositivo que, manteniendo el principio de funcionamiento del MOSFET de señal, se modifica para manejar corrientes y bloquear voltajes como las que se utilizan en conversión electrónica de potencia.

Su aplicación está limitada a niveles de voltajes correspondientes a redes de baja tensión o menores (230 V o 400 V o sus valores rectificadas). Es el dispositivo de elección en fuentes de alimentación de hasta algunos kilovatios, para sistemas electrónicos conectados a servicios de baja tensión. Su velocidad y manejo comparativamente más simple ha permitido la reducción de tamaño y costo de esos equipos, al reducirse los componentes pasivos que los integran.

2.5.3. Transistor efecto de campo de carburo de silicio

Los nuevos dispositivos electrónicos de potencia basados en semiconductores basados en semiconductores de carburo de silicio (SiC-MOSFET) tienen características excepcionales las cuales han llamado la atención de la comunidad científica, especialmente para su utilización en el campo de la electrónica de potencia. Las características más relevantes del carburo de silicio (SiC) son su elevado campo de ruptura, hasta ocho veces mayor que en

el Silicio (Si) y su conductividad térmica, tres veces mayor. Estas características proveen a los dispositivos de potencia basados en SiC alta capacidad de bloqueo de voltaje, baja caída de voltaje en estado de conducción, alta velocidad de conmutación y baja resistencia térmica [42]. Todas estas propiedades permiten diseñar convertidores conmutados de alta potencia, altos niveles de voltaje y alta frecuencia (con la consiguiente reducción del tamaño de los mismos). Aunque el uso de diodos Schottky de SiC es común desde 2001, la disponibilidad de transistores SiC es escasamente disponible, siendo aún limitados la cantidad de empresas que fabrican dispositivos SiC. En todos los casos, se recomienda por el propio fabricante que no se considere una sustitución directa de estos transistores por los transistores de silicio utilizados hasta el momento [43].

2.5.4. Comparación entre dispositivos de potencia

Los dispositivos IGBT han dominado por mucho el mercado de los interruptores de potencia, sin embargo, uno de los inconvenientes más prominentes de IGBT es la alta pérdida debida a la conmutación. El IGBT convencional incorpora normalmente un diodo en antiparalelo a sus terminales, pero debido a la alta corriente de recuperación inversa del diodo, éste conduce a un nivel elevado de corriente durante la transición de encendido y, por lo tanto, se genera una alta pérdida de conmutación en el IGBT. Además, los dispositivos IGBT están normalmente limitado en aplicaciones con frecuencias de conmutación por debajo de los 20 kHz [44]. Las nuevas series de dispositivos SiC-MOSFET disminuyen dramáticamente las pérdidas de conmutación en un 90 % aproximadamente en comparación con los IGBT de silicio debido a la ausencia de la corriente de recuperación inversa y a las características de recuperación rápida del diodo de rueda libre. El tiempo resultante de encendido y/o apagado es del orden de 70 ns a 90 ns para las frecuencias de conmutación en el rango de cientos de kilohertz. Con las mejoras logradas en los SiC-MOSFET, se han encontrado soluciones a los problemas asociados con el deterioro de las características debido a la degradación del diodo de rueda libre durante la conducción inversa y falla prematura de la película de óxido del terminal puerta mediante la mejora de los procesos relacionados con defectos cristalinos y estructura del dispositivo semiconductor, reduciendo la resistencia en estado encendido por área de la unidad por cerca del 30 % sobre los productos convencionales [45]. La **Figura 2.15** muestra una comparación de las características de salida entre diferentes dispositivos de potencia, con los voltajes de disparo recomendados para cada caso. Aunque el Si-IGBT posee una menor resistencia debido a la modulación de la conductividad, el potencial incorporado (alrededor de 0,7 V) de la unión PN del transistor PNP parásito conduce a una caída de voltaje más alta que el SiC-MOSFET, el cual no posee voltaje de umbral.

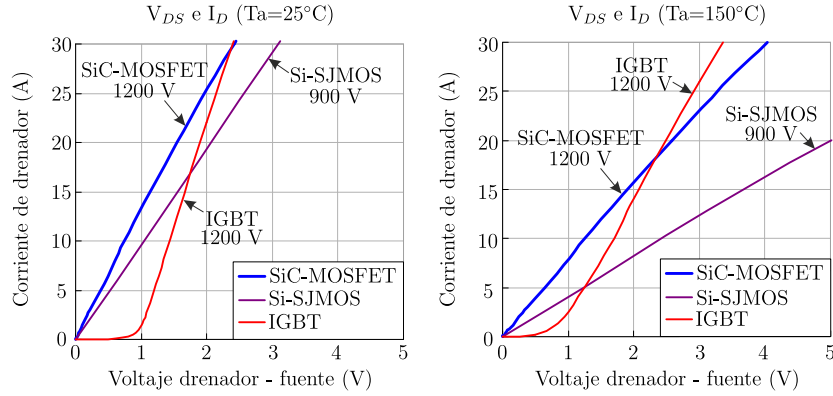


Figura 2.15 Comparación entre SiC-MOSFET, Si-SJMOS e IGBT.

A modo de comparación, en la **Figura 2.15** se observa que los dispositivos tipo Si-MOSFET a una temperatura de operación de 150°C el valor de la resistencia R_{on} es más del doble que a temperatura ambiente, mientras que en un dispositivo SiC-MOSFETs la resistencia R_{on} aumenta en una tasa relativamente baja. Esto facilita el diseño térmico en los SiC-MOSFETs y proporciona baja resistencia a elevadas temperaturas [44], [43]. En la **Figura 2.16** se observa una comparación de los tiempos de encendido (t_{on}) de los dispositivos SiC-MOSFET e IGBT. Analizando las señales del voltaje V_{DS} y la corriente I_D es posible determinar las pérdidas de potencia en los dispositivos de potencia, las mismas se dividen en dos grupos; primeramente están las pérdidas por conducción y luego las pérdidas por conmutación. Las pérdidas por conmutación se deben al retraso existente entre los cambios de estado entre conducción y bloqueo, generando un solapamiento entre las señales del voltaje V_{DS} y la corriente I_D , produciéndose de esta forma las pérdidas mencionadas.

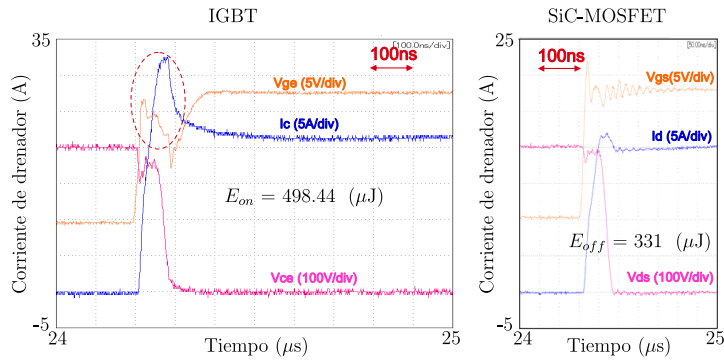


Figura 2.16 Tiempo de encendido (t_{on}) en el SiC-MOSFET e IGBT.

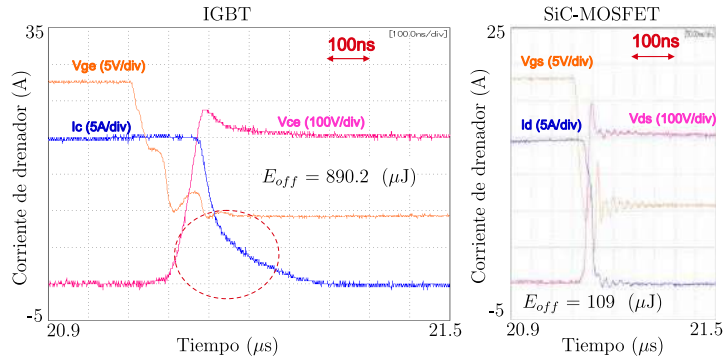


Figura 2.17 Tiempo de apagado (t_{off}) en el SiC-MOSFET e IGBT.

Las pérdidas por conmutación se dividen en dos partes, y son, las pérdidas generadas durante el tiempo de encendido (t_{on}) y las pérdidas generadas durante el tiempo de apagado (t_{off}). En el capítulo siguiente se analizará en detalle el modelo matemático para el análisis de pérdidas en el SiC-MOSFET. Con los datos mostrados en la **Figura 2.16**, se obtiene un valor de energía disipada en el dispositivo IGBT de valor igual a $498.4 \mu J$ y un valor de energía disipada para el SiC-MOSFET de valor igual a $331 \mu J$. Para determinar las pérdidas de potencia durante los tiempos de apagado (t_{off}) se analizan las señales del voltaje V_{DS} y la corriente I_D durante el cambio del nivel alto al nivel bajo de I_D . Analizando la **Figura 2.17** se obtiene una energía disipada para el IGBT de valor igual a $890.2 \mu J$ y un valor de energía disipada para el SiC-MOSFET de valor igual a $109 \mu J$. Con los datos obtenidos se determina la energía disipada total para ambos dispositivos, resultando en un valor igual a $1388.6 \mu J$ para el IGBT y una energía disipada total de valor igual a $440 \mu J$ para el SiC-MOSFET, representando este valor sólo el 31.6 % de las pérdidas generadas en el IGBT, lográndose una eficiencia mucho mayor en el SiC-MOSFET.

2.6. Conclusiones del capítulo

En este capítulo se han descrito las principales topologías de los circuitos convertidores de potencia, resaltando las ventajas y desventajas de cada una de ellas, desde las simples configuraciones de dos niveles hasta las topologías multinivel. De las topologías de convertidores descritos se opta por utilizar para el diseño del presente trabajo la configuración Puente-H completo ya que la misma permite la realización de esquemas modulares y multinivel, con lo cual es posible lograr mejores prestaciones en cuanto a distorsión armónica total, característica que lo hace interesante si se considera que el objetivo de esta Tesis

incluye el montaje y la validación experimental de circuitos convertidores de potencia basados en esquemas Puentes-H, para aplicaciones de filtros activos de potencia.

Además, en el contexto de los APFs, se abordado las diferentes configuraciones de filtros activos de potencia, según su método de conexión con la red y con la carga; describiendo sus características y tipo de compensación realizada. Como el objetivo de la Tesis se enfoca en la compensación de la potencia reactiva y la eliminación de corrientes por el neutro, se opta por utilizar la configuración APF paralelo.

Entre las opciones de dispositivos electrónicos de potencia para su uso como interruptores se seleccionan los dispositivos SiC-MOSFET, ya que éstos permiten la implementación de métodos de control con elevadas frecuencias de operación, así como un elevado rendimiento debido a sus bajas pérdidas de potencia. En este contexto, cabe mencionar que estos dispositivos han sido a la fecha escasamente utilizados en aplicaciones de APFs, ya que su inserción al mercado es aún reciente, por lo cual el desarrollo de esta Tesis se constituye como un aporte al estado del arte actual.

CAPÍTULO 3

ANÁLISIS TEÓRICO DEL ESQUEMA PUENTE-H BASADO EN SiC-MOSFET

Uno de los circuitos más utilizados para la conversión de potencia son los inversores Puente-H completo en cascada, los cuales poseen algunas ventajas como ser su arquitectura modular al estar constituido por asociación de etapas reduciendo la complejidad del montaje y el costo del mismo, además el número de niveles se puede incrementar fácilmente añadiendo nuevas etapas iguales sin necesidad de incorporar nuevos componentes. Por otro lado requieren un menor número de componentes que otras topologías multinivel para alcanzar el mismo número de niveles. No necesitan diodos de fijación o capacidades flotantes y además la topología es tolerante a fallos ya que el convertidor puede continuar funcionando con un menor nivel de voltaje, aunque una de sus etapas este fuera de funcionamiento [46], [47].

En el presente capítulo se describe el modelado utilizado para cuantificar las pérdidas en los transistores tipo MOSFET y en particular su variante SiC-MOSFET. Además se mostrarán resultados de simulaciones realizadas con el esquema Puente-H utilizando el dispositivo SiC-MOSFET.

3.1. Modelo analítico para el análisis de las pérdidas en los MOSFET

Para el diseño y la implementación de los convertidores de potencia es necesario realizar un análisis de las pérdidas de potencia del dispositivo, con el fin de cuantificar la eficiencia del sistema convertidor. Estos modelos de pérdida se basan en los valores de la hoja de datos de cada fabricante. Además de realizar los cálculos teóricos basados en modelos físicos de los transistores también es necesario realizar una validación experimental calculando las pérdidas del dispositivo a diferentes niveles de potencia y frecuencia de operación. Las pérdidas de potencia en un dispositivo electrónico de potencia se pueden dividir en dos categorías: pérdida por conducción y pérdida por conmutación.

3.1.1. Pérdidas por conducción en los MOSFET

Las pérdidas por conducción son generadas por caídas de voltaje en el dispositivo durante el estado de conducción [48]. En el estado de conducción, el dispositivo se comporta como una resistencia aproximadamente constante dentro del rango de corrientes de trabajo, que depende del área total del dispositivo. Para mantener en estado de conducción al dispositivo MOSFET, es necesario aplicar y mantener un nivel adecuado de voltaje en el terminal gate. Las pérdidas por conducción se pueden aproximar utilizando el valor de la resistencia de conducción (R_{DSon}), el cual es el valor resistivo que presenta el MOSFET en estado de conducción. El parámetro (R_{DSon}) se compone de las resistencias de las distintas zonas que conducen la corriente dentro del MOSFET. Un dato a tener en cuenta es que el valor de (R_{DSon}) depende fuertemente de la temperatura, con coeficiente positivo, siendo esta dependencia dada en las hojas de datos del fabricante a través de una curva que muestra el valor normalizado con respecto al valor a 25 °C [49]. Las pérdidas por conducción durante la transición alta puede determinarse de la siguiente manera:

$$V_{DS}(i_D) = R_{DSon}(i_D) * i_D \quad (3.1)$$

donde V_{DS} e i_D son voltaje drenador-fuente y la corriente de drenador, respectivamente. Por tanto, el valor instantáneo de las pérdidas por conducción es:

$$P_{CM}(t) = V_{DS}(t) * i_D(t) = R_{DSon}(i_D) * i_D^2(t) \quad (3.2)$$

donde P_{CM} representa las pérdidas por conducción. La integración de las pérdidas de potencia instantáneas durante el ciclo de conmutación da como resultado el valor medio de las pérdidas de conducción del MOSFET:

$$\begin{aligned} P_{CM(high)} &= \frac{1}{T_s} \int_0^{T_s} P_{CM}(t) dt = \frac{1}{T_s} \int_0^{T_s} R_{DSon}(i_D) * i_D^2(t) dt \\ &= R_{DSon} I_{Drms}^2 \end{aligned} \quad (3.3)$$

Donde T_s , representa el periodo de la señal utilizada para la conmutación. Para la transición baja, las pérdidas por conducción se pueden calcular mediante la siguiente ecuación:

$$P_{CM(low)} = (1 - D) R_{DSon} I_{Drms}^2 \quad (3.4)$$

donde D , representa el ciclo de trabajo de la señal de conmutación.

3.1.2. Pérdidas por conmutación en los MOSFET

El MOSFET es un dispositivo semiconductor en el cual la corriente es conducida por portadores de carga mayoritarios, y no es necesario inyectar o extraer cargas del mismo como el caso de los portadores minoritarios de la base de los transistores tipo BJT, para las operaciones de encendido y apagado. La velocidad de conmutación depende por tanto, fundamentalmente de las capacidades entre las distintas regiones y electrodos de contacto, de cuán rápido sea posible cargarlas y descargarlas. La velocidad resulta por lo tanto mucho mayor que la de cualquier otro dispositivo, pudiéndose utilizar en convertidores trabajando con frecuencias de conmutación del orden de los MHz [50].

De todas formas las capacidades parásitas imponen límites a la velocidad de conmutación, ya que se cargan y descargan a través de la resistencia de salida de los circuitos de comando (R_g). Esa resistencia no puede ser cero, ya que las transiciones podrán producir resonancias entre las capacidades mencionadas y las inductancias intrínsecas de los conductores de contacto. El valor mínimo de R_g está dado por el fabricante. Los tiempos de conmutación están entonces determinados por la carga de las capacidades a través de la resistencia R_g . Como R_g es del orden de algunos ohms, y las capacidades asociadas al terminal gate valen algunos nF, los tiempos de conmutación de los MOSFET puedan estar en el orden de decenas de ns, con lo cual conmutan hasta dos órdenes de magnitud más rápido que los BJT. Las pérdidas por conmutación se calculan como la suma de las pérdidas por conmutación durante el encendido (turn-on) y las pérdidas por conmutación durante el apagado (turn-off).

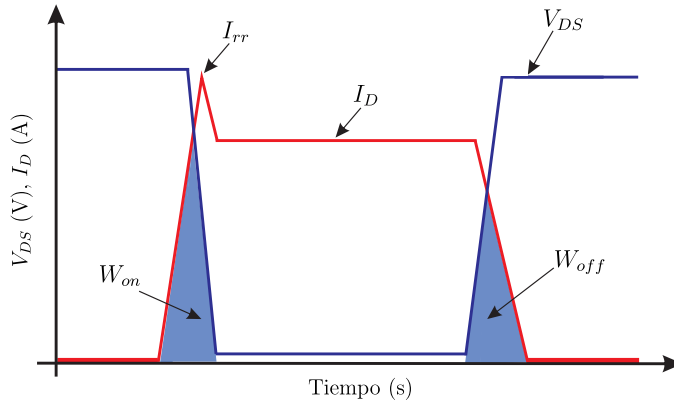


Figura 3.1 Formas de ondas de V_{DS} e I_D durante la conmutación.

En la **Figura 3.1** se observa la forma típica de onda durante el proceso de conmutación, en ella se observa las transiciones entre los niveles altos y bajos para el voltaje V_{DS} y la corriente I_D . Las magnitudes de W_{on} y W_{off} representan las pérdidas de energía por conmutación durante las transiciones altas representadas por el tiempo t_{on} y las transiciones bajas presentadas por el tiempo t_{off} respectivamente. El parámetro I_{rr} representa la corriente pico inversa del diodo de carrera libre existente en los MOSFET. La energía durante la conmutación se expresa como una función de la corriente del dispositivo, el cual se calcula utilizando la ecuación 3.5 [51].

$$P_{sw} = \frac{f_s}{2\pi} \int_0^{T_s} W_{sw} i(t) dt \quad (3.5)$$

donde W_{sw} es obtenida de las gráficas de energía durante la conmutación y es proveída por los manuales del fabricante, mientras que T_s representa el periodo de la señal de conmutación.

3.1.2.1. Pérdidas por conmutación durante las transiciones altas. El tiempo de conmutación para la transición alta se divide en cinco períodos (t_1 a t_5) como se ilustra en la **Figura 3.2 (a) y (b)**. En la **Figura 3.2 (a)**, se observa la variación del voltaje entre drenador y fuente V_{DS} a través del MOSFET así como la variación de la corriente de drenador I_D respectivamente. En la **Figura 3.2 (b)** se muestra el cambio en el voltaje V_{GS} durante el mismo intervalo de tiempo t_1 a t_5 , en dicha figura V_{TH} representa el voltaje de umbral del MOSFET, V_{SP} es el voltaje en el punto de conmutación. Las anotaciones Q_{GS} y Q_{GD} representan la carga eléctrica durante el período de tiempo correspondiente [51].

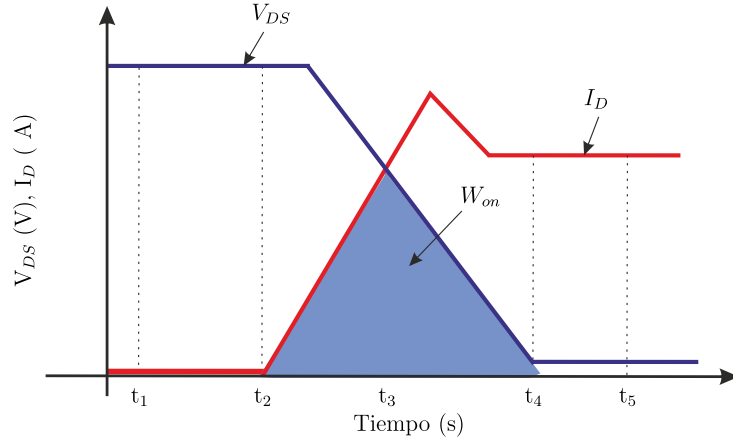
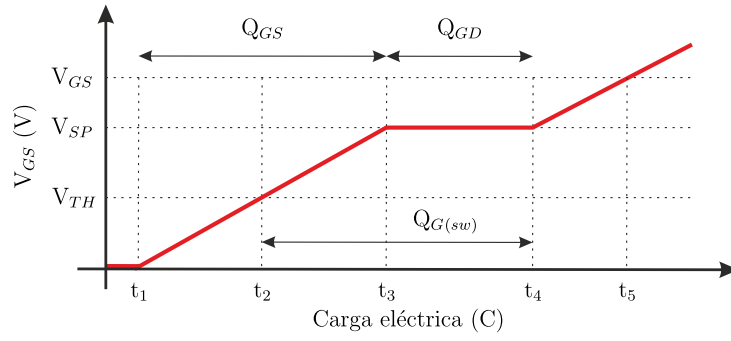

 (a) Formas de onda de V_{DS} e I_D .

 (b) Forma de onda del voltaje V_{GS} .

Figura 3.2 Conmutación para la transición alta.

El valor de W_{on} representa la energía disipada durante el proceso de activación del dispositivo. Durante este período t_2 el MOSFET está manteniendo todo el voltaje de entrada a través de él, por lo tanto, la energía en el MOSFET durante el período t_2 está dada por la ecuación 3.6.

$$W_{t_2} = t_2 \frac{V_{DD} I_D}{2} \quad (3.6)$$

Una vez iniciado el tiempo t_3 , el valor de I_D es constante y el voltaje desciende linealmente desde el valor de $V_{DS} = V_{DD}$ hasta $V_{DS}=0$ V, por lo que la energía disipada durante el tiempo t_3 se calcula mediante la ecuación 3.7.

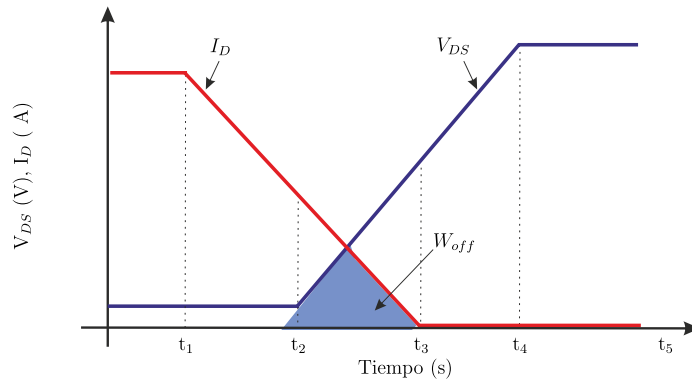
$$W_{t_3} = t_3 \frac{V_{DD} I_D}{2} \quad (3.7)$$

La pérdida por conmutación para un intervalo de tiempo determinado es igual a la potencia producida en cada intervalo, multiplicada por el ciclo de trabajo del intervalo de tiempo considerado, por lo tanto las pérdidas de potencia por conmutación puede aproximarse a la potencia disipada en los intervalos t_2 y t_3 , ya que en los intervalos t_5 y t_4 las pérdidas despreciables. El valor de las pérdidas por conmutación durante la transición alta se calcula mediante la ecuación 3.8.

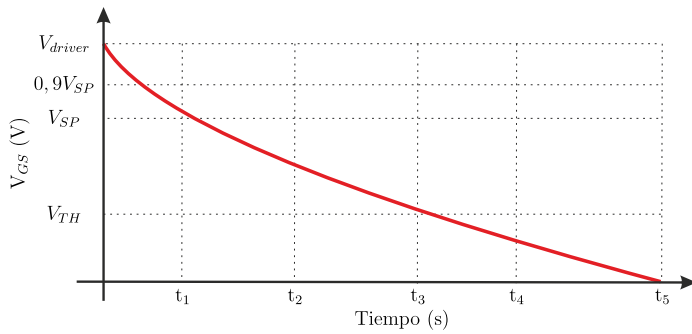
$$P_{sw} = \frac{V_{DD}I_D}{2}(t_2 + t_3)f_s \quad (3.8)$$

donde f_s representa la frecuencia de conmutación empleada, V_{DD} el voltaje del DC-Link, e I_D la corriente de drenador.

3.1.2.2. Pérdidas por conmutación durante las transiciones bajas. Las formas de onda para transiciones de alto a bajo se observan en la **Figura 3.3**.



(a) Formas de onda de V_{DS} e I_D .



(b) Forma de onda del voltaje V_{GS} .

Figura 3.3 Conmutación para la transición baja.

Para calcular las pérdidas por conmutación para las transiciones bajas se realiza un procedimiento similar para el caso de las transiciones altas [52]. Donde V_{driver} representa el voltaje entregado por el controlador de Puente-H utilizado, V_{TH} es el voltaje de umbral mínimo para la activación del SiC-MOSFET, V_{SP} representa al voltaje del punto de conmutación. Para calcular las pérdidas por conmutación durante la transición baja se utiliza la ecuación 3.9 .

$$P_{sw} = \left(t_2 V_F + t_3 \frac{V_F + I_{out} R_{DSon}}{2} \right) I_{out} f_s \quad (3.9)$$

donde V_F es la caída de voltaje sobre el diodo Schottky conectado entre los terminales drenador y fuente del MOSFET, cuyo valor es aproximada 0.6 V, I_{out} representa el valor de la corriente entregada a la carga por el MOSFET, R_{DSon} representa el valor de la resistencia que presenta el MOSFET en conducción.

3.2. Simulaciones realizadas con los SiC-MOSFET

Los fabricantes de semiconductores ponen a disposición de los diseñadores los modelos de simulación de sus productos, principalmente en el formato del entorno de trabajo Pspice, siendo éste el estándar de facto en simulaciones eléctricas y electrónicas. Los fabricantes Rhom y Cree ponen a disposición de los usuarios los modelos para sus SiC-MOSFET, de tal forma a ser utilizados en los procesos de análisis y diseño de aplicaciones con los mismos [53].

3.2.1. Simulaciones de conmutación simple con carga resistiva

Como paso previo a las simulaciones del Puente-H se realiza las simulaciones para la conmutación de un SiC-MOSFET con carga resistiva a una frecuencia de $f_s = 100$ kHz. En la **Figura 3.4** se observa el esquema de simulación utilizado. Primeramente se observa la señal en el terminal gate del SiC-MOSFET, ya que una de las características de los transistores efecto de campo es la capacidad parásita formada en sus entradas, lo cual en la práctica, al combinarse con el resistor R_g resulta en un filtro RC paso bajos. En la **Figura 3.5 (a)** se observa la forma de onda de la señal de disparo V_G y en la **Figura 3.5 (b)** se observa la forma de onda del voltaje V_{GS} a la entrada del SiC-MOSFET.

En la **Figura 3.5 (b)** se observa que la señal de excitación en el terminal gate está deformada con respecto a la proveída por el generador de señales, esto debido a las capacidades internas propias del los MOSFET, así como los tiempos de respuesta que poseen estos dispositivos.

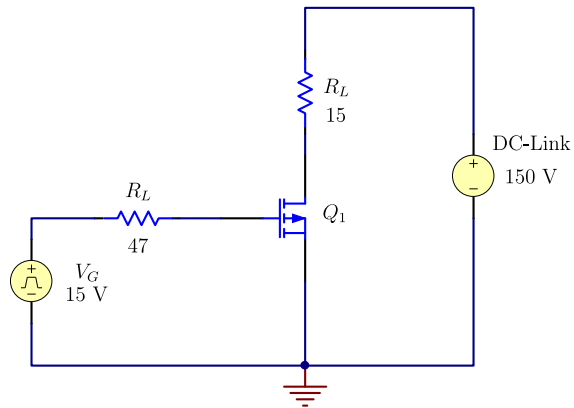
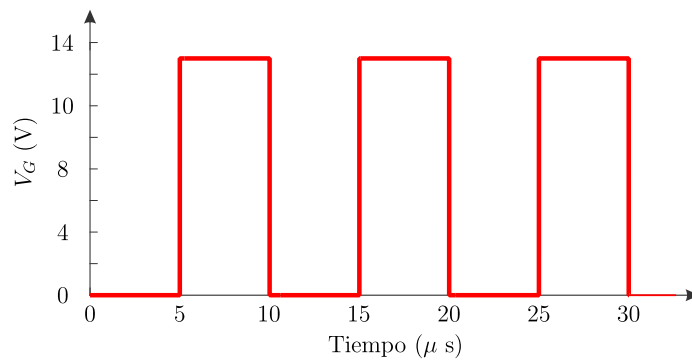
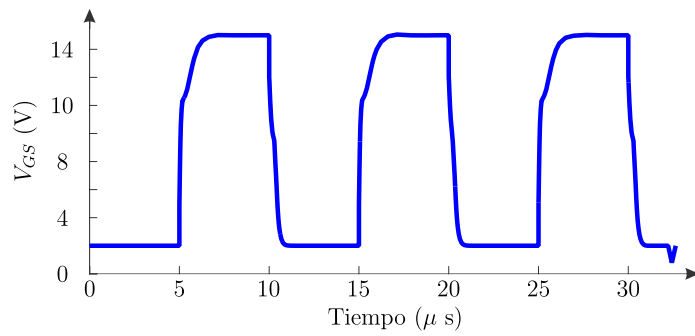


Figura 3.4 Esquema de simulación para la visualizaciones de las señales V_{DS} , I_D y V_{GS} .

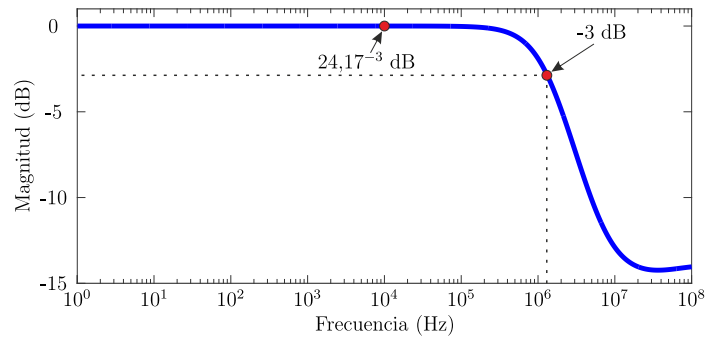


(a) Forma de onda de la señal de disparo V_G .

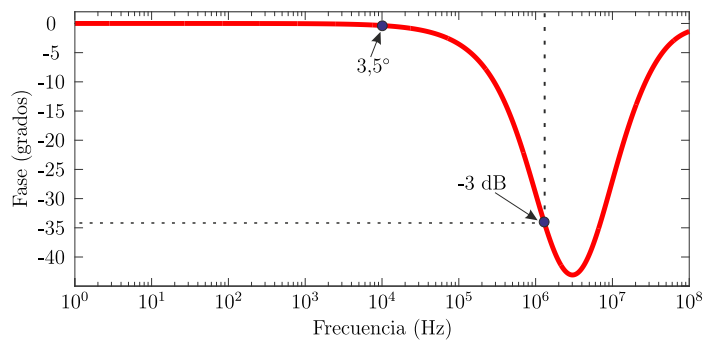


(b) Forma de onda de la señal de disparo V_{GS} .

Figura 3.5 Formas de onda de las señales V_G y V_{GS} .



(a) Gráfica de Bode para la magnitud.



(b) Gráfica de Bode para la fase.

Figura 3.6 Gráfica de Bode para la función de transferencia de las señales V_{GS} y V_G para $f_s = 100$ kHz.

De forma a determinar el límite de operación para la frecuencia de operación se procede a realizar un análisis de respuesta en frecuencia en PSpice, considerando como señal de entrada el voltaje V_G y como salida el voltaje V_{GS} . En la **Figura 3.6** se observa la gráfica de Bode de la función de transferencia mencionada. De la gráfica de magnitud observada en la **Figura 3.6 (a)**, se obtiene que la frecuencia de corte es de $f_{-3dB} = 1,36$ MHz, presentando un desfase de valor igual a $\theta = -35,09^\circ$ observado en la **Figura 3.6 (b)**. Para el rango de operación deseado para el diseño, el cual es igual a $f_s = 100$ kHz se verifica que la atenuación de la señal es despreciable y de valor igual $24,17^{-3}$ dB y un desfase de $\theta = -3,5^\circ$, presentando una respuesta bastante plana para el rango de frecuencias mencionado. Por otro lado, para visualizar el comportamiento del SiC-MOSFET durante sus transiciones entre los estados de corte y saturación se procede a visualizar las corriente de drenador I_D y el voltaje entre drenador y fuente V_{DS} . En la **Figura 3.7** se observa las formas de onda de las señales mencionadas.

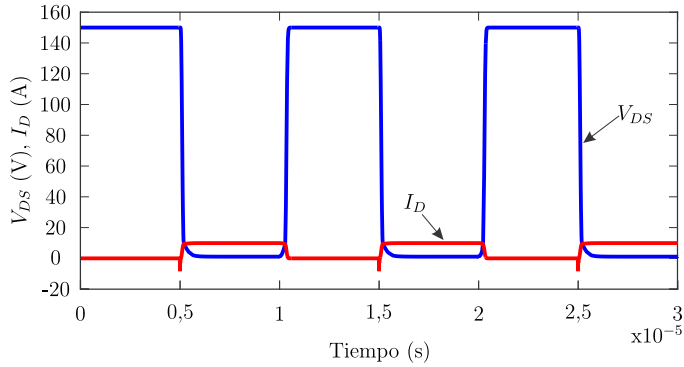


Figura 3.7 Formas de onda de las señales V_{DS} e I_D para $f=100$ kHz.

Como puede apreciarse en la **Figura 3.7**, existe un solapamiento entre las señales de V_{DS} e I_D , lo cual genera las pérdidas de potencia durante el proceso de conmutación, a modo de estimar las pérdidas de potencia durante el proceso de conmutación es posible determinar los tiempos de solapamiento entre las señales V_{DS} e I_D . En la **Figura 3.8** se observa con mayor detalle las señales V_{DS} e I_D durante las transiciones altas y bajas; para luego, mediante el análisis de la **Figura 3.8** obtener los valores de tiempo de subida de valor $t_r = 114,3$ ns y un tiempo de bajada de valor $t_f = 112,6$ ns, con lo cual es posible estimar las pérdidas por conmutación mediante simulaciones considerando $V_{DS}=150$ V e $I_D=10$ A.

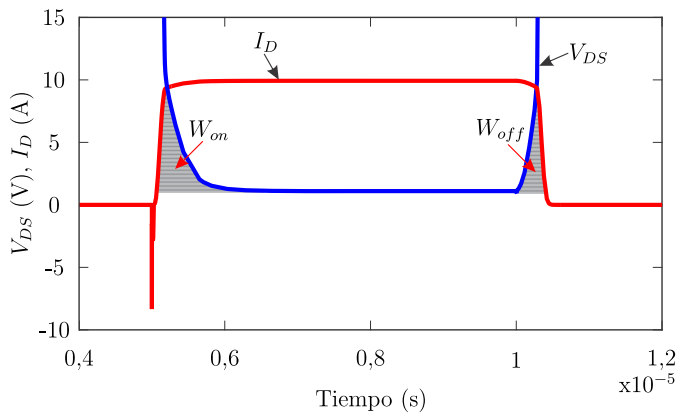


Figura 3.8 Superposición de las señales V_{DS} e I_D para $f_s = 100$ kHz.

El valor estimado para las pérdidas de potencia (P_{sw}), según los valores mencionados anteriormente está dada por la ecuación 3.10.

$$\begin{aligned} P_{sw} &= \frac{V_{DD} * I_D}{2} * (t_r + t_f) * f_s = \\ &= \frac{150 * 10}{2} * (114,3 + 112,6) * 100 = 1,91W \end{aligned} \quad (3.10)$$

Teniendo en cuenta los resultados simulados se observa una diferencia entre los valores obtenidos de t_r y t_f simulados con respecto a las proveídas por las hojas del fabricante, cuyos valores son $t_r = 34$ ns y $t_f = 22$ ns. En la **Figura 3.9** se observa el esquema eléctrico del circuito implementado para realización de las simulaciones de una configuración Puente-H completo. Para la excitación de cada SiC-MOSFET se utiliza generadores de señales independientes de forma a solucionar el inconveniente que representa el uso del bootstrap.

El resultado de la simulación para el Puente-H se observa en la **Figura 3.10**, en la misma se observa que las señales presentan pocas distorsiones, sobrepicos y oscilaciones. De manera a cuantificar la eficiencia de se realizaron mediciones de las pérdidas de potencia para diferentes valores de frecuencia y voltajes del DC-Link. Las mediciones obtenidas mediante simulación corresponden a las pérdidas de potencia por conmutación y a las pérdidas de potencia por conducción. En la **Figura 3.11 (a)** se observa la gráfica de las pérdidas de potencia totales que presenta el SiC-MOSFET, la cual incluye las pérdidas por conducción y las pérdidas por conmutación. Las pérdidas totales aumentan con la frecuencia de operación y voltaje suministrado por el DC-Link.

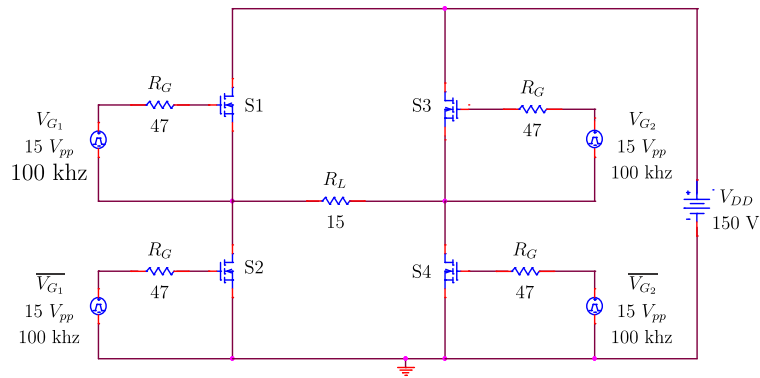


Figura 3.9 Esquema Puente-H para simulaciones con SiC-MOSFET.

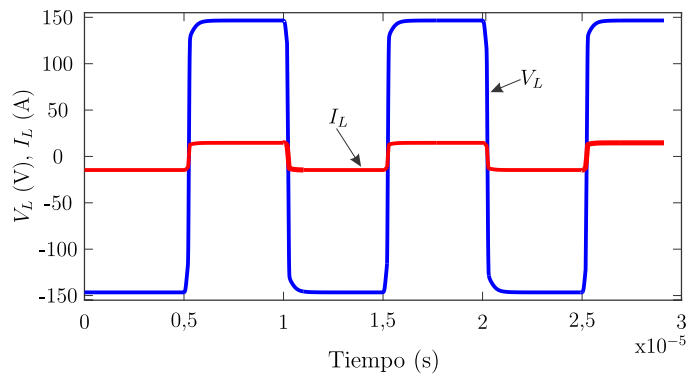
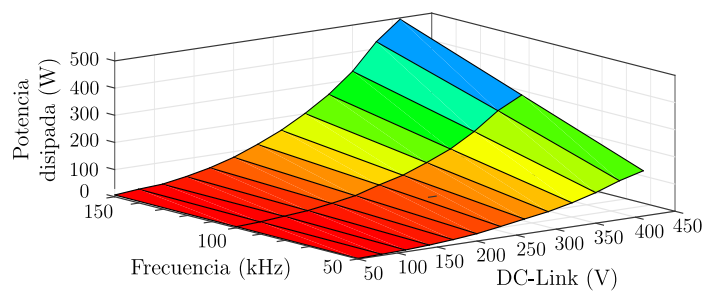
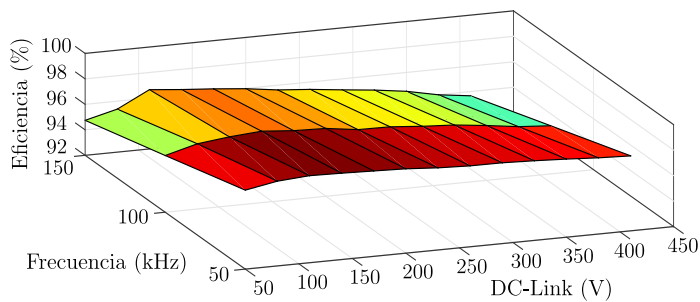


Figura 3.10 Formas de onda del voltaje sobre la carga V_L y corriente sobre la carga I_L .

En la **Figura 3.11 (b)** se observa una gráfica que relaciona la eficiencia del dispositivo SiC-MOSFET ante las variaciones de los parámetros de frecuencia de operación y voltaje suministrado por el DC-Link.



(a) Potencia disipada total del SiC-MOSFET obtenida por simulaciones.



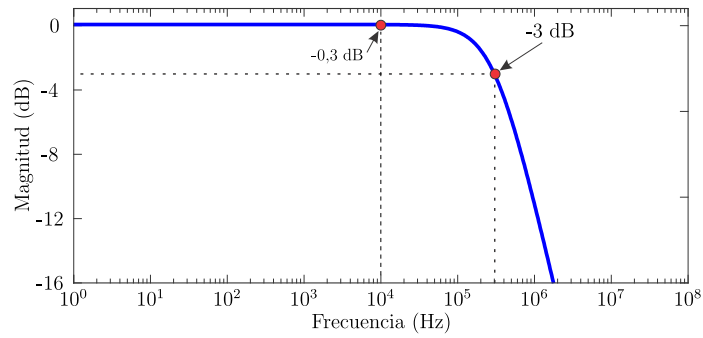
(b) Eficiencia del SiC-MOSFET obtenida por simulaciones.

Figura 3.11 Pérdidas de potencia y eficiencia en el SiC-MOSFET.

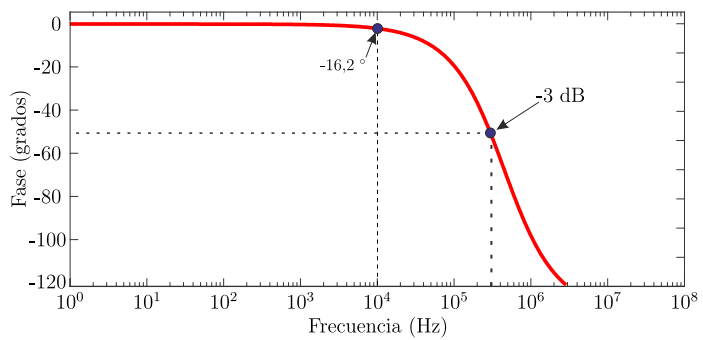
La eficiencia es definida como la relación porcentual entre la potencia entregada a la carga y las pérdidas de potencia presente en los SiC-MOSFET que forman el Puente-H. Los datos obtenidos mediante las simulaciones muestran que la eficiencia se mantienen por encima del 95 % para todos los casos.

3.3. Comparación entre dispositivos de potencia

De manera a visualizar las ventajas de los dispositivos SiC-MOSFET se realizan simulaciones con otros tipos de dispositivos, como ser los IGBT, los cuales son los dispositivos de potencia predominantes en el mercado actualmente. Se realizan simulaciones bajo condiciones similares a las realizadas con los SiC-MOSFET, primeramente se analiza las curvas de bode mediante un análisis de respuesta en frecuencia utilizando PSpice. En la **Figura 3.12 (a)** y **Figura 3.12 (b)** se observan la gráfica de bode.



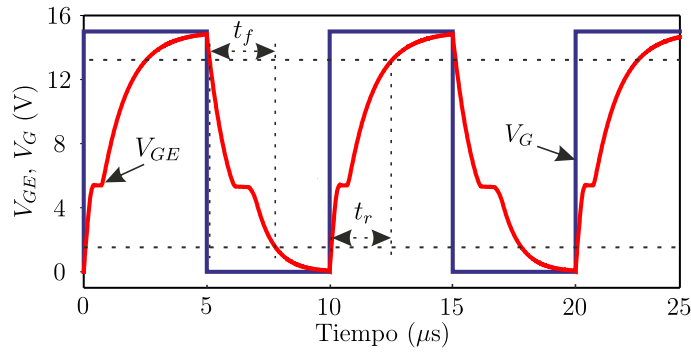
(a) Gráfica de Bode para la magnitud.



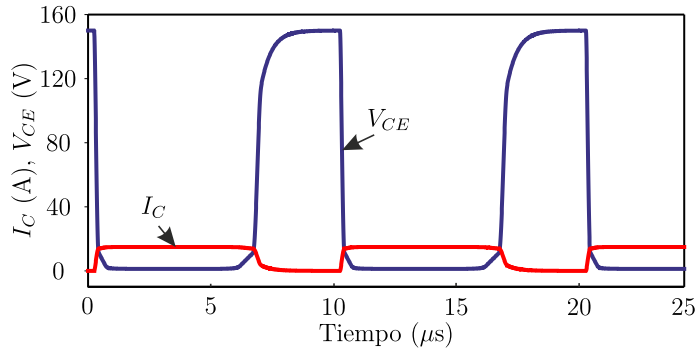
(b) Gráfica de Bode para la fase.

Figura 3.12 Gráfica de bode para la función de transferencia entre las V_{GE} y V_G .

Según lo observado la gráfica de bode realizada en el circuito de entrada, tomando como parámetros el voltage de disparo V_{GE} y la señal PWM proveída por el generador V_G , en la misma se verifica que la frecuencia de corte del circuito de entrada del IGBT es de 346,31 kHz. Para una frecuencia de conmutación igual a 100 kHz, el IGBT presenta una atenuación de -0,3 dB y un desfase de $-16,2^\circ$. Estos resultados obtenidos mediante simulación muestran que el dispositivo SiC-MOSFET posee mejor respuesta en frecuencia, con un mayor ancho de banda y mejores características a la frecuencia de operación de 100 kHz, la cual es la frecuencia de interés en el diseño, además, a parte del ancho de banda, también es deseable que las señales de disparo PWM estén libres de sobrepicos, oscilaciones o deformaciones. En la **Figura 3.13 (a)** se observa las formas de onda de las señales de entrada V_G , V_{GE} , mientras que en la **Figura 3.13 (b)** se observa las formas de onda de las señales de salida V_{CE} e I_C .



(a) Voltajes de entrada V_G y V_{GE} .

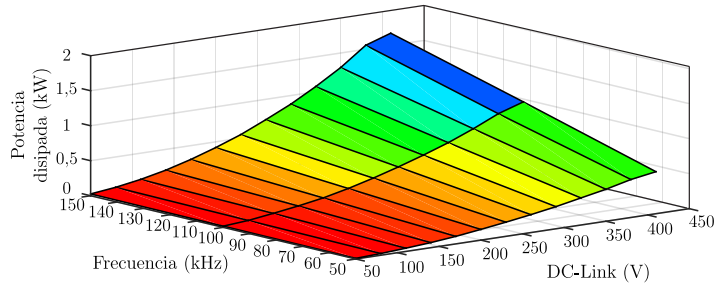


(b) Voltaje V_{CE} y corriente I_C .

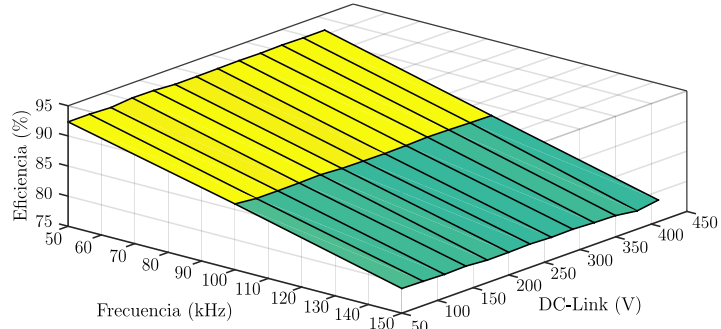
Figura 3.13 Señales V_{CE} , V_{GE} e I_C observadas en el IGBT. Frecuencia $f_s = 100$ kHz.

Analizando los resultados obtenidos mediante las simulaciones, se observa que los tiempos de respuesta del IGBT no son apropiados para frecuencias elevadas, presentando la señal V_{GE} un tiempo de subida $t_r = 1,74 \mu s$ y un tiempo de bajada de $t_f = 1,8 \mu s$ para una periodo de la señal de conmutación con valor $T_s = 10 \mu s$, con lo cual, los retardos t_r y t_f constituyen un 17,4 % y 18 % del periodo de la señal respectivamente, representando esto un retardo inaceptable para aplicaciones de APFs a frecuencias de conmutación a ser desarrollada en esta Tesis de Maestría.

Para cuantificar la eficiencia del dispositivo IGBT se realizaron mediciones de las pérdidas de potencia para diferentes valores de frecuencia y voltajes del DC-Link, análogamente a las simulaciones realizadas con el dispositivo SiC-MOSFET, también se analizaron las pérdidas de potencia por conmutación y a las pérdidas de potencia por conducción. En la **Figura 3.14 (a)** se observa la gráfica de las pérdidas de potencia totales que presenta el IGBT, mientras que en la **Figura 3.14 (b)** se muestra la eficiencia presentada por el dispositivo para diferentes condiciones de operación.



(a) Potencia disipada por el IGBT obtenida por simulaciones.



(b) Eficiencia del IGBT obtenida por simulaciones.

Figura 3.14 Pérdidas de potencia y eficiencia del IGBT. Frecuencia $f_s = 100$ kHz.

Se realizaron análisis de pérdidas de potencia y eficiencia en función de la frecuencia de operación y voltaje suministrado por el DC-Link. La eficiencia es definida al igual que el caso del SiC-MOSFET, como la relación porcentual entre la potencia entregada a la carga y las pérdidas de potencia presentes en el IGBT. De acuerdo a los valores obtenidos mediante las simulaciones realizadas, el dispositivo IGBT presenta una eficiencia máxima del 92 % para frecuencias de 50 kHz y un rendimiento menor, del orden del 78 % para frecuencias de operación de 150 kHz.

3.4. Conclusiones del capítulo

En el presente capítulo se presentó el análisis de las pérdidas en los SiC-MOSFET mediante el uso de los modelos de simulación proveídos por los fabricantes y el uso de la herramienta de simulación PSpice, con dichos análisis se logró estimar el comportamiento que presentarán los SiC-MOSFET para los rangos de operación deseados para el diseño de las celdas Puente-H. Mediante los resultados simulados se concluye que el rango máximo de operación del SiC-MOSFET se encuentra en el orden de los cientos de kHz, por lo que la respuesta para la frecuencia de operación deseada de 100 kHz es bastante buena. Además según las simulaciones, la eficiencia del dispositivo se encuentra dentro del rango del 95 % y 98 % para el rango de frecuencias de 50 kHz a 150 kHz.

A modo de comparación, se realizó un análisis similar con un dispositivo IGBT ya que este último es uno de elementos más utilizados en el ámbito de la electrónica de potencia en la actualidad. Los resultados obtenidos del análisis de respuesta en frecuencia muestra que el IGBT posee menor ancho de banda comparado al dispositivo SiC-MOSFET, donde el ancho de banda según las simulaciones se encuentra dentro del orden de las decenas de kHz, debido en parte limitantada la frecuencia de operación del IGBT por su capacitancia parásita de entrada. Según las simulaciones realizadas el IGBT responde correctamente en rango frecuencias de 10 kHz a un máximo de 20 kHz, comparado a los 100 kHz de los dispositivos SiC-MOSFET.

CAPÍTULO 4

DISEÑO Y ANÁLISIS DE LA PLATAFORMA EXPERIMENTAL PARA EL CONVERTIDOR PUENTE-H

4.1. Introducción

La plataforma experimental Puente-H está compuesto de cuatro placas electrónicas, dos de ellas son similares y contienen los circuitos de acondicionamiento de señal necesarios para la realización de las mediciones de voltaje de línea de entrada V_S , corriente en la carga i_L y la corriente inyectada por el filtro i_f . El controlador para el Puente-H se implementa en una placa independiente, el cual recibe las señales de disparo provenientes de una FPGA mediante un enlace de fibra óptica. Finalmente, los SiC-MOSFET están montados en una placa con los circuitos de acondicionamientos necesarios para su correcto funcionamiento.

El control del convertidor Puente-H aplicado para APFs se implementa en una placa de desarrollo para el DSP TMS320F28335 de la Texas Instruments. El modulador PWM para los disparos de cada SiC-MOSFET se implementa en la placa de desarrollo Nexys 3 que utiliza el FPGA Xilins Spartan 6.

En este capítulo se describe el proceso de diseño de los circuitos electrónicos asociados al diseño del convertidor para Puente-H para aplicaciones de APFs.

4.2. Diseño de placa de control

Para el diseño se optó por una estructura modular, donde cada circuito se encarga del control de una celda Puente-H. Uno de los objetivos del diseño es que el controlador pueda ser utilizado en un esquema multinivel, donde el mismo pueda operar de manera independiente y sea sencillo su reemplazo en caso de averías o el aumento del número de niveles del hardware.

4.2.1. Criterios de diseño

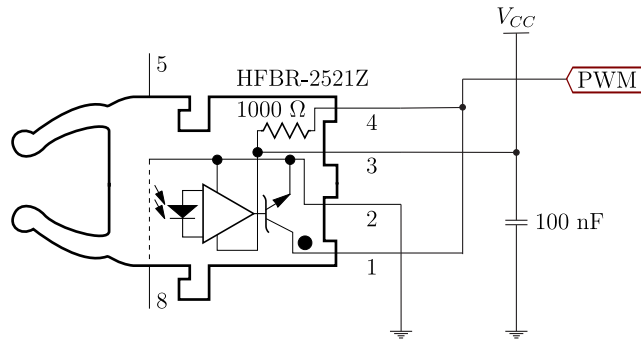
Las señales de control se reciben mediante un enlace de fibra óptica de manera a evitar interferencias a los circuitos de control basados en DSP y FPGA. Se busca aprovechar las características de alta frecuencia de conmutación de los SiC-MOSFET y operar a una frecuencia de conmutación del orden de los 100 kHz. Además cada módulo debe poseer su propio bus de continua operando niveles de voltaje de 400 V como máximo, y deberá ser capaz de operar en un esquema multinivel.

De modo a asegurar la aislación eléctrica e inmunidad frente al ruido generado por la conmutación de los SiC-MOSFET que pudiesen afectar a los demás elementos de acondicionamiento de señales, generación de tiempos muertos y complemento de las señales de disparo se implementa una aislación galvánica entre las etapas de potencia y las de señales de control mediante el uso de fuentes conmutadas DC-DC con aislación y circuitos integrados con aislación galvánica.

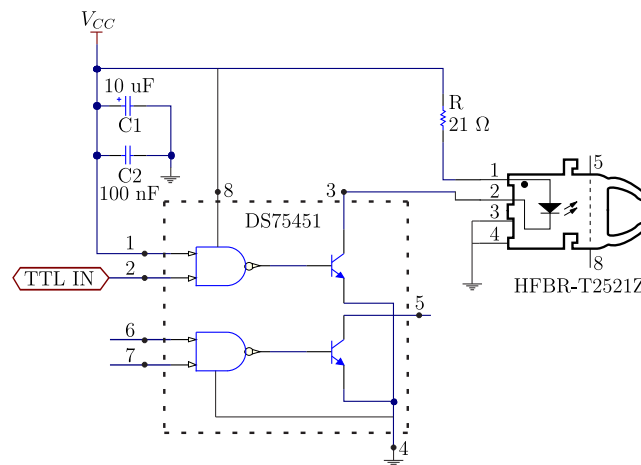
4.2.2. Dimensionamiento de los elementos constitutivos

En este apartado se detalla el proceso de diseño de la placa de control para la celda Puente-H, incluyendo sus circuitos de acondicionamientos de señales, circuitos de disparo, generación de tiempos muertos y fuentes de poder de la misma. El proceso de diseño se fundamenta en los datos proveídos en las guías de diseño de los fabricantes de componentes electrónicos.

4.2.2.1. Módulos transmisores y receptores Primeramente se realiza el dimensionamiento para los módulos transmisores y receptores de fibra óptica utilizados para lograr la inmunidad a las interferencias electromagnéticas generados por la operación de los circuitos de potencia. Para los receptores se utilizan los dispositivos HFBR-2521Z, cuyo esquemático se observa en la **Figura 4.1 (a)**, cuyo diseño a ser implementado está basado en las recomendaciones de las hojas del fabricante [54].



(a) Circuito receptor de fibra óptica utilizando el módulo HFBR-2521Z.



(b) Circuito de transmisión de fibra óptica HFBR-T2521Z.

Figura 4.1 Circuitos de transmisión y recepción por fibra óptica.

En la **Figura 4.1 (b)** se observa el circuito de los transmisores para fibra óptica utilizados, el esquema se basa en el transmisor HFBR-1521Z. Según indicaciones del fabricante, las configuraciones tanto para transmisor como receptor son para un alcance de 45 metros y una tasa de transmisión de datos de 1 Mbps. Los transmisores incorporan un LED de 660 nm, transmitiendo las señales mediante un enlace monomodo [55]. En la **Figura 4.2** se observa las fotografías del módulo transmisor para fibra óptica. El módulo consta de dos partes; la primera es la placa base que se observa en la **Figura 4.2 (a)**, sobre la cual se montan todas las placas de transmisores observados en la **Figura 4.2 (b)**. Cada placa base es capaz de manejar hasta tres módulos transmisores para fibra óptica, con 6 canales cada uno, dando un total de 18 canales PWM por cada módulo. El montaje final del módulo transmisor se observa en la **Figura 4.2 (c)**.

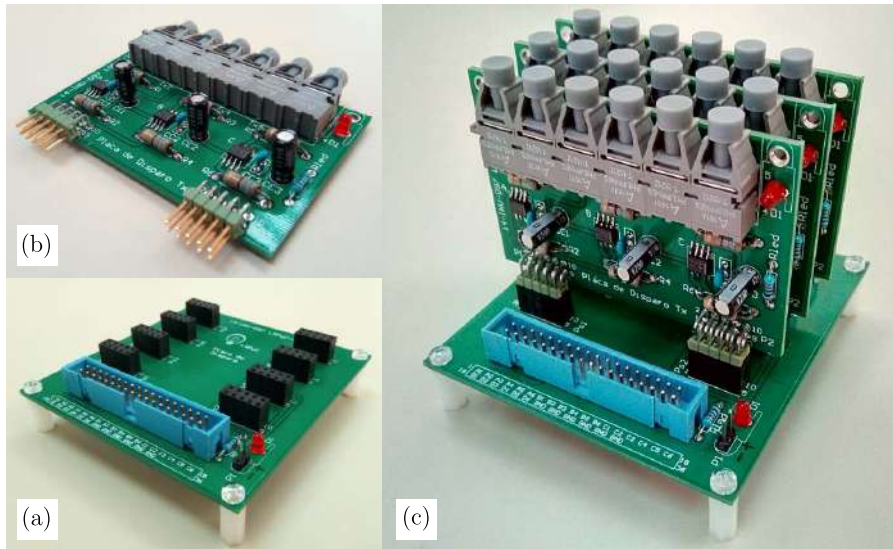


Figura 4.2 Módulo para transmisión de señales PWM a través de fibra óptica.

4.2.2.2. Acondicionamiento de señales PWM recibidas Una vez procesada la señal obtenida mediante el enlace de fibra óptica, es necesario realizar el acondicionamiento de la señal PWM utilizadas para controlar los disparos de los SiC-MOSFET, dichas señales presentan sobrepicos durante las transiciones a nivel alto o nivel bajo. La adecuación de señal se implementa mediante el circuito integrado ISO7240, estos aisladores digitales tienen dos canales aislados. Cada canal de aislamiento tiene una memoria intermedia de entrada lógica y de salida separados por una barrera de aislamiento dióxido de silicio (SiO_2). Utilizado conjuntamente con fuentes de alimentación aislados, estos dispositivos evitan las corrientes de ruido en un bus de datos u otro circuito entre en la referencia local y dañar o interferir con circuitos sensibles. Estos dispositivos poseen umbrales de entrada con niveles TTL y requieren de dos voltajes de alimentación; 3,3 V o 5 V, o cualquier combinación de ellas. Todas las entradas son 5 V tolerante cuando esté alimentado por un suministro de 3,3 V [56]. En la **Figura 4.3** se observa el diseño basado en el ISO7240.

Los filtros RC utilizados a la salida de los ISO7240 se utilizan para atenuar los sobrepicos durante las transiciones de niveles. Se considera que la frecuencia de conmutación será de 100 kHz y se opta por dimensionar el filtro a una frecuencia de corte posicionada a una década de distancia de la frecuencia de diseño. Las fuentes de alimentación utilizadas en la entrada y en la salida son independientes y con aislación de masas. Los valores utilizados para el filtro paso bajos son $R = 100 \Omega$ y $C = 100 \text{ pF}$, obteniéndose una frecuencia de corte de 1,59 MHz.

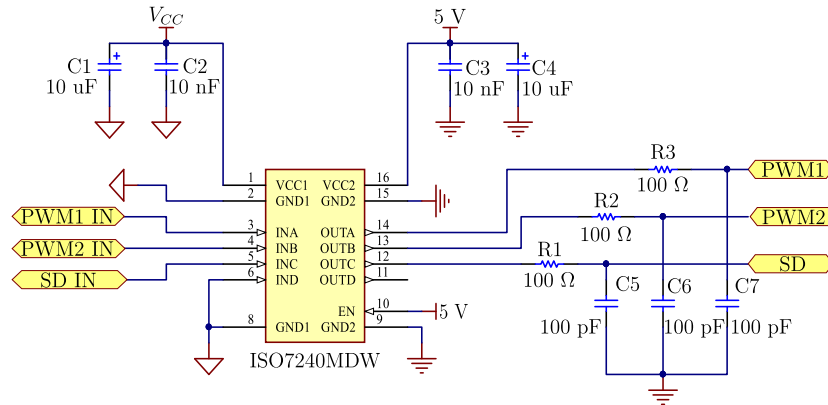


Figura 4.3 Circuito de acondicionamiento de señales PWM de entrada.

4.2.2.3. Generación de señales PWM complementarias y tiempo muerto En un dispositivo de conmutación ideal, los interruptores de una rama del Puente-H conmutan en el mismo instante de tiempo, o sea, en el momento en que un interruptor empieza a conducir, el otro deja de hacerlo. Para que dicha característica ideal se produzca sería necesario que el paso de conducción a corte sea instantáneo, lo cual no ocurre en la realidad. Si se omite este comportamiento durante el diseño, obviando la no instantaneidad en las transiciones entre niveles alto y bajo podría darse situaciones como ser que un MOSFET inicie su estado de conducción antes de que el otro MOSFET complementario de la misma rama haya dejado de hacerlo totalmente, lo que daría lugar a un cortocircuito. Las consecuencias de este cortocircuito podría llegar a destruir los interruptores por sobrecorriente.

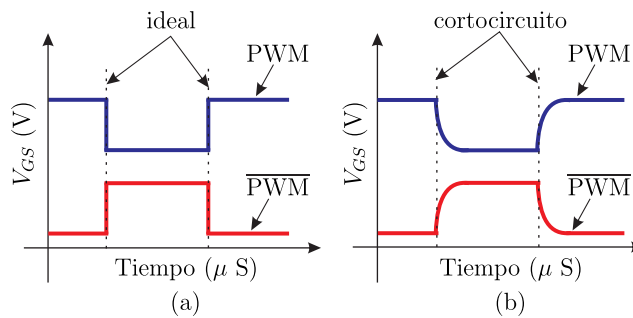


Figura 4.4 Conmutación con señales PWM. (a) Representa el caso ideal y (b) Representa el caso real.

En la **Figura 4.4** se observa las características de conmutación de las señales PWM aplicadas al terminal gate - source de los MOSFET pertenecientes a una misma rama. En la **Figura 4.4 (a)**, de la izquierda se muestra una conmutación ideal, mientras que en la **Figura 4.4 (b)** se muestra una evolución más real del voltaje V_{GS} . De esta forma se puede observar que durante la conmutación existe un tiempo en el que ambos MOSFET están en estado de conducción, lo cual generará un cortocircuito en el DC-Link.

El diseño propuesto implementa el tiempo muerto así como la complementación de los canales PWM pertenecientes a la misma rama mediante un esquema de hardware. Un esquema de un convertidor basado en Puente-H completo requiere de señales complementarias para conmutar sus SiC-MOSFET pertenecientes a la misma rama, debido principalmente a los retardos debido a los tiempos de activación (t_{on}) y desactivación (t_{off}) de los mismos, lo cual podría provocar que durante la operación de activar un SiC-MOSFET y desactivar otro de la misma rama ocurran cortocircuitos en el DC-Link por unos cortos instantes de tiempo, generando pérdidas de potencia por efecto de la conmutación, lo cual provocaría que los semiconductores se degraden con mayor rapidez y un menor rendimiento en el convertidor Puente-H. Las señales PWM complementarias y su respectivo tiempo muerto se observan en la **Figura 4.5**. El tiempo muerto observado en la **Figura 4.5** se determina de acuerdo a las características de los circuitos integrados controladores para MOSFET así como la frecuencia de conmutación a ser utilizada. El diseño se realizó para una frecuencia de 100 kHz con lo cual el periodo de las señales de conmutación es de $T = 10 \mu s$, la hoja de datos del fabricante del controlador para MOSFET utilizado indica unos tiempos $t_{on} = 120 \text{ ns}$ y $t_{off} = 120 \text{ ns}$.

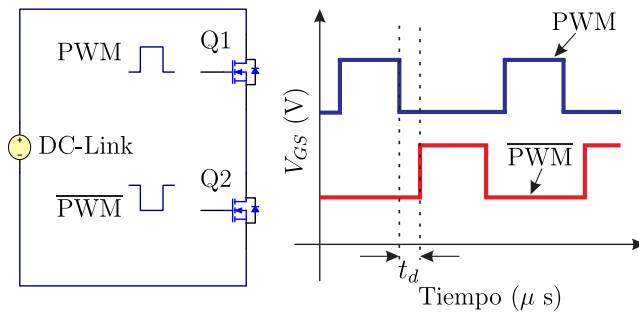


Figura 4.5 Señales de conmutación PWM y tiempo muerto.

Por otro lado, el SiC-MOSFET CAS12012BM2 según la hoja de datos del fabricante del mismo, posee un tiempo de activación de $t_{on} = 38 \text{ ns}$ y un tiempo de desactivación de $t_{off} = 70 \text{ ns}$ por lo que se decidió implementar un tiempo muerto $t_d = 0,5 \mu\text{s}$.

$$t_d = R * C \quad (4.1)$$

$$R = \frac{t_d}{C} = \frac{0,5\mu\text{s}}{100\text{pF}} = 5 \text{ k}\Omega \quad (4.2)$$

El circuito encargado de la complementación y generación de tiempos muertos se observa en la **Figura 4.6**; existe un esquema similar por cada canal PWM utilizado. La introducción del tiempo muerto genera distorsión armónica de baja frecuencia, si el tiempo muerto es muy pequeño genera una distorsión armónica pequeña, pero podría ocurrir que el circuito no cumpla su cometido, es decir, no retrase en encendido el tiempo suficiente para que el interruptor complementario se haya apagado. Si el tiempo muerto es muy grande se asegura que ha habido tiempo suficiente para que el interruptor complementario se apague antes de que el otro interruptor se encienda, pero la distorsión armónica introducida es muy grande [57], [58]. Es por ello, que requiere buscar un equilibrio entre seguridad y distorsión, de manera que el tiempo muerto deberá ser el mínimo que garantice el apagado del interruptor.

Finalmente, a modo de amortiguar los sobrepicos presentes durante las transiciones entre niveles alto y bajo en las señales PWM se agrega un circuito de filtro paso bajo (LPF), el cual esta sintonizado a 10 MHz, tal como se muestra en la **Figura 4.6**.

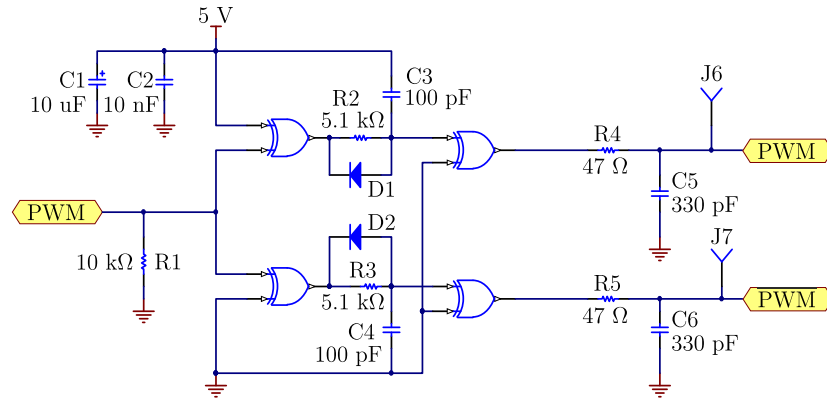


Figura 4.6 Circuito generador de tiempo muerto y complementación.

4.2.2.4. Circuito de control de disparos para Puente-H El control del disparo de cada rama del Puente-H se implementa mediante controladores de medio Puente-H, para este caso, controladores para medio Puente-H basados en tecnología MOSFET. Cuando se utilizan MOSFETs conectados a una línea de tensión de alimentación, se necesitarán las siguientes condiciones para un disparo adecuado: el voltaje en el terminal gate debe ser de 10 a 15V mayor que el voltaje del terminal source, por otro lado, el voltaje en el terminal gate debe ser controlada desde el circuito de disparo, el cual suele estar referido a tierra. Por tanto, las señales de disparo deben ser elevadas en su nivel mínimo hasta el máximo nivel del dispositivo de potencia, y finalmente, la potencia consumida por el circuito de disparo no debe afectar significativamente a la eficiencia global del circuito implementado.

Teniendo en cuenta los criterios anteriormente mencionados se utilizó los controladores IR2110S de la firma International Rectifier, los cuales se caracterizan por requerir muy pocos elementos externos para su operación. El IR2110 es un controlador para disparos de MOSFET e IGBT de alta velocidad, para niveles medios de DC-Link (hasta 600 V) y que además posee niveles de voltaje de referencia independientes para sus entradas y salidas. Las entradas lógicas son compatibles con la salida estándar de tecnologías CMOS o LSTTL, hasta la lógica de 3,3 V. En la **Figura 4.7** se observa el esquema interno del controlador IR2110. Con el circuito de disparo IR2110 se dispone de una solución compacta para disparar simultáneamente a un transistor MOSFET referido a tierra y a otro referido a un nivel de alta tensión, capaz de oscilar entre +500 V y -5 V respecto del terminal de tierra. Además dispone de un rango entre 5 V y 20 V de alimentación. Las salidas disponen de una configuración en totem-pole con una capacidad de corriente de salida de 2 A de pico, y un tiempo de conmutación de 25 ns para una carga de 1 nF. Según lo observado en la **Figura 4.7**, V_{DD} corresponde al voltaje de alimentación de la parte lógica del circuito, el cual corresponde a la entrada del circuito, HIN es la entrada que comanda la parte alta del driver [59].

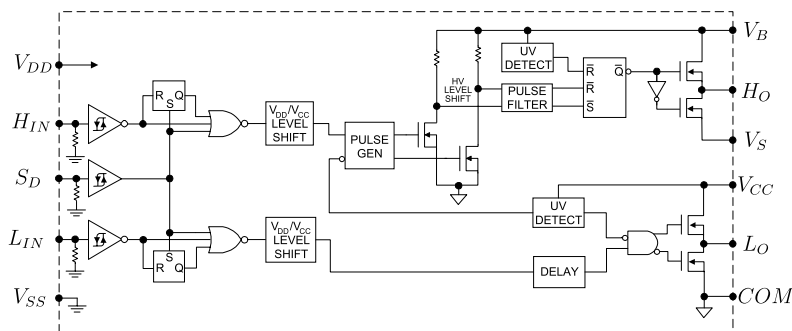


Figura 4.7 Diagrama de bloques funcional del IR2110.

En la **Figura 4.8** se presenta un conexionado típico del circuito obtenido de la hoja de características del controlador IR2110 en el diseño propuesto. Se empleará un circuito integrado IR2110 para cada rama del Puente-H, empleándose dos controladores para cada celda Puente-H. El circuito IR2110 presenta una entrada de alta impedancia (ver **Figura 4.7**) con una corriente de polarización máxima de $40\text{ }\mu\text{A}$. La entrada dispone de un comparador con histéresis de modo que lo hace muy robusto al ruido que pueda estar presente en las señales de control. Los MOSFET de la parte baja al estar referidos a tierra (GND) solo necesitan de la adaptación de niveles de voltaje. El circuito IR2110 posee una doble alimentación, una para la lógica, con niveles de alimentación de valor $V_{DD} = 5\text{ V}$ y otra para la alimentación del circuito de disparo de los MOSFET, con niveles de alimentación de V_{CC} igual a 12 V o 15 V . En la **Figura 4.9 (a)** se observa el diagrama de bloques simplificado del integrado para la salida correspondiente al MOSFET inferior. Los MOSFET ubicados en la parte superior de una rama Puente-H no están referidos a GND. Por ello, no es suficiente realizar un cambio de nivel de voltaje sino que además esta tensión debe poseer su referencia flotante. Es necesario conectar una fuente de voltaje flotante de 12 V o 15 V en el terminal VB referida al terminal VS.

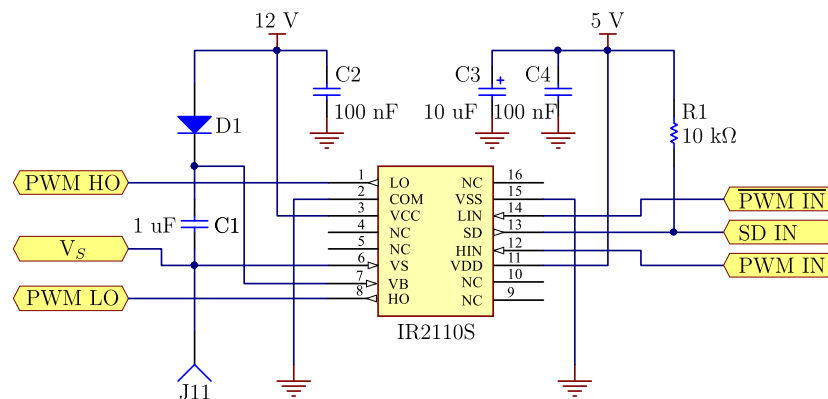
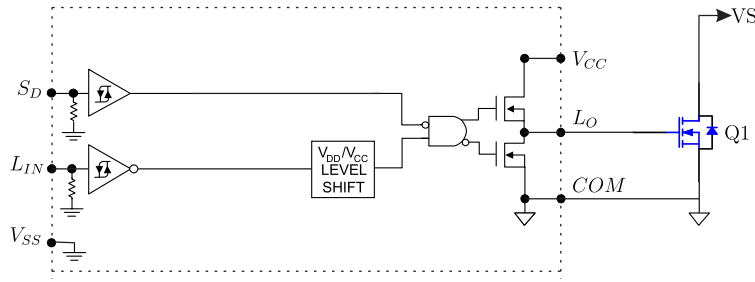
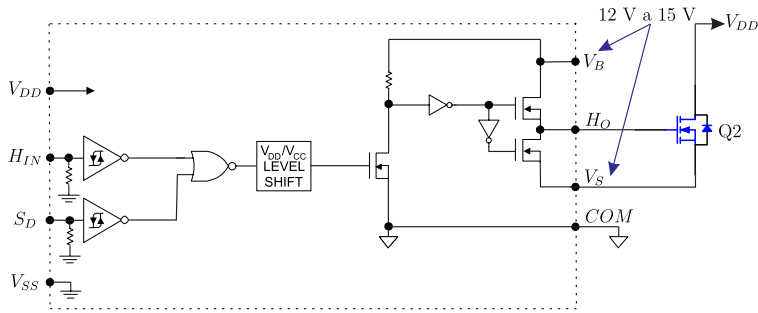


Figura 4.8 Esquema eléctrico del circuito implementado con el IR2110.



(a) Adaptación de niveles para la parte baja del circuito IR2110.



(b) Adaptación de niveles para la parte alta del driver IR2110.

Figura 4.9 Circuitos de transmisión y recepción por fibra óptica.

Un método empleado para generar el voltaje en el terminal V_B es agregar un capacitor de bootstrap. En la **Figura 4.9 (b)** se observa el esquema simplificado para el disparo del MOSFET superior. A fin de implementar el método de bootstrap, la hoja del fabricante del controlador IR210 recomienda utilizar un capacitor de bootstrap, el método consiste en conectar un capacitor C_{bs} y un diodo D_{bs} como se en la **Figura 4.10**, de manera que cuando el MOSFET de la parte inferior entre en conducción, el capacitor se cargue a través del diodo con el voltaje V_{CC} . Una vez el MOSFET de la parte inferior deja de conducir, el diodo evita que el condensador se descargue. Si el valor de la capacitancia es suficiente, este proporcionará una tensión flotante estable para el encendido del MOSFET de la parte superior.

Para el correcto funcionamiento del controlador IR2110, se deben dimensionar de forma adecuada el capacitor C_{bs} y el diodo D_{bs} . En ecuación 4.3 se presenta el método para el cálculo del capacitor de C_{bs} en función de la capacitancia de puerta del MOSFET, la frecuencia de conmutación y otros parámetros como las corrientes de pérdidas existentes, caídas de tensión, etc.

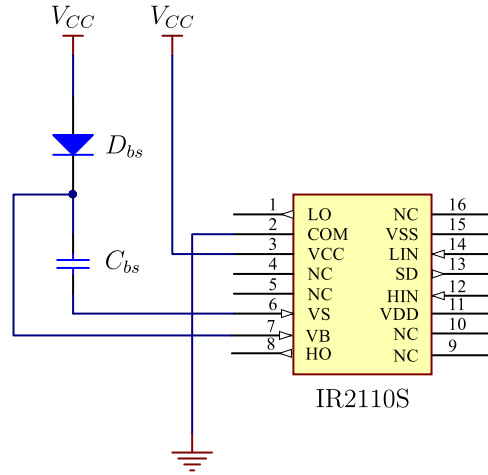


Figura 4.10 Voltaje flotante mediante la técnica bootstrap.

$$C_{bs} \geq \frac{2 * \left(2 * Q_g + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{cbs(leak)}}{f_s} \right)}{V_{CC} - V_f - V_{LS} - V_{min}} \quad (4.3)$$

donde Q_g la carga total del terminal gate, Q_{ls} representa el cambio del nivel de carga requerido por ciclo, V_{LS} es la caída de voltaje a través del MOSFET de la parte inferior, V_f representa la caída de voltaje sobre el diodo de bootstrap en polarización directa y $I_{qbs(max)}$ el valor máximo de la corriente de reposo para el lado alto del controlador (MOSFET superior). Los valores utilizados para los cálculos se observan en la **Tabla 4.1**.

Parámetro	Valor	Unidad
Tensión de alimentación VCC	12	V
Frecuencia de trabajo	100	kHz
Q_g	15	nC (Typ.)
Q_{ls}	5	nC
V_{LS}	10	V
V_f	1	V
$I_{qbs(Max)}$	230	A

Tabla 4.1 Parámetros eléctricos utilizados para los cálculos de bootstrap.

Para los cálculos se desprecia el término $\frac{I_{cbs(leak)}}{f}$ y V_{min} debido a que los capacitores no son del tipo electrolítico. El valor final resultante de los cálculos para el capacitor C_{bs}

es de 74,6 nF, siendo utilizado como valor final 100 nF ya que éste es el valor comercial mas cercano y disponible en plaza.

El diodo a ser utilizado para el bootstrap debe cumplir algunos requisitos tales como: el voltaje máximo debe ser superior a la del potencial VS y la corriente máxima por el diodo puede ser calculada como el producto de la carga total y la frecuencia de conmutación. Un diodo con un tiempo de recuperación inverso rápido es beneficioso para minimizar la corriente de fuga. Además la carga del capacitor de bootstrap implica corrientes de pico altas y, por lo tanto, la disipación de potencia transitoria en el diodo puede ser significativa y dependiente del voltaje máximo en polarización directa del diodo. El tiempo de recuperación inversa del diodo de bootstrap debe ser muy pequeño, con el fin de conseguir una reducción en las pérdidas de recuperación inversa. Para el diseño se ha optado por la utilización del diodo rápido de la serie UF4007.

4.2.2.5. Fuentes de alimentación independientes El diseño propuesto para el driver del Puente-H implementa una aislación galvánica entre la etapa de potencia y la etapa de recepción de señales PWM. Para obtener la aislación requerida sin la necesidad de implementar dos entradas de alimentación con fuentes de poder separadas se optó por utilizar un conversor DC-DC con aislación galvánica entre sus niveles de entrada y salida, el componente seleccionado es TDK-Lambda CC10-1212SF-E. La serie de convertidores DC-DC de TDK-Lambda ofrecen buenas prestaciones para voltajes de salida de 3,3 V, 5 V, 12 V o 15 V, con potencias de salida de 3 W a 30 W. Estos módulos conversores son muy compactos, reduciendo significativamente el espacio requerido los diseños PCB. Su principal ventaja es que son conversores totalmente aislados que disponen de entradas de DC de amplio rango (24 V o 48 V). Los conversores DC-DC de TDK-Lambda se encuentran en el mercado en dos versiones, con salida simple y con salida doble, siendo esta última la remendada para realizar circuitos Puente-H. En la **Tabla 4.2** se observan algunas características técnicas del TDK CC10-1212SF-E [60].

Parámetro	Valor	Unidad
Voltaje de entrada mínimo	9	V
Voltaje de entrada máximo	18	V
Voltaje de salida	12 - 15	V
Corriente de salida máximo	1	A
Potencia máxima	10	W
Voltaje de aislación	500	V
Temperatura de operación	-40 - 85	Celsius

Tabla 4.2 Características técnicas del TDK CC10-1212SF-E.

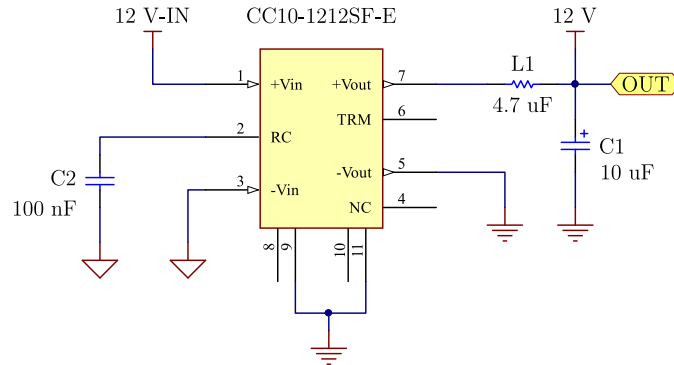


Figura 4.11 Esquema eléctrico de las fuentes implementadas mediante el TDK CC10-1212SF-E.

En la **Figura 4.11** se observa el esquema eléctrico implementado con el convertidor TDK CC10-1212SF-E, el circuito recibe como voltaje de entrada un nivel de 12 V de continua, y a su salida se dispone de un nivel de 12 V aislado respecto de la entrada. A su vez se observa que en el terminal de salida se agrega un filtro paso bajos LC, esto es debido a que la interferencia electromagnética (EMI) está siendo vista como uno de los desafíos más importantes, durante el diseño de los actuales convertidores AC-DC y DC-DC, siendo la eliminación de este tipo de interferencias prácticamente imposible aunque si es posible reducir dichas interferencias con la implementación de filtros de EMI. El dimensionamiento del filtro LC es el siguiente:

$$f_0 = \frac{1}{2\pi\sqrt{L * C}} \quad (4.4)$$

$$L = \frac{1}{(4\pi f_0)^2 C} \quad (4.5)$$

Se seleccionó una frecuencia de corte $f_0=20$ kHz para el filtro y un valor para la capacitancia $C=10$ μ F, resultando en una inductancia $L= 6,3$ μ H. La etapa de entrada y la etapa de salida del driver IR2110 se alimentan con diferentes niveles de voltaje. Para el disparo de los MOSFET se utiliza un nivel de $VCC = 12$ V mientras que las etapas de control se alimentan con niveles de voltaje de $VDD = 5$ V. Para la generación de VDD se emplea el regulador lineal de la serie 7805, con esto se evita utilizar diferentes alimentaciones externas a la placa, además, al ser un consumo muy reducido no supondrá un calentamiento ni una pérdida de rendimiento excesivo. En la **Figura 4.12** se observa una fotografía de la placa de control diseñada para la celda Puente-H basado en el dispositivo SiC-MOSFET.

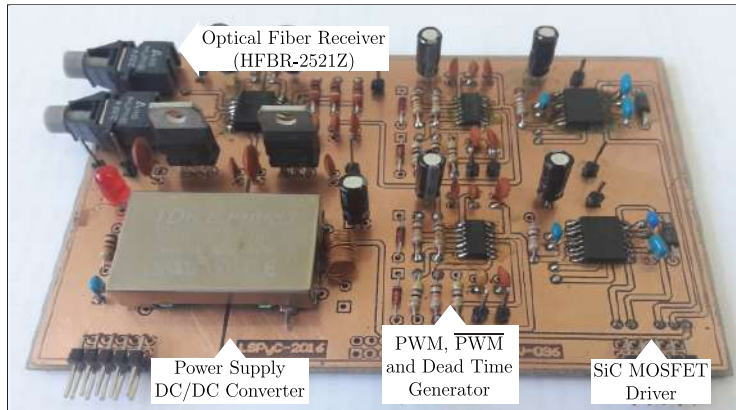


Figura 4.12 Placa de control para una celda Puente-H basado en SiC-MOSFET.

4.2.3. Etapa de potencia

En esta sección se presenta el diseño la etapa de potencia, consistente en un esquema Puente-H completo. La implementación del DC-Link se realiza mediante capacitores cuya carga se controla mediante el algoritmo de control predictivo desarrollado, además la placa permite implementar de manera opcional el DC-Link mediante el uso de fuentes de poder DC externas, cada voltaje de los DC-Link debe ser independiente una de la otra, de forma a cumplir el objetivo de un diseño modular. En la **Tabla 4.3** se muestran los criterios de diseño mas relevantes para la placa de potencia.

Parámetro	Valor	Unidad
Voltaje del DC-Link	200	V
Potencia máxima	2400	W
Frecuencia de operación	100	kHz

Tabla 4.3 Criterios de diseño para la etapa de potencia.

Uno de los objetivos utilizando celdas Puente-H es desarrollar un esquema que pueda ser implementado en una arquitectura multinivel utilizando celdas puente-H en cascada, el cual se caracteriza por tener dos o más circuitos Puente-H completo conectadas en serie. Cada celda que conforma al Puente-H se encuentra conectada de forma aislada, por lo que el diseño de un convertidor Puente-H multinivel en cascada se reduce al de un circuito en configuración puente completo. En la **Figura 4.13** se observa el esquema propuesto para el diseño de la placa de potencia para el esquema Puente-H completo.

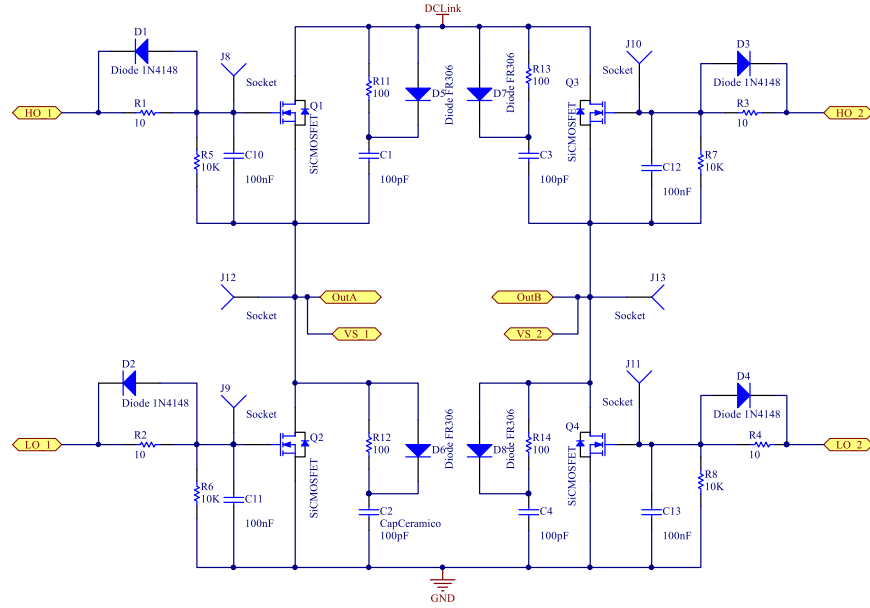


Figura 4.13 Esquema eléctrico del Puente-H basado en el dispositivo SiC-MOSFET.

En los apartados siguientes se detalla el proceso de diseño para cada parte constitutiva del Puente-H, haciendo especial énfasis en el procedimiento para el dimensionamiento de los componentes electrónicos.

4.2.3.1. Dimensionamiento del DC-Link. El nivel de voltaje del DC-Link se determina en base al voltaje que requiere la carga. En este caso, los cálculos se realizan considerando que el diseño pueda utilizarse en un esquema de dos niveles o multinivel, por tanto cada celda debe ser capaz entregar el voltaje requerido para ambos casos. El voltaje requerido puede determinarse mediante la ecuación 4.6.

$$V_{linea} = \sqrt{3} * V_{fase} = \sqrt{3} * 220 = 381 \text{ V} \quad (4.6)$$

Se seleccionará un voltaje para el DC-Link de 400 V, el valor del capacitor a ser utilizado para el DC-Link puede expresarse mediante la ecuación 4.7.

$$C = \frac{P_{nom}}{2 * \omega * V_{DC} * \Delta V_{DC}} \quad (4.7)$$

donde el valor de la potencia $P_{nom} = 2400 \text{ W}$, el voltaje sobre el capacitor posee un valor $V_{DC}=400 \text{ V}$, con una variación del 1 % en $\Delta V_{DC} = 4 \text{ V}$, resultando en un valor de capacitancia $C = 1194 \mu \text{ F}$.

4.2.3.2. Dispositivos de conmutación El dispositivo SiC-MOSFET seleccionado para el diseño es el CAS120M12BM2 fabricado por las firmas Wolfspeed/Cree. El dispositivo CAS120M12BM2 es un módulo de potencia que posee en un único encapsulado una topología de medio Puente-H, este módulo de carburo de silicio ofrece pérdidas muy bajas con una operación de alta eficiencia, además cuenta con una corriente de recuperación inversa de valor cero y corriente de cola de apagado de valor cero. El módulo permite diseñar sistemas compactos y ligeros, siendo este módulo de medio de Puente-H ideal para aplicaciones de APFs. En la **Tabla 4.4** se observa los parámetros más relevantes del dispositivo SiC-MOSFET seleccionado [61].

Parámetro	Símbolo	Valor	Unidad
Voltaje drenador - fuente	V_{DSmax}	1.2	kV
Voltaje puerta - fuente	V_{GSmax}	-10/+25	V
Corriente de drenador continuo	I_D	193	A
Pulso de corriente de drenador	$I_{D(pulse)}$	480	A
Corriente del diodo continuo	I_F	305	A
Temperatura de la junta	TJ_{max}	-40 to +150	°C
Disipación de potencia	P_D	925	W
Corriente de drenador para $V_{GS} = 0\text{ V}$	I_{DSS}	80-300	μA
Resistencia de canal en conducción	$R_{DS(on)}$	13-16	m Ω

Tabla 4.4 Parámetros eléctricos del SiC-MOSFET CAS120M12BM2 a 25 °C.

Con el fin de prevenir daños sobre el APF debido a transitorios de tensión que pudieran presentarse, se considera un margen de seguridad en los niveles de voltaje y corriente del 80 % para la selección de los dispositivos de conmutación, por lo tanto los niveles que deben soportar los componentes se calculan mediante las ecuaciones 4.8 y 4.9, respectivamente.

$$V_{DSmax} = 1,8 * V_{DC} = 1,8 * 400 = 720\text{ V} \quad (4.8)$$

$$I_{Dmax} = 1,8 * I_D = 1,8 * 8 = 14,4\text{ A} \quad (4.9)$$

Mediante los parámetros descritos en la **Tabla 4.4** se observa que el SiC-MOSFET CAS120M12BM2 cumple con los niveles de voltaje y corriente requeridos para el diseño.

4.2.3.3. Diseño térmico Uno de los puntos más importantes a considerar para llevar a cabo la implementación del convertidor Puente-H es lo referente al diseño térmico, para la realización de los cálculos referentes al diseño térmico es necesario determinar

la disipación de potencia durante el tiempo de encendido y el tiempo de apagado de los SiC-MOSFET, además de la potencia disipada en los instantes de tiempo en que el SiC-MOSFET permanece en conducción. La pérdida por conducción y las pérdidas por conmutación son dependientes de los niveles de voltaje y corriente manejados así como la frecuencia de conmutación y ciclo de trabajo de las señales de disparo. Las pérdidas por conducción se dividen pueden aproximar mediante la siguiente ecuación.

$$P_{CD} = V_{DS} * I_D = R_{DSon}(I_D) * I_D^2 \quad (4.10)$$

Mientras que las pérdidas por conmutación se divide en dos partes, siendo las mismas las pérdidas por conmutación durante las transiciones altas y las pérdidas por conmutación durante las transiciones bajas, dichas pérdidas se pueden estimar mediante las ecuaciones 4.11 y 4.12, respectivamente.

$$P_{S_{high}} = \frac{V_{DD} I_D}{2} t_r * f_s \quad (4.11)$$

$$P_{S_{low}} = \frac{V_{DD} I_D}{2} t_f * f_s \quad (4.12)$$

Los datos necesarios para el cálculo de las pérdidas se obtienen mediante las hojas del fabricante del SiC-MOSFET CAS120M12BM2 y se observan en la **Tabla 4.5**.

Parámetro	Símbolo	Valor	Unidad
Pérdidas de potencia, transición alta	E_{on}	1.2	mJ
Pérdidas de potencia, transición baja	E_{off}	0.25	mJ
Resistencia térmica entre el encapsulado y la junta	R_{thJCM}	0.135	°C/W

Tabla 4.5 Parámetros térmicos y de conmutación del SiC-MOSFET CAS120M12BM2.

Para los cálculos de pérdidas por conducción se considera una corriente $I_D = 8$ A y una resistencia $R_{DSon} = 16$ mΩ, resultando en una potencia disipada por conducción de valor $P_{CD} = 1,024$ W. Se considera una frecuencia de conmutación de valor $f_s = 100$ kHz para los cálculos de pérdidas por conmutación, resultando en una potencia disipada de valor $P_{S_{total}} = 8,96$ W, siendo ésta la suma de las potencias $P_{S_{high}}$ y $P_{S_{low}}$. Con los valores obtenidos para las pérdidas por conducción y conmutación se determinan las pérdidas totales del SiC-MOSFET, el cálculo de las pérdidas totales se observa en la ecuación 4.13 .

$$P_{total} = P_{CD} + P_{S_{total}} = 1,02 + 8,96 = 9,98W \quad (4.13)$$

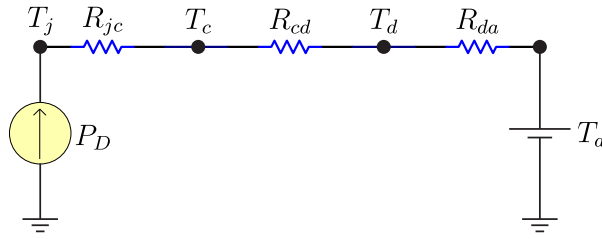


Figura 4.14 Modelado utilizado para los cálculos de disipación de potencia.

Para la elección del tipo de disipador se requiere calcular la resistencia térmica del disipador al ambiente R_{da} , el cual se calcula utilizando el siguiente el modelado observado en el esquema la **Figura 4.14**. La resistencia térmica del disipador al ambiente puede calcularse mediante la siguiente ecuación:

$$R_{da} = \frac{T_j - T_a}{P_D} - R_{jc} - R_{cd} \quad (4.14)$$

donde R_{da} representa la resistencia térmica entre el disipador y el ambiente, T_j es la temperatura de la juntura del semiconductor, T_a corresponde al valor de la temperatura ambiente, R_{jc} representa a la resistencia térmica de la juntura y el encapsulado, P_D la potencia disipada total por el dispositivo y finalmente R_{cd} corresponde a la resistencia térmica del encapsulado y el disipador.

De las hojas del fabricante se obtiene los valores de $R_{jc} = 0,135 \text{ } ^\circ\text{C/W}$, $T_{jmax}=150 \text{ } ^\circ\text{C}$, además, por regla general, R_{cd} se puede considerar entre $0.5 \text{ } ^\circ\text{C/W}$ y $1 \text{ } ^\circ\text{C/W}$ siempre y cuando la unión que se haga entre el componente y el disipador sea directa (sin mica aislante) y con silicona termoconductora. Si esta unión se efectúa con mica y sin silicona se tendrían resistencias térmicas de contacto entre $1 \text{ } ^\circ\text{C/W}$ y $2 \text{ } ^\circ\text{C/W}$. Si se requiere utilizar mica para aislar es posible aplicar silicona termoconductora, en cuyo caso la resistencia estaría comprendida entre $1 \text{ } ^\circ\text{C/W}$ y $1,5 \text{ } ^\circ\text{C/W}$. La temperatura ambiente se considerará de valor $T_a = 40 \text{ } ^\circ\text{C}$ y a la potencia disipada se le dará un margen de tolerancia del 80 % por encima del valor calculado anteriormente, resultando en un valor final de $P_D = 18 \text{ W}$. Con los valores mencionados se obtiene una resistencia térmica $R_{da} = 4,97 \text{ } ^\circ\text{C/W}$, con lo cual puede seleccionarse el disipador adecuado [62].

4.2.3.4. Dimensionamiento de la red de snubber De forma a mejorar el rendimiento de los circuitos de conmutación de los convertidores de potencia, se colocan circuitos de snubbers en los interruptores de potencia para suprimir los picos de voltaje y amortiguar la oscilación transitoria provocada por la inductancia del circuito cuando se abre un interruptor. El diseño adecuado de la red de snubber ofrece mayor fiabilidad, así como

mayor eficiencia y reducción de las interferencias EMI [63]. Entre muchos tipos de snubbers, el snubber constituido por un resistor, capacitor y diodo (RCD) es el circuito de amortiguación más ampliamente utilizado debido a su simplicidad. Para el diseño realizado en el presente trabajo se opta por la configuración RCD, en las secciones posteriores se detalla el diseño de la red de snubber [64]. En la **Figura 4.15** se observa el esquemático de la red de snubber RCD utilizado para cumplir con los objetivos de Tesis. El valor del capacitor utilizado para el circuito de snubber se determina mediante la siguiente ecuación:

$$C_s = \frac{L_M * I_{off}^2}{(V_{DSP2} - V_{DD})^2} \quad (4.15)$$

donde L_M representa el valor de la inductancia parásita, V_{DSP2} representa el voltaje pico en conducción directa sobre el capacitor C_s , I_{off} representa la corriente de apagado y V_{DD} es el valor del voltaje del DC-Link. Para el cálculo del capacitor C_s se consideran los valores observados en la **Tabla 4.6**.

Parámetro	Valor	Unidad
Inductancia parásita (L_M)	15	nF
Voltaje pico en conducción directa (V_{DSP2})	480	V
voltaje DC-Link (V_{DD})	400	V
Corriente de apagado (I_{off})	8	A

Tabla 4.6 Parámetros utilizados para el dimensionamiento de C_s .

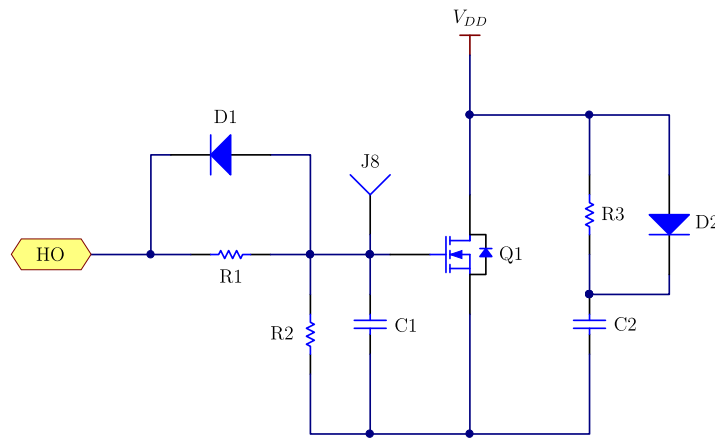


Figura 4.15 Esquema eléctrico del snubber RCD.

Con los valores mencionados se obtiene el valor del capacitor $C_s=150$ pF. Para el dimensionamiento del resistor para el circuito de snubber se utiliza la siguiente ecuación:

$$R_s \leq \frac{1}{2,3 * C_s * f_s} \quad (4.16)$$

Considerando una frecuencia de conmutación $f_s = 100$ kHz y el valor de C_s calculado anteriormente se obtiene el valor de $R_s = 28,9 \Omega$. El diodo utilizado en la red de snubber debe ser uno de conmutación rápida y que pueda manejar la corriente de operación del esquema Puente-H.

Como margen de seguridad adicional, se puede añadir una red de diodos y resistencia en el terminal gate del SiC-MOSFET, como se muestra en la **Figura 4.15**. El propósito de esta red es retrasar el encendido del dispositivo de potencia, sin afectar el apagado de los SiC-MOSFET, insertando un tiempo muerto adicional. La red resistor-diodo también es útil para reducir el sobrepico durante el tiempo de recuperación inversa del dispositivo. El controlador IR2110S es capaz de entregar una corriente de 2 A en sus salidas, para el disparo de los SiC-MOSFET, de modo a limitar el valor de dicha corriente, se utiliza un resistor $R_g = 47 \Omega$, el voltaje de disparo a la salida del terminal gate es $V_{GS} = 12$ V, resultando en una corriente de salida proporcionada por el IR2110S de valor $I_o = 250$ mA.

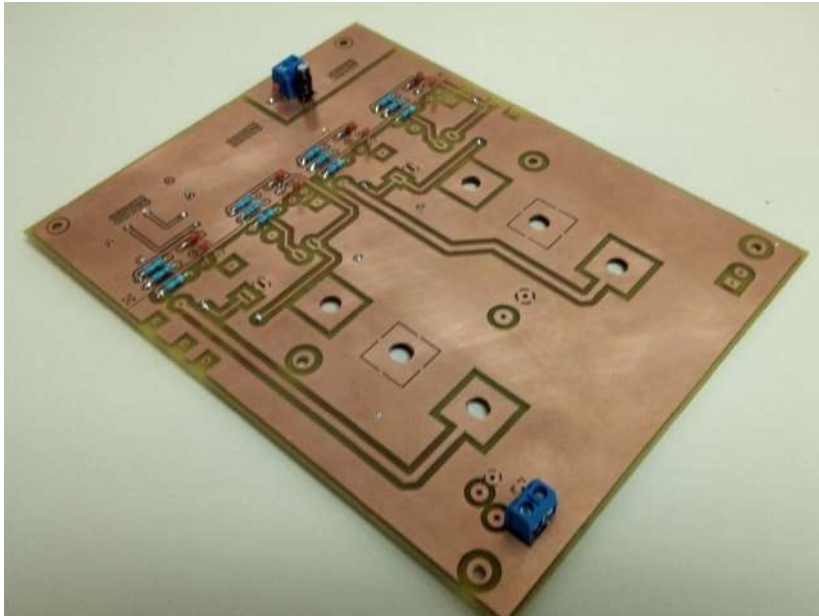


Figura 4.16 Placa de potencia para Puente-H basado en el dispositivo de potencia SiC-MOSFET.

De manera a reducir las oscilaciones y sobrepicos en las señales de disparos de los SiC-MOSFET se implementa un filtro paso bajos, el capacitor del filtro RC se implementa utilizando la capacitancia parásita de entrada C_{iss} del SiC-MOSFET, el cual posee un valor de $C_{iss} = 6,3 \text{ nF}$ y además el resistor conectado al terminal gate, posee un valor de $R_g = 47 \Omega$, resultando en una frecuencia de corte igual a $f_0 = 537,5 \text{ kHz}$.

En la **Figura 4.16** se observa una fotografía de la placa de potencia diseñada para el montaje de los SiC-MOSFET y sus circuitos de acondicionamiento de señales. En dicha placa se montan dos medio Puente-H con su propio DC-Link con la opción de ser implementado mediante el uso de capacitores o fuentes de DC independientes.

4.3. Circuito de acondicionamiento de señales medidas

Las señales eléctricas a ser procesadas como parámetros de entrada en los algoritmos de control implementados necesitan de una etapa previa de acondicionamiento de manera a cumplir con los niveles de voltaje requeridos por los conversores analógicos digitales (ADC) de los dispositivos que serán utilizados para efectuar el control en tiempo discreto del APF. La adquisición de las señales eléctricas se realiza mediante los sensores o transductores. El esquema de la adquisición de voltajes y corrientes es el que se muestra en la **Figura 4.17**.

Para la medición de los voltajes se utiliza un transformador de voltaje, en la implementación realizada en el presente trabajo se utiliza el transformador PCB VBN 1/1/6, cuyas principales características se muestran en la **Tabla 4.7** [65]. Para las mediciones de corriente se utiliza el transductor de corriente LEM LA-55P, cuyas principales características se aprecian en la **Tabla 4.8** [66].

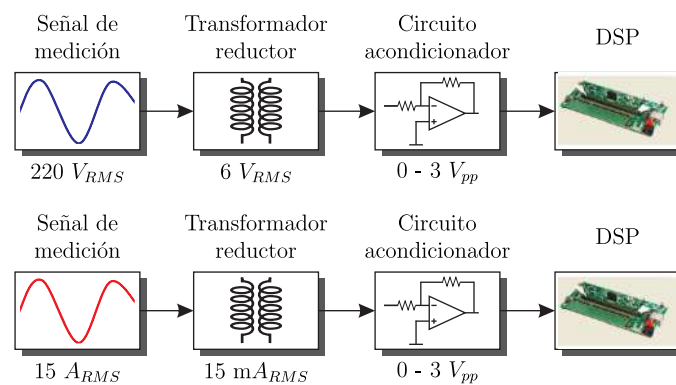


Figura 4.17 Esquema general de adquisición de señales.

Característica	Valor	Unidad
Voltaje de entrada	230	V
Rango de frecuencia	50 – 60	Hz
Voltaje de salida	6	V
Eficiencia	57	%
Potencia	1,0	VA
Voltaje sin carga (x factor)	1,31	adimensional

Tabla 4.7 Transformador de voltaje de montaje PCB VB 1,0/1/6.

Característica	Valor	Unidad
Ratio de conversión	1 : 1000	adimensional
Corriente nominal primario	50	A
Corriente nominal secundario	5	mA
Rango de medición	0 – 70	A
Voltaje de suministro	12 – 15	V

Tabla 4.8 Transductor de corriente LEM LA-55P.

4.3.1. Circuito de acondicionamiento para señales de tipo voltaje

Los periféricos ADCs de los dispositivos DSP operan dentro del rango de 0 V a 3 V, por lo tanto, es necesario una adaptación de los niveles de amplitud de las señales medidas al rango permitido por el DSP. Para acondicionar las señales analógicas de voltaje primeramente debe reducirse el nivel de la señal medida, para luego modificar el nivel de continua (offset) a un nivel de 1,5 V. El proceso de cambio de niveles y de offset se muestra en la **Figura 4.18**.

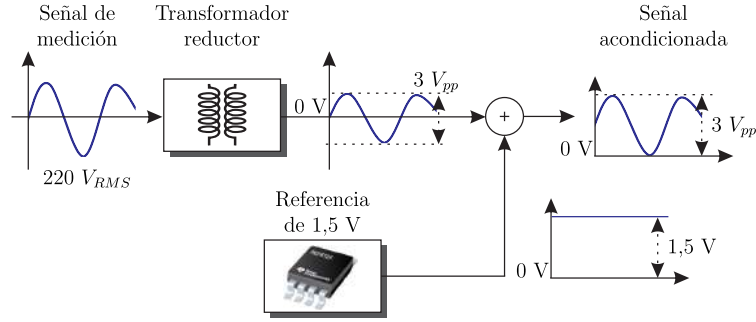


Figura 4.18 Acondicionamiento de señales tipo voltaje.

Para el diseño se optó por una configuración de entrada diferencial, para obtener mejores prestaciones en cuanto a inmunidad al ruido en modo común. La primera etapa del circuito acondicionador consta de dos amplificadores en configuración inversora, implementados mediante un amplificador operacional de bajo ruido OPA2277 [67]. La señal de entrada es aplicada a las entradas individuales de los amplificadores operacionales U1 y U2, los cuales están conectados en configuración inversora, logrando de esta manera una entrada tipo diferencial de voltaje. La segunda etapa consta de un amplificador seguidor de voltaje, cuya función es entregar un voltaje de referencia ajustable obtenido mediante el uso de una referencia de voltaje de valor a 1,5 V, utilizado para modificar el nivel de continua de las señales alternas provenientes a la etapa anterior. Finalmente, la tercera etapa está constituida por un amplificador diferencial, el cual recibe las señales provenientes de las etapas anteriores. En la **Figura 4.19** se observa el esquema eléctrico del circuito implementado para la realización del acondicionamiento de las señales de voltaje, el mismo consta de los bloques mencionados en apartados anteriores.

La función de transferencia del circuito se muestra en la siguiente ecuación.

$$V_o = \frac{R_2}{R_1} * \frac{R_7}{R_5} * V_{1A} - \left(1 + \frac{R_7}{R_5}\right) \left[\left(\frac{R_9}{R_9 + R_6}\right) * \frac{R_4}{R_3} * V_{1B} + \left(\frac{R_6}{R_6 + R_9}\right) * V_{ref} \right] \quad (4.17)$$

siendo el voltaje de entrada igual $V_i = V_{1A} - V_{1B}$. El dimensionamiento de los componentes se realizó de la siguiente manera; primeramente se determina la amplitud pico de salida del transformador reductor de voltaje, el cual posee un valor igual a:

$$V_p = V_{rms} * \sqrt{2} = 8,485 \text{ V} \quad (4.18)$$

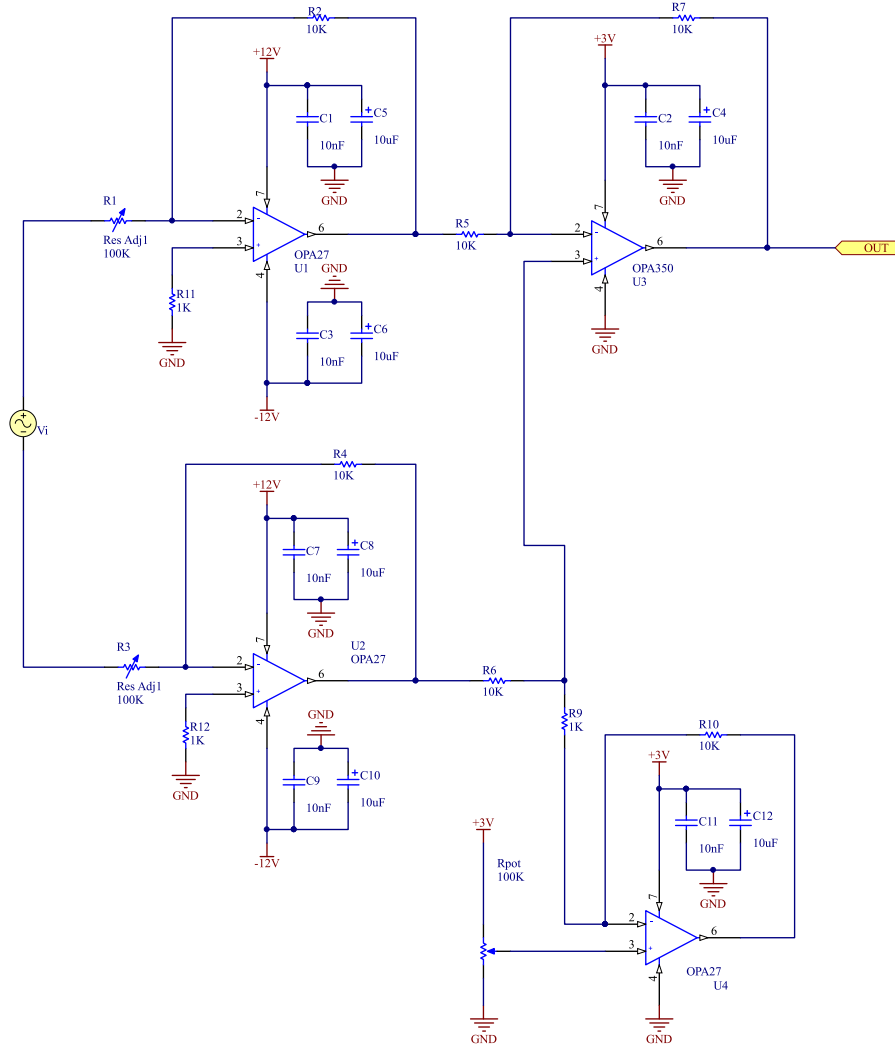


Figura 4.19 Esquemático del circuito utilizado para acondicionar las señales de voltaje.

El voltaje de salida deseado es de $3 V_{pp}$ con nivel de continua de 0 V, por lo que la ganancia de la primera etapa puede ajustarse a un valor igual a:

$$\frac{V_{o1}}{V_{1A}} = \frac{R_2}{R_1} = \frac{1,5}{8,485} = 0,176 \quad (4.19)$$

Los valores seleccionados para los resistores son $R_2 = 10 \text{ k}\Omega$ y $R_1 = 56,5 \text{ k}\Omega$. Análogamente se seleccionan los mismos valores para R_3 y R_4 . Por otro lado, para los resistores

de la segunda y tercera etapa se seleccionan valores iguales, siendo los mismos $R_5 = 10\text{ k}\Omega$, $R_6 = 10\text{ k}\Omega$, $R_7 = 10\text{ k}\Omega$, $R_9 = 10\text{ k}\Omega$ y $R_{10} = 10\text{ k}\Omega$. Finalmente, la ecuación resultante del circuito de acondicionamiento queda expresada por la ecuación 4.20.

$$V_o = 0,176 * (V_{1A} - V_{1B}) + 1,5V = 0,176 * V_i + 1,5V \quad (4.20)$$

Los resistores R_{11} y R_{12} se utilizan para disminuir el efecto de las corrientes de desbalance a las entradas del amplificador operacional. Dichos resistores pueden determinarse mediante la siguiente expresión:

$$R_{11} = \frac{R_1 * R_2}{R_1 + R_2} \quad (4.21)$$

El valor utilizado para los resistores es $R_{11} = 8,2\text{ k}\Omega$ y $R_{12} = 8,2\text{ k}\Omega$. Por otro lado, a cada terminal de alimentación de los amplificadores operacionales se coloca un filtro RC de modo a estabilizar los voltajes de alimentación y proveer de mayor inmunidad a ruidos presentes en las mismas. En la fotografía de la **Figura 4.20** se observa la placa diseñada para el circuito de acondicionamiento de señales de tipo voltaje.

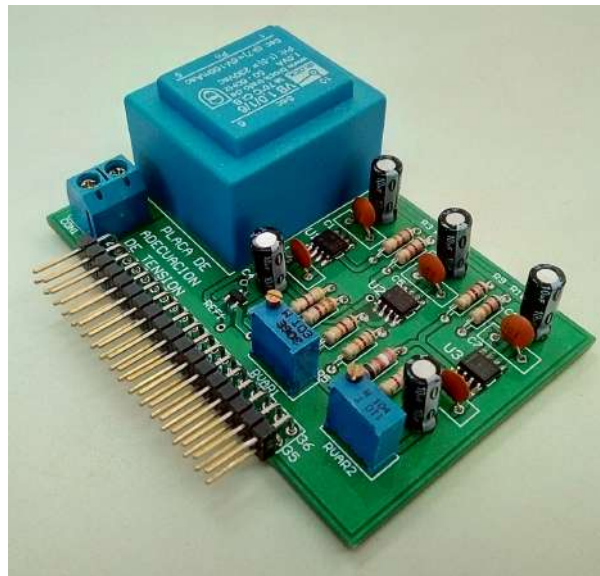


Figura 4.20 Placa del circuito de acondicionamiento de voltaje.

4.3.2. Circuito de acondicionamiento para señales de tipo corriente

En la **Figura 4.21**, se muestra el esquemático del circuito correspondiente a la etapa de conversión de corriente a voltaje, el cual es utilizado para acondicionar las señales de los sensores de corriente de efecto Hall. La salida de este circuito está conectada directamente a la entrada de los conversores ADC de la placa de control basada en el DSP TMS320F28335 [68].

Tal como puede apreciarse, el esquema diseñado posee un convertidor de corriente a voltaje basado en el amplificador de transimpedancia OPA 690 fabricado por la empresa Texas Instruments. En esta configuración, la sensibilidad del convertidor está determinado por el valor de R_f que se muestra en el esquemático. Por otro lado, la capacitancia C_f que se muestra en el esquema permite compensar el efecto del ruido de alta frecuencia introducido al convertidor, haciendo que la posición del polo en lazo cerrado quede definido mediante la siguiente ecuación de diseño:

$$\frac{1}{2\pi R_f C_f} = \sqrt{\frac{GBP}{4\pi R_f C_d}} \quad (4.22)$$

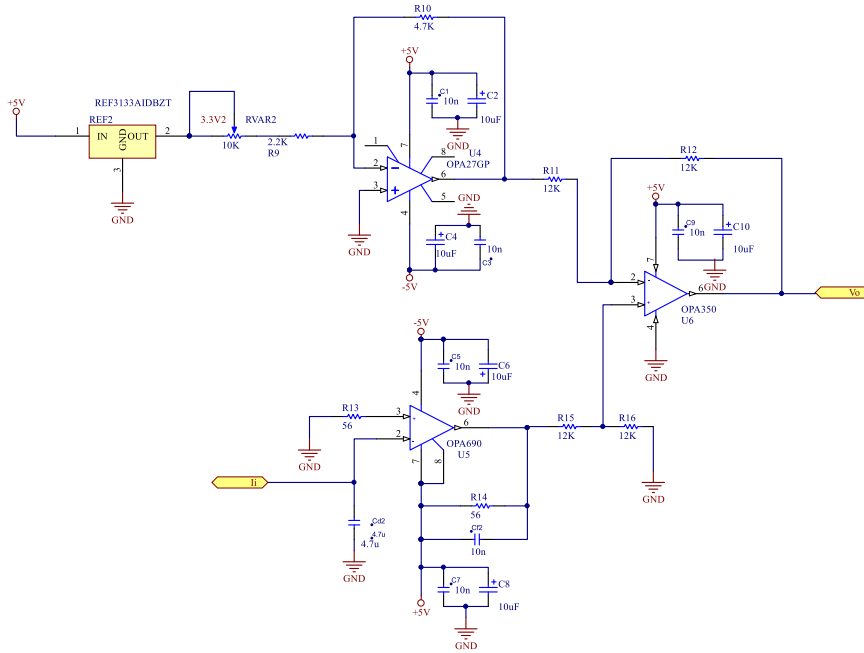


Figura 4.21 Esquemático del convertidor I - V utilizado para acondicionar las señales de los sensores de efecto Hall.

La ecuación 4.22 proporciona un ancho de banda (f_{-3dB}) aproximadamente igual a:

$$f_{-3dB} = \sqrt{\frac{GBP}{4\pi R_f C_d}} \quad (4.23)$$

donde GBP representa el producto ancho de banda por ganancia del amplificador operacional OPA 690 [69]. Teniendo en cuenta las ecuaciones de diseño (4.22) y (4.23), y considerando una tensión de salida deseada de $\pm 1,5$ V, para un rango de corriente de entrada de ± 25 mA, es posible determinar el valor de la resistencia de realimentación de valor $R_f = 56 \Omega$. Esta resistencia de realimentación calculada permite generar un voltaje máximo a su salida de 1,5 V cuando a la entrada se tiene 25 mA de corriente, sin embargo la corriente máxima que puede sacar el sensor es de 50 mA, lo que limita el uso de la placa en caso de que se quiera trabajar con corrientes mayores. Con el fin de paliar esta situación se coloca un potenciómetro de precisión 1 k Ω en lugar de la resistencia R_f permitiendo así que la placa sea calibrada fácilmente según la precisión con la que se quiera trabajar. Una vez determinado el valor de la resistencia R_f , y conociendo los requisitos de ancho de banda es posible determinar los valores de los capacitores implícitos en el diseño realizado $C_d = 4,7 \mu F$ y $C_f = 10$ nF, respectivamente.

Por otra parte, el circuito consta de amplificador inversor basado en el circuito integrado OPA27 fabricado por la empresa Texas Instruments [70]. La función de este circuito es la de proveer una señal de referencia constante de amplitud 1,5 V sobre la cual irá montada la señal acondicionada proveniente del sensor de corriente. el voltaje de referencia es proveído por una referencia de voltaje de valor 3,3 V basado en circuito integrado REF3303 fabricado por la empresa Texas Instruments. Para lograr que la amplitud del voltaje de entrada se reduzca a 1,5 V se evalúa la función de transferencia del amplificador:

$$\frac{V_0}{V_i} = -\frac{R_2}{R_1} \quad (4.24)$$

Si $R_2 = 2,2$ k Ω es posible determinar el valor de R_1 considerando una tensión de entrada de 3,3 V y una de salida de 1,5 V, de donde se obtiene que $R_1 = 4,84$ k Ω . Como no es un valor de resistencia disponible comercialmente se opta por utilizar un potenciómetro precisión de 10 k Ω que permita el ajuste fino de la ganancia. Finalmente, las salidas de ambos amplificadores son conectados a un amplificador en configuración sumador inversor, calibrado de tal forma a que si la corriente de salida del sensor de efecto Hall es cero, la salida del amplificador de tensión sea de 1,5 V. De esta manera la tensión a la salida del amplificador operacional fluctúa alrededor de 1,5 V. Esta etapa se implementa mediante un amplificador operacional de la serie OPA 350, donde el voltaje de alimentación de este dispositivo es de 5 V.

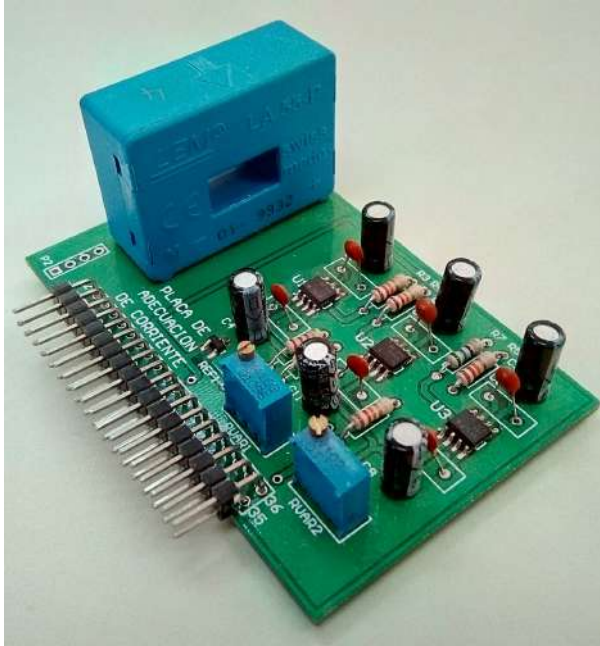


Figura 4.22 Placa del circuito de acondicionamiento de corriente.

El operacional OPA 350 proporciona un rango de variación de la señal compatible con las entradas del conversor ADC de la placa de control. En la **Figura 4.22** se observa una fotografía de la placa diseñada para el circuito de acondicionamiento de señales de tipo corriente.

4.4. Conclusiones del capítulo

En el presente capítulo se presentó el proceso de diseño de los diferentes circuitos necesarios para la implementación de la celda Puente-H, incluyendo el circuito de control, la placa de potencia para los SiC-MOSFET así como los circuitos de medición y acondicionamiento de señales. Para el diseño de cada circuito se siguió las recomendaciones presentes en las guías de diseño y notas de aplicación provistas en las hojas del fabricante.

Además, se realizaron consideraciones de manera a reducir las fuentes de ruido que pudiesen restar eficiencia al sistema. Entre estos circuitos de compensación están incluidas las redes de snubber utilizado en los interruptores de potencia, los filtros utilizados en las fuentes de poder de los amplificadores operacionales y filtros RC en las etapas de procesamiento de señales PWM.

CAPÍTULO 5

RESULTADOS EXPERIMENTALES DEL ESQUEMA PUENTE-H BASADO EN SiC-MOSFET

5.1. Introducción

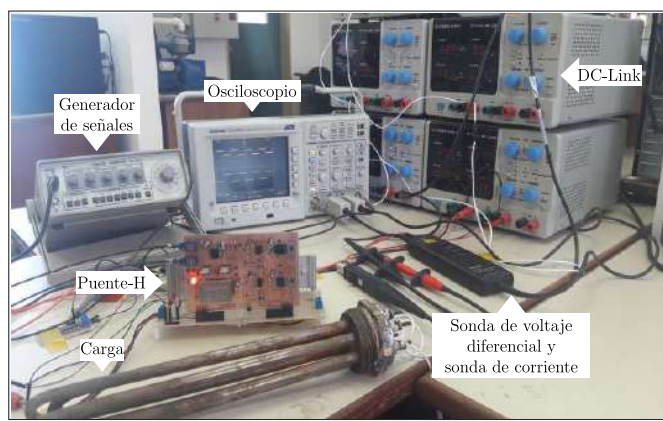
En esta sección se realiza una discusión de los resultados experimentales obtenidos con la bancada experimental diseñada, consistente en una celda Puente-H basado en dispositivos tipo SiC-MOSFET. Se realizaron mediciones en los circuitos de acondicionamiento de señales para los disparos de cada SiC-MOSFET, verificando la ausencia de oscilaciones, interferencias o sobrepicos en las mismas, además, otro aspecto importante es la verificación de los tiempos muertos entre las señales de manera a evitar los cortocircuitos entre los terminales del DC-Link. Para la etapa de control se requiere unas señales de disparos PWM complementarias en la cual no existan interferencias o sobrepicos y que posea los niveles de amplitud necesarios para el disparo de cada SiC-MOSFET.

De modo a cuantificar la eficiencia de las celdas Puente-H, se procede a realizar mediciones de voltajes y corrientes entregados por los SiC-MOSFET, además de medir los tiempos de subida (t_r) y bajada (t_f) de las señales V_{DS} e I_D , ya que los mismos son los responsables de generar el solapamiento de las señales V_{DS} e I_D generando pérdidas

de potencia y disminuyendo la eficiencia del sistema. Con los datos obtenidos es posible cuantificar la eficiencia del sistema para diferentes valores de potencia entregada a la carga R_L y con diferentes frecuencias de conmutación f_s .

5.2. Plataforma experimental del convertidor Puente-H

En la **Figura 5.1 (a)**, se observa el esquema del sistema experimental implementado para cuantificar la eficiencia, rendimiento y características de conmutación de los dispositivos SiC-MOSFET.



(a) Configuración de los equipos de medición.



(b) Controlador Puente-H.

Figura 5.1 Circuitos de transmisión y recepción por fibra óptica.

En la **Figura 5.1 (b)** se observan los bloques del sistema, el cual lo integran los circuitos receptores de fibra óptica, acondicionamiento de señales de disparo, controladores de circuitos Puente-H basados en SiC-MOSFET y las fuentes de alimentación con aislamiento galvánico. Los SiC-MOSFET se encuentran montados en otra placa de forma a lograr una estructura modular mediante la interconexión independiente de cada celda Puente-H. El PCB de cada circuito posee puntos de medición para la visualización de todas las señales relevantes.

Para las mediciones se utilizó una carga tipo resistencia-inductor (RL) con $R = 20 \, \Omega$ y $L = 10 \, \mu\text{H}$, ajustando el valor del DC-Link mediante el uso de fuentes de alimentación de DC para entregar diferentes valores de potencia de salida a la carga. Las mediciones para potencias de salida de 1 kW y 0,5 kW se realizaron utilizando diferentes frecuencias de operación en un rango entre 50 kHz y 200 kHz mediante el uso de un generador de señales. La corriente de salida I_o y la corriente de drenador I_D se miden utilizando una sonda de corriente, el voltaje V_{DS} y el voltaje V_o se miden utilizando una sonda diferencial de voltaje.

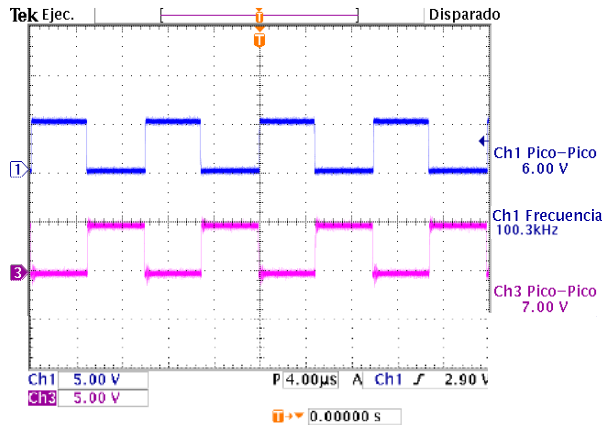
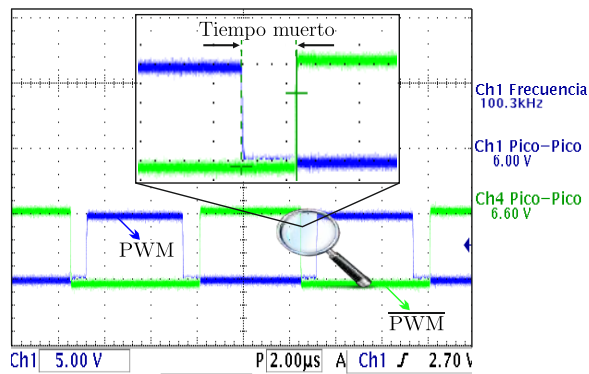
5.3. Resultados experimentales

Las mediciones de eficiencia y pérdida de generadas en las celdas Puente-H se realizan de forma a validar la eficiencia de los dispositivos SiC-MOSFET en aplicaciones de alta frecuencia, en comparación con el modelo de pérdida discutido en las secciones anteriores y basado en los datos proporcionados por las hojas del fabricante.

5.3.1. Medición de las señales PWM y tiempo muerto

Primeramente se verifica las señales recibidas por los receptores de fibra óptica, y su posterior acondicionamiento de señales. En la **Figura 5.2 (a)** se observa las señales de salida PWM y $\overline{\text{PWM}}$ provenientes del acondicionador de señales. Como puede observarse, las señales PWM y $\overline{\text{PWM}}$ no presenten sobrepicos u oscilaciones, debido principalmente a la acción del filtro RC paso bajo, aunque si presenta una ligera atenuación en la amplitud debido al paso a través del filtro.

Las señales PWM y $\overline{\text{PWM}}$ obtenidas del circuito de acondicionamiento pasan al bloque encargado de generar los complementos de cada rama del Puente-H y además generar el tiempo muerto de las mismas, las cuales se observan en la **Figura 5.2 (b)** que muestra las señales PWM y $\overline{\text{PWM}}$. El valor del tiempo muerto medido es de $1 \, \mu\text{s}$ para una frecuencia de conmutación de 100 kHz. El tiempo muerto se obtiene mediante un circuito compuesto por puertas lógicas 74HC86 y elementos resistivos y capacitivos.

(a) Señales de salida PWM y $\overline{\text{PWM}}$ acondicionadas.(b) Tiempo muerto entre señales PWM y $\overline{\text{PWM}}$.**Figura 5.2** Señales PWM y $\overline{\text{PWM}}$ acondicionadas.

5.3.2. Mediciones de las señales de disparo V_{GS}

Las señales PWM complementarias generadas por los circuitos de control implementados mediante el circuito integrado IR2110S se envían a cada SiC-MOSFET para su disparo. Cada circuito integrado IR2110S controla una rama del Puente-H. En la **Figura 5.3** se observa las señales de disparo, las cuales presentan un tiempo de retraso durante las transiciones bajas y altas, estos tiempos se deben a las capacitancias parásitas de entrada parásita de la SiC-MOSFET, las cuales junto con la resistencia R_G forman un filtro paso bajo.

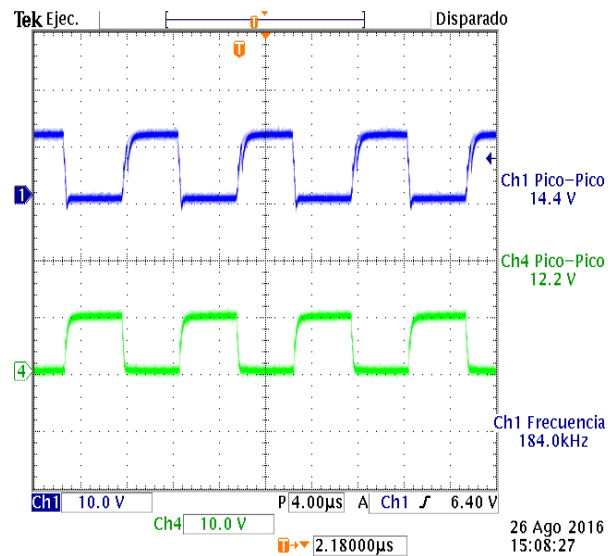


Figura 5.3 Señales complementarias de disparo V_{GS} para una rama del Puente-H.

5.3.3. Medición de las señales de salida V_o e I_o

El voltaje de salida (V_o) y la corriente de salida (I_o) se muestran en la **Figura 5.4**. Se observa que la señal I_o presenta una transición más lenta entre niveles alto y bajo en comparación con V_o debido a la naturaleza inductiva de la carga. Se observa que las señales de salida no presentan sobrepicos u oscilaciones importante, por tanto su respuesta es la esperada para el tipo de carga utilizado.

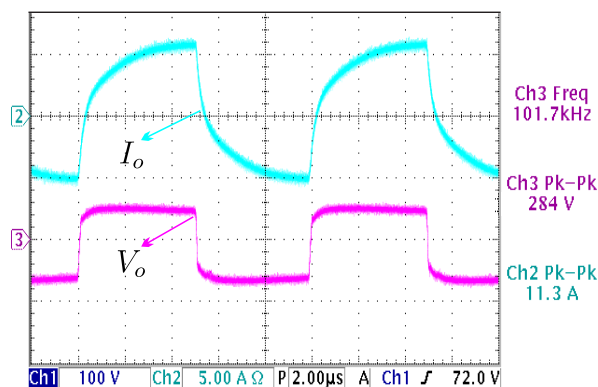
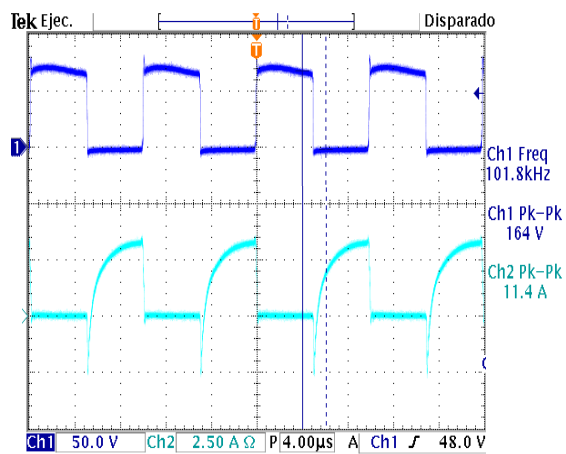


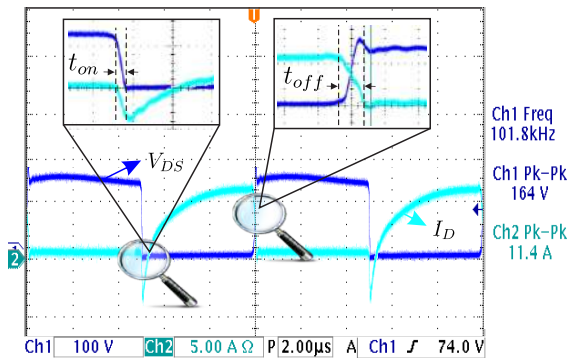
Figura 5.4 Señales del voltaje de salida (V_o) y la corriente de salida (I_o) entregada a la carga RL para una potencia de 1 kW (Ch1: voltaje de salida –100 V/div; Ch2: corriente de salida –5 A/div).

5.3.4. Mediciones de las señales V_{DS} e I_D

Para analizar las características de conmutación es necesario realizar mediciones de las señales de corriente I_D y el voltaje V_{DS} sobre el SiC-MOSFET. Son deseables características tales como reducción de sobrepaso u oscilaciones. En la **Figura 5.5 (a)**, se observan las señales de voltaje V_{DS} e I_D . En la **Figura 5.5 (b)** se observa la presencia de superposiciones en las señales I_D y V_{DS} , los instantes de tiempo en los que se presentan la superposición están etiquetados como t_{on} y t_{off} dentro de la figura, con valores medidos de 76 ns y 80 ns respectivamente. Los tiempos t_{on} y t_{off} son los principales causantes de las pérdidas por conmutación en los dispositivos de potencia.



(a) Señales I_D y V_{DS} en el SiC-MOSFET.



(b) Superposición entre señales I_D y V_{DS} .

Figura 5.5 Características de conmutación del SiC-MOSFET para 1 kW.

5.3.5. Cálculo de las pérdidas de potencia y la eficiencia

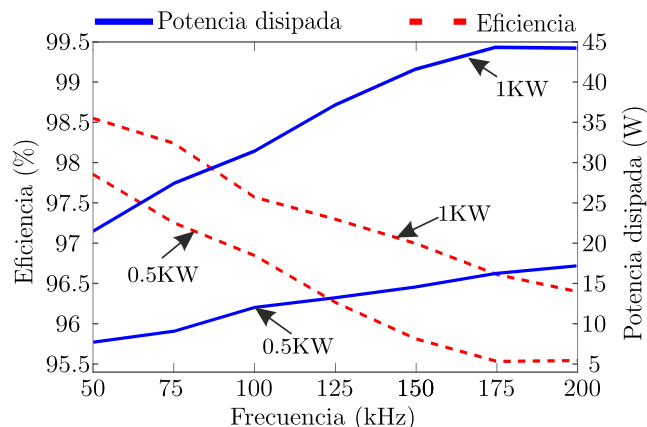


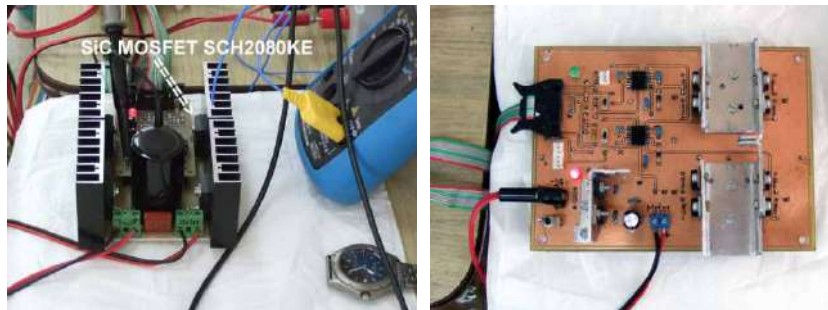
Figura 5.6 Eficiencia (líneas rojas) y pérdidas de potencia (líneas azules) en función a la frecuencia de conmutación.

Para cuantificar las pérdidas del diseño de la celda Puente-H con SiC-MOSFET y de forma a determinar la eficiencia del mismo, se procede a realizar mediciones para diferentes valores de frecuencia de conmutación. En la **Figura 5.6** se observa los resultados de las mediciones realizadas. Además, se han realizado algunas pruebas experimentales variando la potencia de salida (0,5 kW y 1 kW), así como la frecuencia de conmutación (de 50 kHz a 200 kHz). De acuerdo con los resultados obtenidos en la **Figura 5.6**, las pérdidas totales aumentan con la frecuencia mientras que las pérdidas de conducción disminuyen con el aumento de la frecuencia, a su vez, las pérdidas por conmutación aumentan linealmente con la frecuencia. Se observa que la eficiencia es más del 95,5 % para todos los casos analizados, siendo a 50 kHz la mayor eficiencia 98,5 % para una potencia de salida de 1 kW.

5.4. Comparación entre dispositivos de potencia

Se realizó un análisis comparativo entre semiconductores SiC-MOSFET y Si-MOSFET utilizando un circuito Puente-H básico aplicado a una carga tipo RL. Se realizaron pruebas a frecuencias PWM de 19,5 kHz, 78,1 kHz y 156 kHz y los ciclos de trabajo fueron 50 %, 75 % y 25 %. Las formas de onda del controlador del Puente-H fueron observadas por un osciloscopio, y las señales de voltajes y corrientes obtenidas mediante el uso de sondas diferenciales de voltaje y sondas de corriente.

5.4.1. Descripción de la plataforma experimental



(a) Plataformas de pruebas para SiC-MOSFET. (b) Plataformas de pruebas para Si-MOSFET.

Figura 5.7 Plataformas experimental de pruebas para SiC-MOSFET y Si-MOSFET.

El hardware que permite evaluar la eficiencia contiene los componentes, dsPIC (dsPIC33FJ128MC802), controlador de motor IR2110PBF, SiC MOSFET (SCH2080KE), Si MOSFET (IRLB3034PBF) y rectificadores (MBR20200CT); motor lineal, fuente de alimentación DC, y una PC. La plataforma experimental para la realización de las mediciones con los dispositivos SiC-MOSFET y Si-MOSFET se observan en las fotografías de la **Figura 5.7 (a)** y de la **Figura 5.7 (b)**, respectivamente.

Parámetro	Unidad	SiC-MOSFET SCH2080KE	Si-MOSFET IRLB3034PBF
Voltage de Ruptura Dreno-Fuente	[V]	1200	40
Resistencia Estática Dreno-Fuente	[mΩ]	80	1.4
Corriente Continua del Dreno	[A]	40	195
Máxima potencia de Disipación	[W]	262	375
Tiempo de retardo Turn-On	[ns]	37	65
Tiempo de subida	[ns]	33	827
Tiempo de retardo Turn-Off	[ns]	70	97
Tiempo de bajada	[ns]	28	355
Capacitancia de entrada	[pF]	1850	10315

Tabla 5.1 Especificaciones técnicas del SiC-MOSFET y Si-MOSFET.

Algunas especificaciones importantes de SiC-MOSFET y Si-MOSFET se enumeran en la **Tabla 5.1**. Existen diferencias significativas en la tensión entre drenador y fuente, corriente del drenador, tiempo de subida, tiempo de caída, y la capacidad parásita de entrada. Los SiC-MOSFET tienen mayor ventaja para aplicaciones de alta tensión y frecuencia elevada debido a sus niveles eléctricos de operación superiores y su capacitancia parásita de entrada inferior, lo cual convierte en un dispositivo con mejores prestaciones para aplicaciones de elevada frecuencia de conmutación.

5.4.2. Comparativa entre la corriente y la temperatura en el Puente-H

La corriente entregada a la carga por el controlador del esquema Puente-H se observa en la **Figura 5.8 (a)**, en la misma se relaciona la corriente entregada con a la frecuencia de conmutación y el ciclo de trabajo de la señal PWM, por otro lado, la temperatura alcanzada por los dispositivos de conmutación SiC-MOSFET y Si-MOSFET se observa en la **Figura 5.8 (b)**, de igual manera en relación a la frecuencia de conmutación y el ciclo de trabajo de la señal PWM. Bajo las mismas condiciones de prueba, se observa que la corriente entregada por el Si-MOSFET así como la temperatura alcanzada por el mismo es mayor comparativamente a la alcanzada por el dispositivo SiC-MOSFET. Se observa que para una frecuencia $f_s = 156$ kHz y ciclo de trabajo de valor $D(\%) = 25\%$ la corriente I_D posee un valor de 1.1 A y 2.0 A para el dispositivo SiC-MOSFET y Si-MOSFET, respectivamente. La temperatura presentada bajo esas condiciones de operación fueron de 39°C y 76°C para el SiC-MOSFET y Si-MOSFET, respectivamente. Estos resultados muestran que para aplicaciones que requieren alta potencia, el SiC-MOSFET presenta mejores prestaciones comparativamente a los dispositivos Si-MOSFET.

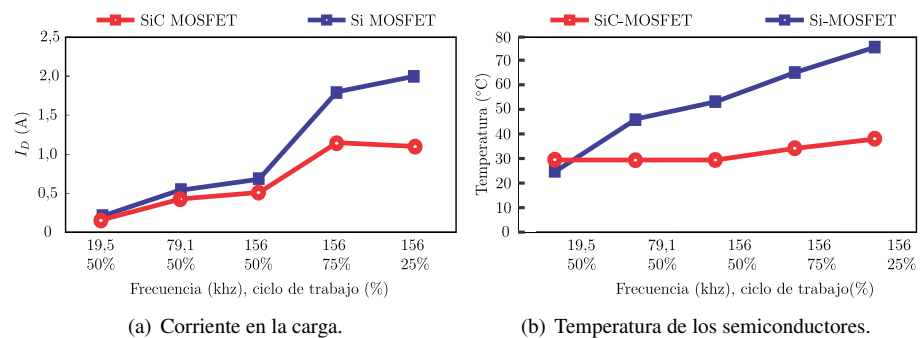


Figura 5.8 Corriente y la temperatura en el Puente-H basado en SiC-MOSFET y Si-MOSFET.

5.4.3. Señales de entrada y salida PWM del controlador Puente-H

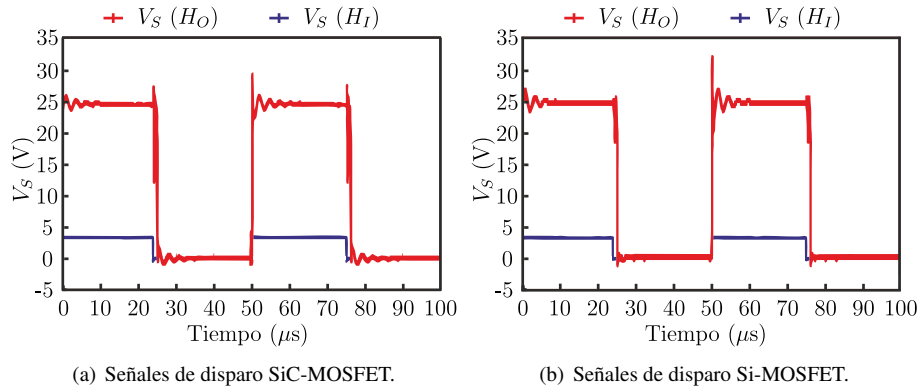
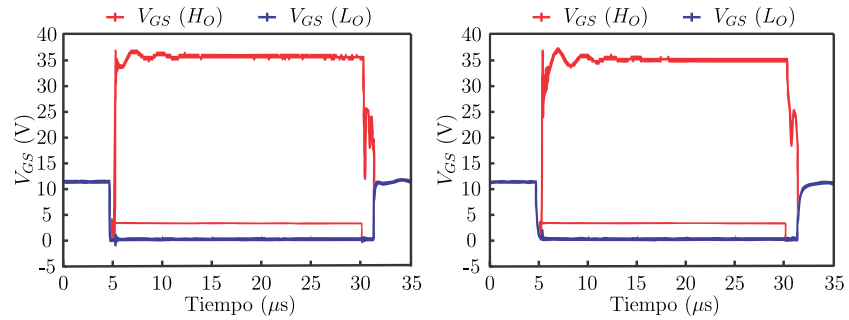


Figura 5.9 Señales de disparo para el SiC-MOSFET y Si-MOSFET. Frecuencia $f_s = 20\text{kHz}$.

En la **Figura 5.9 (a)** se observa las señales PWM a la entrada del controlador IR2110S, $V_S(H_I)$, así como la señal PWM a salida del controlador IR2110S, $V_S(H_O)$, correspondiente al lado alto de una rama del Puente-H para el caso del dispositivo SiC-MOSFET. En la **Figura 5.9 (b)** se observa las mismas señales PWM, pero para el caso del dispositivo Si-MOSFET. Las mediciones fueron realizadas bajo las mismas configuraciones de voltaje, y según lo observado en las formas de onda de la **Figura 5.9**, existen sobrepicos en las señales durante las transiciones entre los estados bajo y alto, el sobrepico medido para el caso del dispositivo SiC-MOSFET presenta un valor máximo de 20 %, dicho sobrepico se presenta durante el disparo del SiCMOSFET superior, mientras que para el dispositivo Si-MOSFET la amplitud máxima del sobrepico es de 32 %, e igualmente el sobrepico se presenta durante el disparo del dispositivo.

5.4.4. Señales de salida del controlador de Puente-H

En la **Figura 5.10 (a)** se observa los voltajes de las señales complementarias de disparo, medidas a la salida del controlador IR2110S, correspondientes al lado alto (H_O) y lado bajo (L_O) referidas a GND, para el SiC-MOSFET, por otro lado, en la **Figura 5.10 (b)** se observan las señales de disparo obtenidas con el dispositivo SI-MOSFET. Según lo observado en las formas de onda de la **Figura 5.10**, existen pequeños sobrepicos en las señales durante las transiciones entre los estados bajo y alto, el sobrepico medido para el caso del dispositivo SiC-MOSFET es de valor igual a 8 %.



(a) Señales de disparo para el SiC-MOSFET. (b) Señales de disparo para el Si-MOSFET.

Figura 5.10 Señales de disparo para el SiC-MOSFET y Si-MOSFET. Frecuencia $f_s = 20\text{kHz}$.

Para el caso del dispositivo Si-MOSFET la amplitud del sobrepico presenta un nivel similar al medido en el dispositivo SiC-MOSFET, con un valor de 8,2 %. En ambos dispositivos se observan oscilaciones con una frecuencia igual a $f = 400\text{ kHz}$, la cual es posible atenuar mediante filtros pasivos RC.

5.5. Conclusiones del capítulo

Los resultados experimentales muestran que las pérdidas de conmutación aumentan con la frecuencia mientras que las pérdidas por conducción disminuyen con la frecuencia. Las pérdidas por conmutación en su transición de bajo a alto representan el 92 % de pérdidas, mientras que la transición de alto a bajo representa sólo el 2 %. Las pérdidas por conducción representaron 6 % de las pérdidas totales. El diseño responde apropiadamente dentro del rango de frecuencias de operación entre 50 kHz y 200 kHz, produciendo una eficiencia comprendida entre el 98 % y 95 %.

Teniendo en cuenta el análisis de los resultados experimentales obtenidos, encontró diferencia importante entre los dispositivos SiC-MOSFET y Si-MOSFET referentes a la temperatura alcanzada por los mismos bajo similares condiciones de operación, aumentando la temperatura a mayores frecuencias de conmutación. La temperatura alcanzada por SiC-MOSFET fue de 39 °C, mientras que la temperatura alcanzada por el Si-MOSFET fue de 76 °C, para el caso de una frecuencia de conmutación igual a 156 kHz y ciclo de trabajo del 25 %. El incremento de la corriente de drenador y el aumento de temperatura a frecuencias elevadas de conmutación se considera que es debido a la superposición existente entre las señales del voltaje V_{DS} y la corriente I_D presentes durante las transiciones entre los niveles alto y bajo de las mismas. En lo referente a frecuencia de operación, se verifica

que ambos dispositivos son capaces de operar a elevadas frecuencias, hasta 150 kHz para los experimentos realizados, sin embargo se constata que la disipación térmica es mayor en el si-MOSFET, por lo cual se prefiere el uso de los dispositivos SiC-MOSFET para la aplicación de APFs.

CAPÍTULO 6

CONCLUSIONES Y TRABAJOS FUTUROS

Esta Tesis de Maestría ha abordado el estudio de factibilidad del diseño e implementación de dispositivos convertidores de potencia basados en tecnologías SiC-MOSFET para aplicaciones orientados a la electrónica de potencia como ser los filtros activos de potencia, conversores matriciales, circuitos inversores para el control de motores y aplicaciones de configuraciones multinivel de los mismos.

Mediante las simulaciones y mediciones realizados con la plataforma experimental desarrollada se concluye que la eficiencia de estos dispositivos SiC-MOSFET es muy elevada, lográndose obtener eficiencias del orden del 95 % al 98 % dependiendo de la frecuencia de conmutación empleada, además a diferencia de otros dispositivos de potencia tradicionales los SiC-MOSFET pueden operar dentro de un rango de frecuencias considerablemente superior con un mínimo de pérdidas de potencia debido principalmente a las características eléctricas de los mismos, como ser la baja capacitancia de entrada y resistencias internas bajas. Las principales contribuciones y conclusiones se resumen a continuación:

- Se realizó un análisis matemático de las pérdidas de potencia y eficiencia de diseños basados en tecnología SiC-MOSFET.
- Mediante modelos de simulación proveídos por los fabricantes se logró obtener resultados simulados, los cuales mediante los cálculos teóricos y los resultados experimentales se lograron su validación.
- Con los resultados experimentales obtenidos se logró el desarrollo de un diseño para un convertidor Puente-H completo de arquitectura modular capaz de operar en configuraciones multinivel a elevadas frecuencias de conmutación
- Los resultados obtenidos han dado como resultado varios artículos en revistas, capítulos de libro y artículos en conferencia. La **Tabla 6.1** contiene un resumen de los logros obtenidos durante el desarrollo del trabajo.

Producción/Actividad	Número
Artículos en revista científica	1 enviado
Artículos de conferencia	4
Participación en proyectos de I+D	1
Difusión de resultados	1

Tabla 6.1 Resumen de los logros obtenidos durante el desarrollo de la Tesis de Maestría.

6.1. Trabajos futuros

Como trabajo futuro queda el montaje final de la plataforma multinivel utilizando las celdas Puente-H modulares, y posteriormente realizar las pruebas con diferentes esquemas de control, principalmente esquemas de control basados en el control predictivo para su posterior validación experimental de la eficiencia de los mismos, cuantificados en su capacidad de lograr los objetivos propuestos de reducción de armónicos, compensación de potencia reactiva y eliminación de corrientes en el neutro. Con los objetivos propuestos se busca:

- Extender el estudio a otras tecnologías de dispositivos semiconductores de potencia.
- Desarrollar nuevos algoritmos de control orientados a mejorar la eficiencia del sistema.

- Investigar nuevas topologías de diseño de hardware.
- Investigar nuevas tecnologías referentes a dispositivos de procesamiento.
- Y finalmente realizar aportes significativos dentro del área de estudio en el que se engloba el presente trabajo.

En la **Figura 6.1** se observa el esquema final a ser implementado para su aplicación en filtros activos de potencia multinivel. Cabe aclarar que el dispositivo controlador puede ser implementado de varias maneras, una de ellas, como fue mencionado en apartados anteriores mediante el DSP TMS320F28335 de la firma Texas Instruments y además también es posible utilizar el Compac Rio de la firma National Instruments el cual opera utilizando la plataforma LabView y pone a disposición de los usuarios módulos de adquisición de señales para voltaje y corrientes, así como módulos de expansión para salidas digitales.

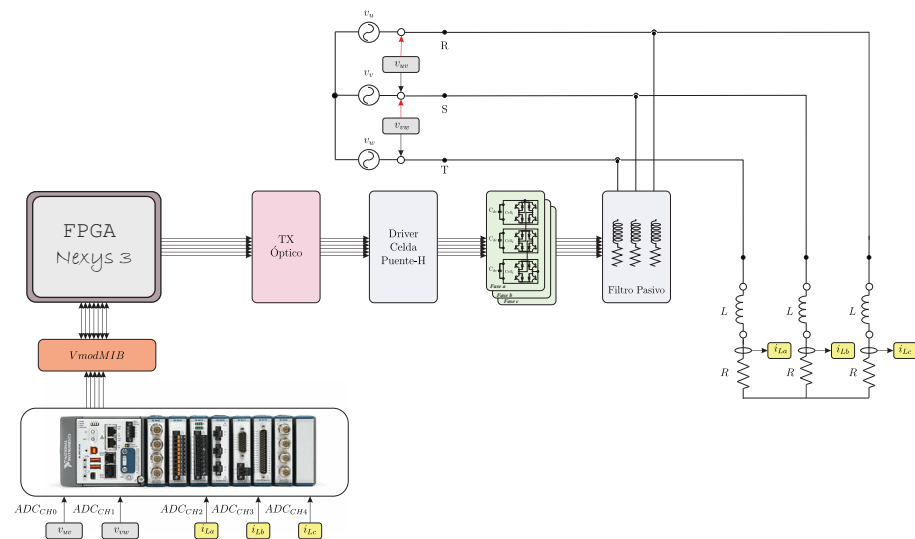


Figura 6.1 Plataforma experimental de filtro activo de potencia multinivel con sistema de control basado en FPGA y CompacRio.

CAPÍTULO 7

APÉNDICE

En este apéndice se recoge la producción científica lograda en el marco de esta Tesis de Maestría las cuales se resumen en los siguientes artículos:

- Raúl Gregor, Leonardo Comparatore, Alfredo Renault, Jorge Rodas, Julio Pacher, Sergio Toledo, Marco Rivera, .^A Novel Predictive-fixed Switching Frequency Technique for a Cascade H-bridge Multilevel STATCOM”, 42nd Annual Conference of the IEEE Industrial Electronics Society (IEEE-IECON 2016), Florencia, Italia, 24-27 Octubre 2016. pp. 3672-3677, DOI 10.1109/IECON.2016.7793323
- Alfredo Renault, Marco Rivera, Leonardo Comparatore, Julio Pacher, Jorge Rodas, Raúl Gregor, ”Model Predictive Current Control with Neutral Current Elimination for H-Bridge Two-Level Active Power Filters”, Ecuador Technical Chapters Meeting (ETCM), Guayaquil, Ecuador, 2016, pp. 1-5. DOI: 10.1109/ETCM.2016.7857653
- Leonardo Comparatore, Jorge Rodas, Raúl Gregor, Julio Pacher, Alfredo Renault, Marco Rivera, ”Model Based Predictive Current Control for a Three-Phase Cascade

H-Bridge Multilevel STATCOM Operating at Fixed Switching Frequency”, IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems: PEDG 2017, Florianopolis, Brazil, Abr. 17-21,2017.

- Leonardo Comparatore, Alfredo Renault, Julio Pacher, Raúl Gregor, Jorge Rodas, ”Model Based Predictive Control with Switcher of Redundant Vectors for a Cascade H-Bridge Multilevel STATCOM”, Aean Council International Conference: ANDESCON, Arequipa, Perú, Oct. 19-21,2016.

Artículos enviados para revista científica y en proceso de evaluación:

- Julio Pacher, Jorge Rodas, Raúl Gregor, Marco Rivera, Alfredo Renault, and Leonardo Comparatore. ”.Efficiency analysis of a modular H-bridge based on SiC MOSFET”. On International Journal of Electronics Letters.

Presentación en eventos relacionadas a la Tesis de Maestría:

- ”.Efficiency analysis of a modular H-bridge based on SiC MOSFET”. Evento denominado ”20° Aniversario del CONACYT promocionando la ciencia, tecnología, innovación y calidad en Paraguay”.

Análisis de la eficiencia de un Puente-H basado en tecnología SiC-MOSFET para aplicaciones de alta frecuencia y media potencia

Pacher Julio, Renault Alfredo, Comparatore Leonardo

jpacher@ing.una.py, arenault@ing.una.py, lcomparatore@ing.una.py

Facultad de Ingeniería - Universidad Nacional de Asunción, Paraguay

Programa de Incentivos Para la Formación de Docentes Investigadores - Convocatoria 2015

RESUMEN

El presente trabajo muestra el diseño de un esquema para un controlador de puente-H completo basado en la tecnología SiC-MOSFET utilizado para aplicaciones de alta frecuencia y media tensión. A modo de cuantificar la eficiencia del diseño se realizaron mediciones de las pérdidas por conmutación y las pérdidas por conducción que presentan los semiconductores basados en los resultados experimentales obtenidas en laboratorio con la plataforma experimental montada para tal efecto.

INTRODUCCIÓN

Con el desarrollo de la tecnología de los semiconductores de potencia así como el aumento significativo en la potencia de cómputo de los microprocesadores, las capacidades del manejo de la energía y la velocidad de conmutación de los dispositivos de potencia han mejorado considerablemente presentando mayor eficiencia a frecuencias más elevadas.

Actualmente con los avances en fabricación de nuevos dispositivos semiconductores basados en tecnologías de carburo de silicio (SiC), han permitido ampliar las opciones a la hora de seleccionar los dispositivos de conmutación para aplicaciones de potencia. Las características de estos nuevos semiconductores permiten mejorar la eficiencia del sistema, trabajar bajo tensiones de bloqueo mayores (del orden de los 1200V en algunos SiC MOSFETs), además tienen como características importantes su reducida pérdida de conducción así como la de conmutación y frecuencias de conmutación más elevadas en comparación a los IGBT.

El presente trabajo se basa en el desarrollo de una plataforma experimental formado por un sistema Puente-H completo, sus circuitos de acondicionamiento de señales y controladores, utilizando una frecuencia de conmutación del orden de los 100Khz.

MATERIALES Y MÉTODOS

En la Figura 1 se observa el sistema experimental implementado para cuantificar la eficiencia de la celda puente-h diseñado. El sistema incluye la celda puente-H con sus circuitos de acondicionamientos, controladores y DC-Link. Para cuantificar la eficiencia del diseño se procede a medir las tensiones y corrientes de drenador en los SiCMOSFET para diferentes valores de potencia de salida entregada a la carga. Para las pruebas experimentales se utilizó una carga tipo RL con valores de $R=20\ \Omega$ y $L=10\ \mu H$, el DC-Link se implementó mediante fuentes de alimentación de DC.



Figura 1: (Izq.) Plataforma experimental utilizada para realizar las mediciones. (Der.) Placa de control diseñada para el disparo de los SiC-MOSFET.

RESULTADOS

En la Figura 2 se observa las señales utilizadas para medir los intervalos de tiempo de las transiciones presentadas por las señales VDS e ID, además se observa los resultados de los cálculos de eficiencia. La imagen termográfica muestra las temperaturas de cada semiconductor del puente-H, con los siguientes valores: SP1=75,3°C, SP2=72,1°C, SP3=80,6°C, SP4=70,1°C.

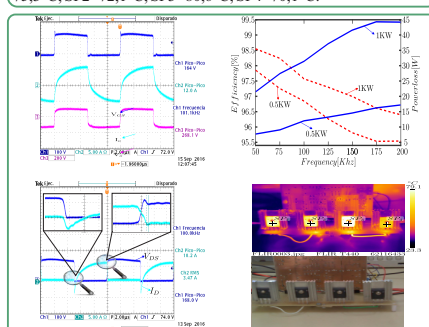


Figura 2: (Izq. Sup.) Señales de salida V_o , I_o y V_{GS} . (Izq. Inf.) Señales V_{DS} e I_{DS} de los SiC-MOSFET. (Der. Sup.) Eficiencia y pérdidas de potencia. (Der. Inf.) Imagen termográfica del puente-H.

CONCLUSIONES

Considerando los resultados obtenidos se observan que las pérdidas por conmutación aumentan con la frecuencia mientras que las pérdidas por conducción disminuyen con el aumento de la frecuencia. El diseño responde adecuadamente dentro del rango de frecuencias de operación comprendida entre los 50Khz y 200Khz, obteniéndose un rendimiento del 98% al 95% conforme aumenta la frecuencia.

REFERENCIAS

- S. Hazra, A. De, L. Cheng, J. Palmour, M. Schupbach, B. A. Hull, S. Allen, and S. Bhattacharya, "High switching performance of 1700-V, 50-A sic power mosfet over si igt/bimofet for advanced power conversion applications," IEEE Transactions on Power Electronics, vol. 31, no. 7, pp. 4742-4754, July 2016.
- J. Jordán, V. Esteve, E. Sanchis-Kilders, E. J. Dede, E. Maset, J. B. Ejea, and A. Ferreres, "A comparative performance study of a 1200 v si and sic mosfet intrinsic diode on an induction heating inverter," IEEE Transactions on Power Electronics, vol. 29, no. 5, pp. 2550-2562, May 2014.

AGRADECIMIENTOS

El proyecto se desarrolla en las instalaciones del Laboratorio de Sistemas de Potencia y Control (LSPyC) de la Facultad de Ingeniería-UNA.

Este proyecto es financiado por el CONACYT a través del Programa PROCENCIA con recursos del Fondo para la Excelencia de la Educación e Investigación - FEEI del FONACYDE

A Novel Predictive-Fixed Switching Frequency Technique for a Cascade H-Bridge Multilevel STATCOM

R. Gregor*, L. Comparatore*, A. Renault*, J. Rodas*, J. Pacher*, S. Toledo* and M. Rivera†

*Laboratory of Power and Control Systems, Facultad de Ingeniería, Universidad Nacional de Asunción

E-mail: {rgregor, lcomparatore, arenault, jrodas, jpacher & stoledo}@ing.una.py

†Department of Industrial Technologies, Universidad de Talca

E-mail: marcovic@utalca.cl

Abstract—There are several control techniques for active power filter applications. This paper presents a new alternative of predictive current control for a cascade H-bridge multilevel converter, where the optimal vector selected by the predictive controller is used for a modulation stage to obtain a fixed switching frequency. Simulation results validate the proposal where almost similar results can be obtained in comparison with the traditional methods.

Index Terms—Active power filters, cascade H-bridge converter, fixed switching frequency, predictive control.

I. INTRODUCTION

In recent years, power quality and efficiency issues have been consolidated as a scientific topic in the field of electrical engineering due to technical requirements for grid connection. Actually, power factor (PF), voltage collapse, unbalance, excessive harmonics, transients and oscillations, have been a major concern in power transmission and distribution systems. Non-linear loads normally produce disturbances in power transmission and distribution systems, causing a high-level harmonic distortion in the phase currents and voltages. Moreover, reactive loads produce a low PF, causing an excessive reactive power (VAR) restricting the maximum active power transfer, adding losses to the power transmission and distribution systems affecting its stability and reliability [1], [2]. Nowadays, several developments of flexible AC transmission system controllers, such as VAR compensators, have successfully been implemented to overcome the aforementioned drawbacks [3], [4]. Recently, multilevel converters have become a popular alternative to overcome the technological restrictions of the actual semiconductor devices that have limited power ratings [5]. Among all multilevel topologies, the cascaded H-bridge (CHB) multilevel converter is often considered as one of the most suitable configuration for high-power static synchronous compensator STATCOM, especially useful for reactive power compensation [6]. CHB converter-based STATCOM systems have been widely used in high-power applications due to its inherent advantages such as: reduced switching losses, higher conversion efficiency, modular structure, scalability to extended to more levels and higher number of redundant switching states [7]–[10]. Furthermore,

in terms of control strategies, the CHB converter topology increases the degrees of freedom due to its modular feature which allows to impose an asymmetric control approach. In the mentioned control method certain cells could compensate the PF associated with the fundamental frequency and other cells could control the current harmonic distortion [11], [12].

This paper proposes a simple and efficient predictive control technique applied to the three-phase 7-level CHB converter-based STATCOM system in combination with a modulation stage. The predictive model is obtained from the dynamic equations of the compensation system. Simulation results are analyzed and compared with the obtained by using the conventional predictive control approach.

This work is organized as follows. Section II describes the three-wire CHB multilevel STATCOM topology. Section III introduces the proposed predictive control technique including the CHB STATCOM duty cycles calculation approach. A comparative analysis of the proposed control technique with a conventional predictive control approach based on variable switching frequency are discussed in Section IV. Finally, the main feature of the proposed predictive-fixed switching frequency technique are summarized in Section V.

II. CHB STATCOM TOPOLOGY

Fig. 1 shows the proposed three-phase 7-level CHB converter-based STATCOM topology, consisting in three cascade H-bridge cells per phase. The different H-bridge cells have an independent DC-link. Each cell contains four switching devices, resulting in a total of 36 power switches. Consequently, four switching signals (S_{fij}) are needed to control each cell, where f represents the phase (a , b and c), i the cell number in the corresponding phase (1, 2 or 3) and j the switching device corresponding to the cell (1, 2, 3 or 4), respectively. Table I shows the allowed combinations of activation signals and the respective output voltages corresponding to the Cell₁ of the phase “a”, where C_{dc} is the voltage of the capacitor. Similar allowed combinations are defined for the other cells. Other possible combinations are not permitted because they cause a short circuit in the DC-link of the cell. To avoid this, only two activation signals and they complementary

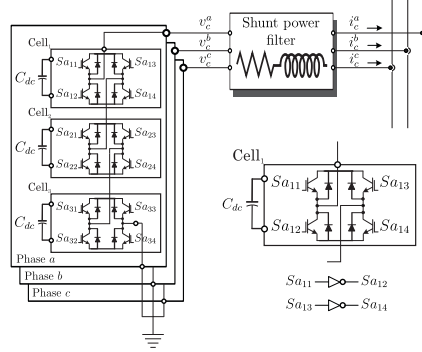


Fig. 1. Three-phase 7-level CHB converter-based STATCOM system.

TABLE I
ALLOWED COMBINATIONS OF ACTIVATION SIGNALS

S_{a11}	S_{a13}	S_{a12}	S_{a14}	v_c^a
1	0	0	1	$+C_{dc}$
1	1	0	0	0
0	0	1	1	0
0	1	1	0	$-C_{dc}$

levels are used as shown in Fig. 1 for the particular case of Cell₁.

A. CHB Converter-based STATCOM model

The dynamic model of the circuit configuration (Fig. 2) can be obtained by using Kirchhoff's circuit laws. For modeling purposes, it is assumed that the three-phase voltage sources are balanced and all modules have the same capacitance and voltage in their DC side. The CHB converter-based STATCOM is connected at the point of common coupling (PCC). Applying Kirchhoff's voltage law for the AC side of the STATCOM, the following equations are obtained:

$$\frac{di_c^{abc}}{dt} = \frac{v_s^{abc}}{L_f} - \frac{R_f}{L_f} i_c^{abc} - \frac{n_c S_{fij} v_{dc}^{abc}}{L_f} \quad (1)$$

$$\frac{dv_{dc}^{abc}}{dt} = \frac{S_{fij} i_c^{abc}}{C_{dc}} - \frac{v_{dc}^{abc}}{R_{dc} C_{dc}} \quad (2)$$

where n_c is the number of cells, R_{dc} is a resistor connected in parallel to the capacitor C_{dc} that concentrates the overall losses in the DC side, S_{fij} is the commutation function and the resistor R_f is the parasitic (series) resistance of the inductor L_f .

B. Predictive model

For multilevel STATCOMs, the differential equation that models the AC side is [13]:

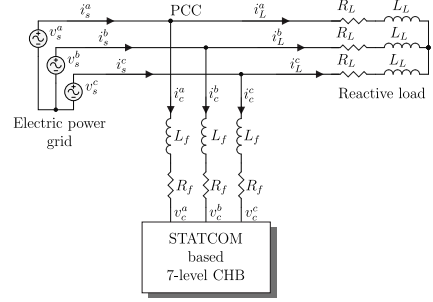


Fig. 2. CHB converter-based STATCOM connection.

$$\frac{di_c^{abc}}{dt} = \frac{v_s^{abc}}{L_f} - \frac{v_c^{abc}}{L_f} - \frac{R_f i_c^{abc}}{L_f} \quad (3)$$

The predictive model can be obtained by using a forward-Euler discretization method from the continuous time-domain model represented by (3), which provides the following equation:

$$i_c^{abc}(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^{abc}(k) + \frac{T_s}{L_f} \{v_s^{abc}(k) - v_c^{abc}(k)\} \quad (4)$$

being T_s the sampling time, k the actual sample and $i_c^{abc}(k+1)$ the prediction of the STATCOM phase currents made at sample k .

Moreover, the dynamics of the DC side, considering the ideal case ($R_{dc} = \infty$) can be model by the following equation:

$$v_{dc}^{abc}(k+1) = v_{dc}^{abc}(k) + \frac{T_s S_{fij}(k) i_c^{abc}(k)}{C_{dc}} \quad (5)$$

III. PROPOSED CONTROL TECHNIQUE

Fig. 3 shows the proposed scheme applied to the three-phase 7-level CHB converter-based STATCOM system. In the proposed predictive control technique the predicted errors are computed for each possible voltage vector as:

$$ei_c(k+1) = i_c^{abc*}(k+1) - i_c^{abc}(k+1) \quad (6)$$

$$ev_{dc}(k+1) = v_{dc}^{abc*}(k+1) - v_{dc}^{abc}(k+1) \quad (7)$$

being $ei_c(k+1)$ and $ev_{dc}(k+1)$ the STATCOM current errors in the AC side and the capacitor voltage errors in the DC side, respectively. After performing the prediction of (6) and (7), a defined cost function is computed recursively at each sampling period. The cost function provides the ability of incorporating different control objectives. This function has been typically defined as a quadratic measure of the predicted error, which can be defined as [14], [15]:

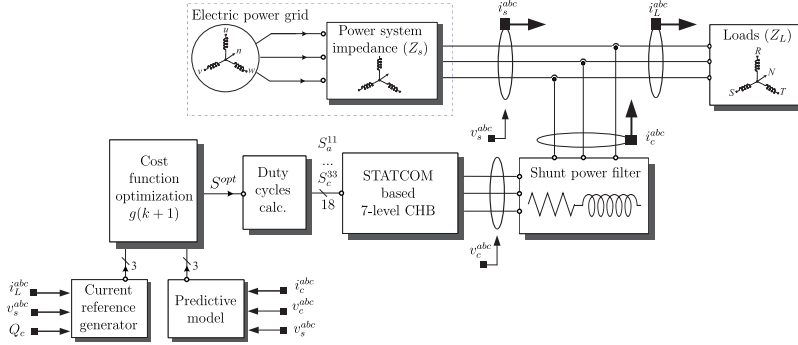


Fig. 3. Block diagram of the proposed control scheme.

$$g(k+1) = \|e_i(k+1)\|^2 + \lambda \|e_{v_{dc}}(k+1)\|^2 \quad (8)$$

being λ the weighting factor that gives priority to the control objectives.

A. Reference generation

The instantaneous active and reactive power references are obtained from the Clarke transformation approach in $\alpha - \beta$ reference frame by using the following transformation matrix:

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (9)$$

Applying (9), the $\alpha - \beta$ current references in the AC side of the STATCOM are obtained from:

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \frac{1}{(v_{s\alpha})^2 + (v_{s\beta})^2} \begin{bmatrix} v_{s\alpha} & v_{s\beta} \\ v_{s\beta} & -v_{s\alpha} \end{bmatrix} \begin{bmatrix} P_c^* \\ Q_c^* \end{bmatrix} \quad (10)$$

where the superscript (*) denotes the reference variables and P_c^* and Q_c^* are the instantaneous active and reactive power references, respectively. In order to allow a unitary power factor at the grid side and considering which ideally the STATCOM do not absorb any active power, the instantaneous power references can be written as:

$$P_c^* = 0 \quad (11)$$

$$Q_c^* = -Q_L = v_{s\alpha} i_{L\beta} - v_{s\beta} i_{L\alpha} \quad (12)$$

being Q_L the instantaneous reactive load power to be compensate by the H-bridge converter-based STATCOM system. The STATCOM phase currents references in the optimization process are:

$$i_c^{abc*} = \mathbf{T}^{-1} [i_{c\alpha}^* \ i_{c\beta}^* \ 0]' \quad (13)$$

where the superscript (') indicates the transposed matrix.

B. Optimization process

The optimization is performed by exhaustive search over all possible switching vectors of the control action. If n is the number of H-bridge cells per phase (f), then each vector S_{fij} consists in $2n$ choice signals, where $j = 1, \dots, \phi$; being ϕ the number of phases. Moreover, the number of possible switching vectors per phase can be defined as $\varepsilon = 2^{2n}$. During the optimization process, both, the cost function and the predictive model must be computed 64 times at each sampling period to guarantee optimality, since there are 64 possible switching vectors for the case study. These switching vectors represent all possible output voltages of the STATCOM, v_c^a , v_c^b and v_c^c , connected at the PCC. The output voltages can be represented by the following equation:

$$\begin{bmatrix} v_c^a \\ v_c^b \\ v_c^c \end{bmatrix} = \begin{bmatrix} v_{c1} \\ v_{c2} \\ v_{c3} \end{bmatrix} v_{dc} \quad (14)$$

where v_{c1} , v_{c2} and v_{c3} are the optimal levels of the three-phase 7-level CHB converter-based STATCOM system $(-3, -2, -1, 0, 1, 2, 3)$. The first 15 switching vectors for one phase (a) are shown in Table II.

TABLE II
FIRST 15 SWITCHING VECTORS FOR A THREE-PHASE 7-LEVEL CHB
CONVERTER-BASED STATCOM SYSTEM

$S_{a_{ij}}$						η	v_{c1} value
S_{a11}	S_{a13}	S_{a21}	S_{a23}	S_{a31}	S_{a33}		
0	0	0	0	0	0	1	0
0	0	0	0	0	1	2	-1
0	0	0	0	1	0	3	1
0	0	0	0	1	1	4	0
0	0	0	1	0	0	5	-1
0	0	0	1	0	1	6	-2
0	0	0	1	1	0	7	0
0	0	0	1	1	1	8	-1
0	0	1	0	0	0	9	1
0	0	1	0	0	1	10	0
0	0	1	0	1	0	11	2
0	0	1	0	1	1	12	1
0	0	1	1	0	0	13	0
0	0	1	1	0	1	14	-1
0	0	1	1	1	0	15	1
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.

Finally, the optimization algorithm selects the optimum vector S^{opt} that minimizes the defined cost function represented by (8). Algorithm 1 summarizes the optimization process.

Algorithm 1 Optimization algorithm

1. Initialize $J_o^a := \infty, J_o^b := \infty, J_o^c := \infty, \eta := 0$
2. Compute the STATCOM reference currents. Eqn. (13).
3. **while** $\eta \leq \varepsilon$ **do**
4. $S_{fij} \leftarrow S_{fij}^{\eta} \forall i \ \& \ j = 1, 2, 3$
5. Calculate the STATCOM prediction currents. Eqn. (4).
6. Compute the dynamics of the DC side. Eqn. (5).
7. Compute the errors. Eqns. (6) & (7).
8. Compute the cost function. Eqn. (8).
9. **if** $J_o^a < J_o^b$ **then**
10. $J_o^a \leftarrow J_o^a, S_a^{opt} \leftarrow S_{a_{ij}}$
11. **end if**
12. **if** $J_o^b < J_o^c$ **then**
13. $J_o^b \leftarrow J_o^b, S_b^{opt} \leftarrow S_{b_{ij}}$
14. **end if**
15. **if** $J_o^c < J_o^a$ **then**
16. $J_o^c \leftarrow J_o^c, S_c^{opt} \leftarrow S_{c_{ij}}$
17. **end if**
18. $\eta := \eta + 1$
19. **end while**
20. Compute the duty cycles. Eqn. (15).

C. CHB STATCOM duty cycles calculation

The CHB STATCOM duty cycles calculation of the proposed algorithm proceeds as follows. For a desired instantaneous active and reactive power references, the control algorithm determine the optimal vector (S_f^{opt}) that minimizes (8). The optimal vector provides the optimum voltages ($v_c^{a,opt}, v_c^{b,opt}, v_c^{c,opt}$) in terms of the CHB STATCOM current and voltage errors, respectively. Instead of applying the selected voltage vector to the CHB STATCOM during the whole

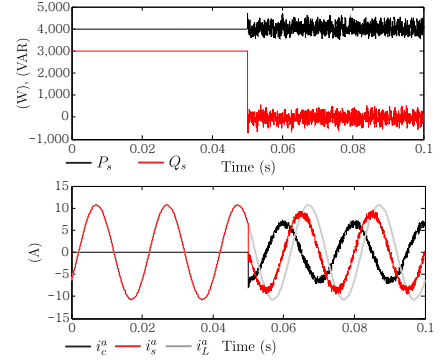


Fig. 4. CHB STATCOM transient response: (upper) reactive power compensation, (bottom) currents evolution.

switching period, which is the standard procedure in conventional predictive control schemes, the proposed algorithm uses S_f^{opt} to calculate the duty cycles by using the following equation:

$$\begin{bmatrix} \tau_a \\ \tau_b \\ \tau_c \end{bmatrix} = \frac{1}{3}(v_{dc}^{-1})[v_c^{a,opt} \ v_c^{b,opt} \ v_c^{c,opt}]' \quad (15)$$

where τ_f is the duty cycles vector and the subscript $f = a, b, c$ are associated with the CHB STATCOM phase voltages and are normalized between -1 and 1. The calculation of the duty cycles is proposed as an optimization problem aimed to minimize the prediction error. This procedure can be considered as a systematic application in one sampling period of the optimal combination of more than one vector to minimize the CHB STATCOM current errors in the AC side and the capacitor voltage errors in the DC side, respectively.

IV. SIMULATION RESULTS

A MatLab/Simulink simulation environment has been developed to analyze the performance of the proposed PfSF control technique applied to the three-phase 7-level CHB converter-based STATCOM system, assuming the parameters shown in Table III. Numerical integration based on Runge-Kutta method has been used to calculate the evolution of the variables step by step in the time domain. The performance of the proposed predictive-fixed switching frequency (PfSF) method is compared with the results obtained by a conventional predictive variable switching frequency (PvSF) control technique considering a 15 kHz of sampling frequency and setting 114 V of the DC side.

The cost function defined in (8) with $\lambda = 0.001$ is used to evaluate the dynamic performance of the PfSF and PvSF methods under steady-state and transient conditions.

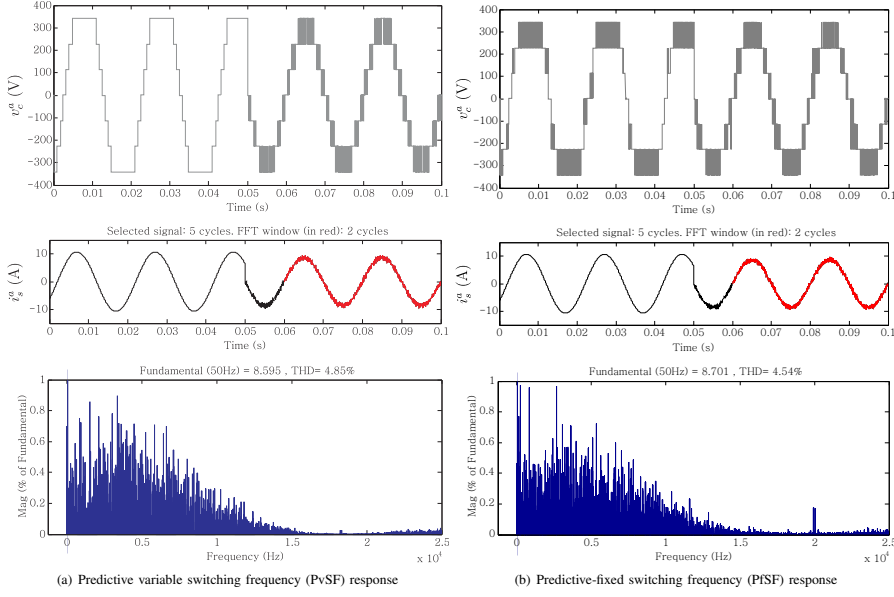


Fig. 5. Comparative analysis considering: (upper) the phase voltage at PCC, (middle) the grid current and (bottom) the THD of the grid current.

TABLE III
PARAMETERS DESCRIPTION

PARAMETER	7-Level CHB STATCOM		
	SYMBOL	VALUE	UNIT
Electric frequency of the grid	f_e	50	Hz
Voltage of the electric grid	v_s	310.2	V
Filter resistance	R_f	0.09	Ω
Filter inductance	L_f	3	mH
DC-link voltage	v_{dc}	114	V
Load parameters			
Load resistance	R_L	23.2	Ω
Load inductance	L_L	55	mH
Predictive control parameters			
Sampling time	T_s	66	μs
Active power reference	P_c^*	0	W
Ideal Reactive power reference	Q_c^*	$-Q_L$	VAR

Fig. 4 (bottom) shows a transient response when the 7-level CHB STATCOM is connected in $t = 0.05$ s, as it is shown in Fig. 4 (upper). It can be observed from the simulation results that the phase of grid current (i_g^a) represented in red color, suddenly changes to compensate the reactive power showing a fast dynamic response during the transient. Next, in order

to compare quantitatively both controllers the mean squared error (MSE) and the total harmonic distortion (THD) are used as figures of merit. The equations are represented by (16) and (17), respectively as:

$$MSE(\Psi) = \sqrt{\frac{1}{N} \sum_{j=1}^N \Psi_j^2} \quad (16)$$

$$THD = \sqrt{\frac{1}{i_1^2} \sum_{i=2}^N i_i^2} \quad (17)$$

where N is the number of vector elements, i_1 is the amplitude of the fundamental frequency of the analyzed current, and i_i are the current harmonics.

Fig. 5 shows a comparative analysis of both control systems considering (upper) the phase voltage evolution at PCC, (middle) the grid current and (bottom) the THD of the grid current. Simulation results show a better performance in terms of lower THD using the proposed PFSF method. This feature is associated to the fixed switching frequency produced by modulation process that yield a well-defined discrete current and voltage spectra in contrast to the simulation results obtained by the PvSF method. The THD improvement is quantified

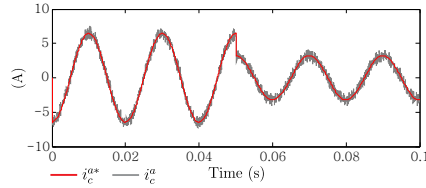


Fig. 6. Dynamic response evolution of i_c^a and current tracking considering a reactive power step.

about 8% (a drop from 4.85% to 4.54%) using the PfSF method, considering the interval where the reactive power is compensated (after 0.05 s).

Furthermore, the predictive current control loop is analyzed in detail in order to quantify the improvements obtained using the proposed control algorithm in terms of MSE. Fig. 6 shows the dynamic response obtained when a step in the reference reactive power (Q_c) from 3,000 to 1,500 VAR at $t = 0.05$ s is applied. Under these operating conditions the proposed PfSF method introduces improvements in terms of lower MSE, from 0.3945 (PvSF) to 0.3771 (PfSF). Moreover as observed from the simulation results, the current reference tracking of the proposed PfSF method is very good, being even able to reduce the THD of the currents without affecting the dynamic response during the transient, which is however very fast.

V. CONCLUSION

In this paper, an alternative predictive current control technique with a modulation stage is applied to a three-wire CHB multilevel STATCOM converter. The theoretical results show that it is possible to combine the use of predictive control with modulation techniques to obtain better performance than a classic predictive control approach. Simulation results confirm that maintaining the modulation technique avoids the variable switching frequency inherent in conventional predictive controllers, easing the switch selection and providing a more adequate harmonic profile. Furthermore, the proposed technique proved to be viable in the field of instantaneous reactive power compensation.

ACKNOWLEDGMENT

The authors would like to thank to the Paraguayan Government for the economical support provided by means of a CONACYT Grant (project 14-INV-096) and the research stay grant under the program "Programa de Vinculación de Científicos y Tecnólogos", PROCIENCIA, with reference PVCT 15-13 (2015 call). This work was also funded by the Fundación Carolina of Spain.

REFERENCES

[1] M. Rivera, F. Morales, C. Baier, J. Muñoz, L. Tarisciotti, P. Zanchetta, and P. Wheeler, "A Modulated Model Predictive Control Scheme for a Two-Level Voltage Source Inverter," in *Proc. IEEE ICIT*, Seville, Spain, pp. 2224–2229, 2015.

[2] L.K. Haw, M.S.A. Dahidah, and H.A.F. Almurib, "A New Reactive Current Reference Algorithm for the STATCOM System Based on Cascaded Multilevel Inverters," *IEEE Trans. Power Electron.*, vol. 30, no. 7, pp. 3577–3588, Jul. 2015.

[3] Y. Neyshabouri, H. Iman-Eini, and M. Miranbeigi, "State Feedback Control Strategy and Voltage Balancing Scheme for a Transformer-Less STATIC Synchronous COMPensator Based on Cascaded H-Bridge Converter," *IET Power Electron.*, vol. 8, no. 6, pp. 906–917, Jun. 2015.

[4] A. Renault, L. Comparatore, J. Pacher, R. Gregor, and J. Rodas, "Model Predictive Current Control with Neutral Current Elimination for H-Bridge Two-Level Active Power Filters," in *Proc. IEEE ETCM*, Guayaquil, Ecuador, 2016.

[5] J. Muñoz, P. Melin, and J. Espinoza, "Static Compensators (STATCOMs) in Power Systems," *Control of Multilevel STATCOMs*, ISBN-978-981-287-281-4, pp. 265–311, 2015.

[6] A. Marzoughi, Y. Neyshabouri, and H. Imaneini, "Control Scheme for Cascaded H-Bridge Converter-Based Distribution Network Static Compensator," *IET Power Electron.*, vol. 7, no. 11, pp. 2837–2845, Nov. 2014.

[7] C.D. Townsend, T.J. Summers, and R.E. Betz, "Phase-Shifted Carrier Modulation Techniques for Cascaded H-Bridge Multilevel Converters," *IEEE Trans. Ind. Electron.*, vol. 62, no. 11, pp. 6684–6696, Nov. 2015.

[8] Y. Yu, G. Konstantinou, B. Hredzak and V. G. Agelidis, "Operation of Cascaded H-Bridge Multilevel Converters for Large-Scale Photovoltaic Power Plants Under Bridge Failures," *IEEE Trans. Ind. Electron.*, vol. 62, no. 11, pp. 7228–7236, Nov. 2015.

[9] G. Farivar, B. Hredzak, and V.G. Agelidis, "Decoupled Control System for Cascaded H-Bridge Multilevel Converter Based STATCOM," *IEEE Trans. Ind. Electron.*, vol. 63, no. 1, pp. 322–331, Jan. 2016.

[10] L. Comparatore, A. Renault, J. Pacher, R. Gregor, and J. Rodas, "Model Predictive Current Control with Switcher of Redundant Vectors for a Cascade H-Bridge Multilevel STATCOM," in *Proc. IEEE ANDESCON*, Arequipa, Peru, 2016.

[11] M. Norambuena, H. Hang, S. Dieckerhoff, and J. Rodriguez, "Improved Finite Control Set Model Predictive Control with Fixed Switching Frequency for Three Phase NPC Converter," in *Proc. PCIM Europe*, Nuremberg, Germany, 2016.

[12] L. Sun, Z. Wu, F. Xiao, X. Cai, and S. Wang, "Suppression of Real Power Back Flow of Nonregenerative Cascaded H-Bridge Inverters Operating Under Faulty Conditions," *IEEE Trans. Power Electron.*, vol. 31, no. 7, pp. 5161–5175, Jul. 2016.

[13] R.P. Aguilera, R. Baidya, P. Acuna, S. Vazquez, T. Mouton, and V.G. Agelidis, "Model Predictive Control of Cascaded H-Bridge Inverters based on a Fast-Optimization Algorithm," in *Proc. IEEE IECON*, Yokohama, Japan, 2015, pp. 4003–4008.

[14] R.P. Aguilera, P. Lezana, G. Konstantinou, P. Acuna, B. Wu, S. Bernet, and V.G. Agelidis, "Closed-Loop SHE-PWM Technique for Power Converters Through Model Predictive Control," in *Proc. IEEE IECON*, Yokohama, Japan, 2015, pp. 5261–5266.

[15] R.P. Aguilera, Y. Yu, P. Acuna, G. Konstantinou, C.D. Townsend, B. Wu, and V. G. Agelidis, "Predictive Control Algorithm to Achieve Power Balance of Cascaded H-Bridge Converter," in *Proc. IEEE PRECEDE*, Valparaíso, Chile, 2015, pp. 49–54.

Model Based Predictive Control with Switcher of Redundant Vectors for a Cascade H-Bridge Multilevel STATCOM

L. Comparatore, A. Renault, J. Pacher, R. Gregor and J. Rodas
Laboratory of Power and Control Systems
Universidad Nacional de Asunción
Luque, Paraguay

M. Rivera
Department of Electrical Engineering
Universidad de Talca
Curicó, Chile

Abstract—Conventional model based predictive control for cascade H-bridge multilevel STATCOM produces a different switching pattern for different cells. As a consequence, stresses, DC-link imbalance and active power losses are generated among the cells. To solve the aforementioned issues, this paper proposes to include a switcher of redundant vectors on the conventional model based predictive method. Additionally, improve the performance in terms of total harmonic distortion and remain focus the reactive power compensation. Simulation results are analyzed to verify the effectiveness of this proposal.

Index Terms—Active power filters, cascade H-bridge converter, predictive control, switcher of redundant vectors.

I. INTRODUCTION

New generation of power electronic systems, e.g., static synchronous compensators (STATCOMs), which aims to improve the power quality in electrical systems, and its control, is mainly due to the evolution of power semiconductor devices joined to the advancement of digital signal processors (DSPs), with the purposes of control in power converters, their advantages are beginning to be exploited [1]. Low power factor (PF), voltage collapse, unbalance loads, excessive harmonics generated by nonlinear loads, transients and oscillations are the mainly problems which affect the power quality in distribution systems [2]-[3]. One of the main topologies of STATCOMs and active power filters (APFs) to overcome the aforementioned drawbacks are the cascaded H-bridge (CHB) multilevel converters-based [4]. The advantages of CHB converters include low harmonic distortion, reduced number of switches, suppression of switching losses, modularity and good scalability [5]-[6]. In order to provide a good trade-off among good tracking of references variables, harmonic performance, switching frequency, commutation losses and the balancing of the DC-link voltages, several control and modulation techniques can be applied to CHB converters, such as: pulse width modulation (PWM), space vector modulation (SVM), phase shift carrier - PWM (PSC-PWM) and model based predictive control (MBPC) [7]-[9]. MBPC has recently gained the attention of the research community like a control technique in power converters and drives [1], mainly because

the advantage of it focuses on its flexible feature, since it is possible to adapt to different control requirements modifying only a cost function.

This paper proposes a novel DC-link balance technique for a 7-level CHB converter-based STATCOM system with MBPC, using for this purpose a switcher of redundant vectors (SRV) and the equations that represent the dynamics of the system, additionally to achieve a reactive power compensation and decreased current harmonics. In order to illustrate the benefits of the proposed control a series of simulations have been carried out. The simulation results have been analyzed and compared with the obtained using a conventional MBPC.

This paper is organized as follows: Section II presents the three-phase three-wire 7-level CHB multilevel STATCOM topology. In Section III is discussed the proposed MBPC technique with SRV for DC-link voltage balance. Section IV discusses the simulation results and provides a comparative analysis with the conventional MBPC technique. Finally, concluding remarks are presented in the last section of the paper.

II. DESCRIPTION OF THE CHB STATCOM TOPOLOGY

Fig. 1 shows the three-phase three-wire 7-level CHB converter-based STATCOM topology studied. Three cascade H-bridge modules per phase, called cells, with an independent DC-link per cell compose the STATCOM system. Since each cell contains four switching devices, four switching signals ($s\phi_{ij}$) are needed to achieve the desired output voltage ($v_i^\phi = F_i^\phi v_{dc}$) for each cell, where ϕ represents the phase (a, b or c), i the cell number in the corresponding phase (1, 2 or 3), j the switching device corresponding to the cell “ i ” (1, 2, 3 or 4), v_{dc} the voltage of the capacitor and F_i^ϕ the switching function. Because of there are combinations that cause a short circuit in the DC-link of the cells, only two activation signals and their complementary levels are used, i.e., if $s\phi_{11} = 1$, then $s\phi_{12} = 0$ and if $s\phi_{11} = 0$, then $s\phi_{12} = 1$, similarly for $s\phi_{13}$ and $s\phi_{14}$. One switching state ($\eta \in \{1, 2, \dots, \varepsilon\}$) of one phase in particular, where ε is the total of possible switching states, which depends of the number of cells per phase (n_c),

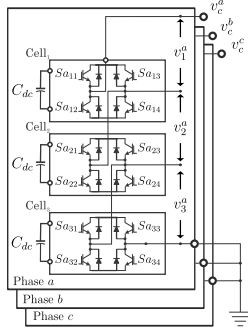


Fig. 1. Three-phase 7-level CHB converter-based STATCOM system.

is represented by a switching vector (S_n^ϕ) that contains $2n_c$ activation signals ($s\phi_{ij}$) of such phase (note that the capital “S” is related to the vector and the small “s” is related to the signal). Finally, the output voltage for each phase of the STATCOM is $v_c^\phi = F_s^\phi v_{dc}$, where $F_s^\phi = \sum_{i=1}^3 F_i^\phi$ denotes the switching function for each phase.

A. Continuous time-domain model

Fig. 2 shows one phase (ϕ) of the CHB converter-based STATCOM connection. The dynamic model of the circuit configuration can be obtained by using Kirchhoff’s circuit laws. It is assumed, for modeling purposes, a balanced electric power grid. Applying Kirchhoff’s voltage law for the AC side of the STATCOM, the following equation is obtained:

$$\frac{di_c^\phi}{dt} = \frac{v_s^\phi}{L_f} - \frac{R_f}{L_f} i_c^\phi - \frac{F_s^\phi v_{dc}}{L_f} \quad (1)$$

where R_f is the parasitic (series) resistance of the inductor L_f .

B. Discrete-model for predictive control

Forward-Euler discretization method is used to obtain the predictive model from the continuous time-domain model represented by (1), which provides the following equation:

$$i_c^\phi(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^\phi(k) + \frac{T_s}{L_f} \{v_s^\phi(k) - v_c^\phi(k)\} \quad (2)$$

where k identifies the actual discrete-time sample, T_s is the sampling time, and $i_c^\phi(k+1)$ are the predictions of the STATCOM phase currents made at sample k .

III. PROPOSED MODEL BASED PREDICTIVE CONTROL WITH SWITCHER OF REDUNDANT VECTORS

Fig. 3 shows the block diagram of the proposed model based predictive control with SRV applied to the three-phase three-wire 7-level CHB converter-based STATCOM system. The current references are generated for reactive power compensation from the measured variables, as will be shown next.

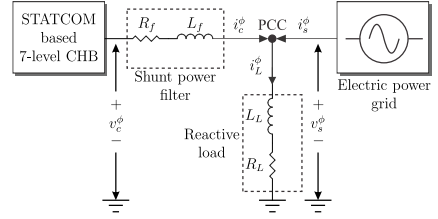


Fig. 2. STATCOM, load and electric grid connected through the PCC.

A. Reactive power compensation

The instantaneous active and reactive power references are obtained from the Clarke’s transformation approach in $\alpha - \beta$ reference frame by using the following transformation matrix:

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (3)$$

Applying (3), the $\alpha - \beta$ current references at the AC side of the STATCOM are obtained as follows:

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \frac{1}{(v_{s\alpha})^2 + (v_{s\beta})^2} \begin{bmatrix} v_{s\alpha} & v_{s\beta} \\ v_{s\beta} & -v_{s\alpha} \end{bmatrix} \begin{bmatrix} P_c^* \\ Q_c^* \end{bmatrix} \quad (4)$$

where the superscript (*) denotes the reference variables and P_c^* and Q_c^* are the instantaneous active and reactive power references, respectively. In order to allow an unitary power factor at the grid side and considering which ideally the STATCOM do not absorb any active power, the instantaneous power references can be written as $P_c^* = 0$ and $Q_c^* = -Q_L = v_{s\alpha} i_{L\beta} - v_{s\beta} i_{L\alpha}$, being Q_L the instantaneous reactive load power to be compensate by the CHB converter-based STATCOM system. Finally, the STATCOM phase currents references used in the optimization process are:

$$[i_c^{a*} \ i_c^{b*} \ i_c^{c*}]' = \mathbf{T}^{-1} [i_{c\alpha}^* \ i_{c\beta}^* \ 0]' \quad (5)$$

where the superscript (') indicates the transposed matrix.

B. Cost function and optimization process

The cost function is defined as a quadratic measure of the predicted error, as follows:

$$g^\phi = \| e i_c^\phi(k+1) \|^2 \quad (6)$$

being $e i_c^\phi(k+1)$ the STATCOM current errors at the AC side.

The optimization is performed by search over the 7 possible levels of the control action and selects the optimal level or switching function F_s^ϕ ($-3, -2, -1, 0, 1, 2$ or 3) that minimizes the defined cost function represented by (6). During the optimization process, both the cost function and the predictive model must be computed 7 times at each sampling period to guarantee optimality. Then, the first optimal vector is applied.

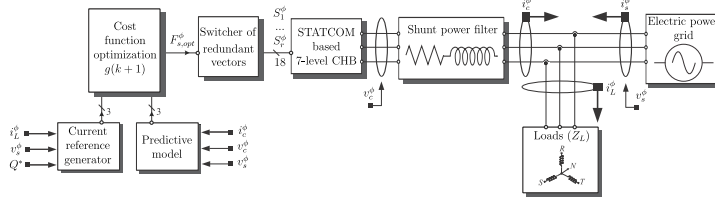


Fig. 3. Block diagram of the proposed model based predictive control with switcher of redundant vectors.

C. Switcher of redundant vectors

An obvious solution to the voltage balancing problem is to commute the cells that are charging capacitors and those that are discharging capacitors [8], while maintaining the same optimal level (voltage output). Each optimal level has an amount of redundant vectors (r), which is variable depending of the level, as is shown in Table I.

TABLE I
AMOUNTS OF REDUNDANT VECTORS FOR EACH LEVEL

Voltage output ($\times v_{dc}$)	-3	-2	-1	0	1	2	3
Redundant vectors (r)	1	6	15	20	15	6	1

In order to charge and discharge all capacitors simultaneously, for one phase in particular, all redundant vectors for such phase are sequentially applied during a period until the next sampling instant, with a duty cycle given by the following equation:

$$\tau^\phi = \frac{T_s}{r} \quad (7)$$

To simplify the algorithm, is selected $r = 20$ for all levels, thus, the vectors of the levels with fewer amount of redundant vectors are reapplied until to complete a sampling period.

IV. SIMULATION RESULTS

A MatLab/Simulink simulation environment has been developed to analyze the performance of the proposed control technique applied to the three-phase 7-level CHB converter-based STATCOM system, considering the electrical parameters shown in Table II. The performance of the proposed control technique is compared with the results obtained by a conventional MBPC, in both cases considering a 20 kHz of sampling frequency.

Fig. 4 shows a simulation results of the proposed control technique under steady-state and transient conditions. Fig. 4 (upper) shows a step in the instantaneous reactive power reference where it is possible to notice the effect of reactive power compensation (from 3,000 to 1,500 VAR after 0.04 s). Moreover, Fig. 4 (bottom), shows the tracking current dynamic performance for a step change of the reactive power reference. It can be observed from the simulation results a fast dynamic response during the transient.

TABLE II
PARAMETERS DESCRIPTION

PARAMETER	7-Level CHB STATCOM		
	SYMBOL	VALUE	UNIT
Grid frequency	f_e	50	Hz
Grid voltage	v_s	310.2	V
Filter resistance	R_f	0.09	Ω
Filter inductance	L_f	3	mH
DC-link voltage	v_{dc}	114	V
DC-link capacitance	C_{dc}	21	mF
Load parameters			
Load resistance	R_L	23.2	Ω
Load inductance	L_L	55	mH
Predictive control parameters			
Sampling time	T_s	50	μs
Active power reference	P^*	0	W
Ideal reactive power reference	Q_c^*	$-Q_L$	VAR

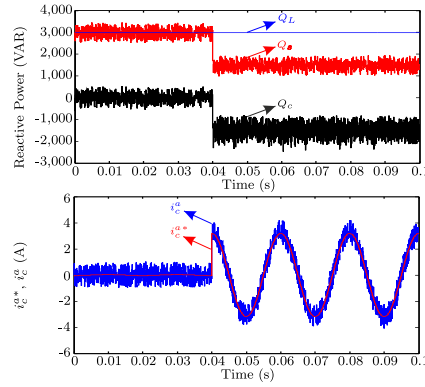


Fig. 4. CHB STATCOM steady-state and transient response: (upper) reactive power compensation, (bottom) tracking current.

Fig. 5 shows a comparison analysis between the proposed predictive control and the conventional MBPC considering;

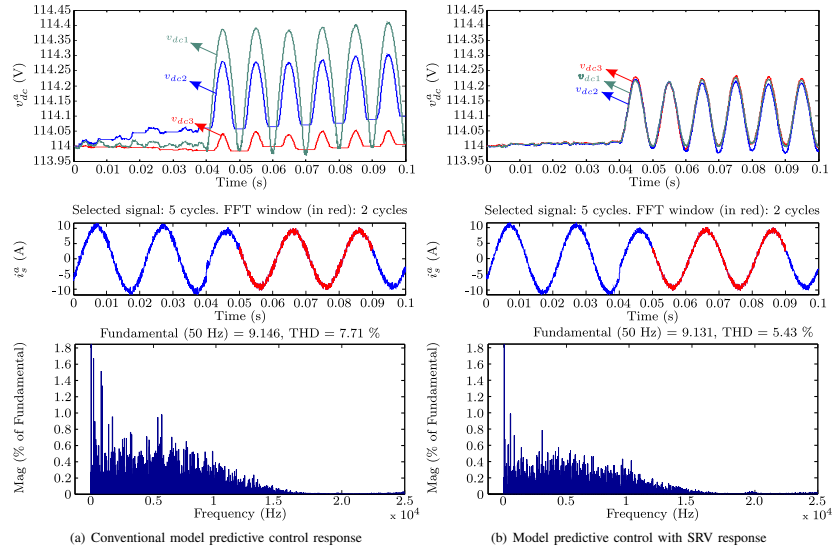


Fig. 5. Comparison performance considering: (upper) the voltage evolution on the capacitors, (middle) the grid current and (bottom) the THD of the grid current.

(upper) the voltages on the capacitors of the phase a (middle) the grid current of the phase a and (bottom) the THD of the analyzed grid current. As shown in Fig. 5 (b) a better performance is obtained in terms of voltage ripple and a simultaneous charge/discharge process on the capacitors. Furthermore, the improvement obtained in the THD performance parameter is about 30% (a drop from 7.71% to 5.43%) using the proposed method, considering the interval where the reactive power is compensated (after 0.04 s).

V. CONCLUSION

In this paper, a MBPC with SRV applied to the three-phase three-wire 7-level CHB STATCOM has been proposed. The simulation results confirm the capability of the proposed control technique to compensate the instantaneous reactive power and shows that it is possible to increase the performance in terms of THD, compared with the results obtained by the conventional MBPC. A comparative simulation results performed with reference to the conventional MBPC also show improvements relative to balance voltages in the DC-links.

ACKNOWLEDGMENT

The authors would like to thank to the Paraguayan Government for the economical support provided by means of a CONACYT Grant 14-INV-096 and the FONDECYT Regular Project N° 1160690.

REFERENCES

- [1] S. Kouro, M. A. Perez, J. Rodriguez, A. M. Llor, and H. A. Young, "Model predictive control: MPC's role in the evolution of power electronics," *IEEE Ind. Electron. Mag.*, vol. 9, no. 4, pp. 8–21, 2015.
- [2] L. K. Haw, M. S. Dahidah, and H. A. Almurib, "A new reactive current reference algorithm for the STATCOM system based on cascaded multilevel inverters," *IEEE Trans. Power Electron.*, vol. 30, no. 7, pp. 3577–3588, 2015.
- [3] Y. Neyshabouri, H. Iman-Eini, and M. Miranbeigi, "State feedback control strategy and voltage balancing scheme for a transformer-less static synchronous compensator based on cascaded H-bridge converter," *IET Power Electron.*, vol. 8, no. 6, pp. 906–917, 2015.
- [4] S. A. Kamran and J. Muñoz, "Study of a state-of-the-art M-STATCOM," in *Proc. ICIT*, 2015, pp. 2733–2738.
- [5] C. D. Townsend, T. J. Summers, and R. E. Betz, "Phase-shifted carrier modulation techniques for cascaded H-bridge multilevel converters," *IEEE Trans. Ind. Electron.*, vol. 62, no. 11, pp. 6684–6696, 2015.
- [6] Y. Yu, G. Konstantinou, B. Hredzak, and V. G. Agelidis, "Operation of cascaded H-bridge multilevel converters for large-scale photovoltaic power plants under bridge failures," *IEEE Trans. Ind. Electron.*, vol. 62, no. 11, pp. 7228–7236, 2015.
- [7] C. D. Townsend, S. Cox, A. J. Watson, T. Summers, R. Betz, and J. C. Clare, "Voltage balancing characteristics for a cascaded H-bridge multi-level STATCOM employing space vector modulation," in *Proc. EPE/PEMC*, 2012, pp. DS3b.3–1 – DS3b.3–7.
- [8] Y. Rong-feng, C. He, S. Sun-ke, Y. Yong, and X. Dian-Guo, "A novel voltage balancing modulation scheme used in cascaded H-bridge multilevel STATCOMs," in *Proc. ECCE*, 2013, pp. 820–825.
- [9] A. M. Almaktoof, A. Raji, and M. Kahn, "Finite-set model predictive control and DC-link capacitor voltages balancing for three-level NPC inverters," in *Proc. PEMC*, 2014, pp. 224–229.

Model Predictive Current Control with Neutral Current Elimination for H-Bridge Two-Level Active Power Filters

A. Renault*, M. Rivera†, L. Comparatore*, J. Pacher*, J. Rodas* and R. Gregor*

*Laboratory of Power and Control Systems, Facultad de Ingeniería, Universidad Nacional de Asunción

E-mail: {arenault, lcomparatore, jpacher, jrodas, rgregor}@ing.una.py

†Department of Industrial Technologies, Universidad de Talca

E-mail: marcoriv@utalca.cl

Abstract—In this paper, a scheme for reactive power compensation and neutral current elimination based on model predictive control strategy is proposed. In this context, a H-bridge four-wire two-level active power filter is presented. The main feature of the proposed method focuses on the compensation of reactive power and neutral current elimination for unbalanced load in order to improve the power factor. This approach predicts the future behavior of the control actions considering all possible switching states. The proposed method selects the optimal switching vector by using an optimization process considering a defined cost function. The effectiveness of the proposed control approach is evaluated through simulations.

Index Terms—Active power filters, H-bridge converter, predictive current control, neutral current elimination.

I. INTRODUCTION

In the last decades, the use of electronic-based power loads increased greatly and consequently the contamination of the distribution systems. In order to solve the various problems of power quality in distribution systems, active power filters (APF) and multilevel static synchronous compensators (M-STATCOM) are considered one of the best and the most popular solution [1]. The purpose of using a four-wire APF, is to perform the suppression of harmonic current, reactive power compensation, power factor correction and neutral current elimination [2], [3]. This can be achieved by the injection of currents at the point of common coupling (PCC) [4]. This type of APF usually requires four H-bridge voltage source inverters (VSI) which provides neutral current through the fourth H-bridge [5], or three H-bridge VSI with star configuration and accessible neutral-wire [6].

As main contribution, and complementing previous works, i.e. [7], a method for power compensation and neutral current elimination applied to a three-phase four-wire H-bridge two-level APF is proposed by using predictive current control. Predictive model is obtained from the dynamic equations of the compensation system. Simulation results have been analyzed in order to verify the effectiveness of the proposed method.

This paper is organized as follows: Section II describes the three-phase four-wire H-bridge APF topology. Section III discusses the proposed model-based predictive control (MPC) strategy. Section IV discusses the effectiveness of the proposed

method considering the simulation results. Finally, concluding remarks are summarized in Section V.

II. THREE-PHASE FOUR-WIRE H-BRIDGE APF TOPOLOGY

Fig. 1 shows the proposed three-phase four-wire two-level H-bridge APF topology, consisting in one H-bridge cells per phase. The different H-bridge cells have an independent DC-link (C_{dc}). Each cell contains four switching devices, resulting in a total of 16 power switchers. Consequently, four switching signals (S_{fij}) are needed in order to controlled each cell, where f represents the phase (a, b, c and n), i the cell number in the corresponding phase (1, 2, 3 or 4) and j the switching device corresponding to the cell (1, 2, 3 or 4), respectively.

Table I shows the allowed combinations of activation signals and the respective output voltages corresponding to the Cell₁ of the phase “a”, where v_{dc} is the voltage of the capacitor. Similar allowed combinations are defined for the other cells. Other possible combinations are not permitted because they cause a short circuit in the DC-link of the cell. To avoid this, only two activation signals and they complementary levels are used as shown in Fig. 1 for the particular case of Cell₁.

A. Two-level H-bridge APF model

The dynamic model of the circuit configuration (Fig. 2) can be obtained by using Kirchhoff’s circuit laws. For modeling purposes, it is assumed that the three-phase voltage sources are balanced and all modules have the same capacitance and voltage in their DC side. The two-level H-bridge APF is connected at the PCC. Applying Kirchhoff’s voltage law for the AC side of the APF, the following equations are obtained:

$$\frac{di_c^{abcn}}{dt} = \frac{v_s^{abcn}}{L_f} - \frac{R_f i_c^{abcn}}{L_f} - \frac{n_c S_{fij} v_{dc}^{abcn}}{L_f} \quad (1)$$

$$\frac{dv_{dc}^{abcn}}{dt} = \frac{S_{fij} i_c^{abcn}}{C_{dc}} - \frac{v_{dc}^{abcn}}{R_{dc} C_{dc}} \quad (2)$$

where n_c is the number of cells, R_{dc} is a resistor connected in parallel to the capacitor C_{dc} that concentrates the overall losses in the DC side, S_{fij} is the commutation function and the resistor R_f is the parasitic (series) resistance of the inductor L_f .

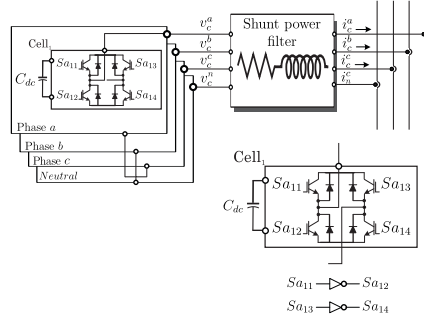


Fig. 1. Three-phase four-wire two-level H-bridge APF.

TABLE I
ALLOWED COMBINATIONS OF ACTIVATION SIGNALS

S_{a11}	S_{a13}	S_{a12}	S_{a14}	v_c^a
1	0	0	1	$+v_{dc}$
1	1	0	0	0
0	0	1	1	0
0	1	1	0	$-v_{dc}$

III. PREDICTIVE CONTROL STRATEGY

For two-level H-bridge APFs, the differential equation that models the AC side is [8], [9]:

$$\frac{di_c^{abcn}}{dt} = \frac{v_s^{abcn}}{L_f} - \frac{v_c^{abcn}}{L_f} - \frac{R_f i_c^{abcn}}{L_f} \quad (3)$$

The predictive model can be obtained by using a forward Euler discretization method from the continuous time-domain model represented by (3), which yields to the following equation:

$$i_c^{abcn}(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^{abcn}(k) + \frac{T_s}{L_f} \{v_s^{abcn}(k) - v_c^{abcn}(k)\} \quad (4)$$

where k identifies the actual discrete-time sample, T_s is the sampling time, and $i_c^{abcn}(k+1)$ are a prediction of the APF phase currents made at sample k .

Fig. 3 shows the proposed scheme of the predictive current control technique applied to the three-phase four-wire two-level H-bridge APF system. In the proposed control the predicted errors are computed for each possible voltage vector as:

$$ei_c^{abcn}(k+1) = i_c^{abcn*}(k+1) - i_c^{abcn}(k+1) \quad (5)$$

being ei_c the APF current errors in the AC side, respectively. For each of them a cost function is evaluated. The cost function has been typically defined as a quadratic measure of the predicted error, which can be defined as [7]:

$$J(k+1) = \|ei_c^{abcn}(k+1)\|^2 \quad (6)$$

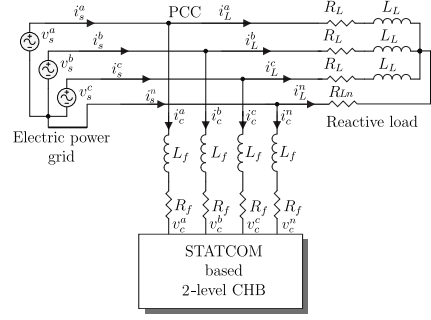


Fig. 2. Two-level H-bridge APF connection.

A. Reference generation

The instantaneous active and reactive power references are obtained from the Clarke transformation approach in $\alpha-\beta-0$ reference frame by using the following transformation matrix:

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (7)$$

Applying (7), the $\alpha-\beta-0$ current references in the AC side of the APF are obtained from [10]:

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \frac{1}{(v_{s\alpha})^2 + (v_{s\beta})^2} \begin{bmatrix} v_{s\alpha} & v_{s\beta} \\ v_{s\beta} & -v_{s\alpha} \end{bmatrix} \begin{bmatrix} P_c^* \\ Q_c^* \end{bmatrix} \quad (8)$$

and i_{c0}^* simplified is:

$$i_{c0}^* = i_{L0} \quad (9)$$

where the superscript (*) denotes the reference variables and P_c^* , Q_c^* are the instantaneous active and reactive power references and the P_{c0}^* is the zero sequence instantaneous power, respectively. In order to allow a unitary power factor at the grid side and considering which ideally the APF do not absorb any active power, the instantaneous power references can be written as [11]:

$$P_c^* = 0 \quad (10)$$

$$Q_c^* = -Q_L = v_{s\alpha} i_{L\beta} - v_{s\beta} i_{L\alpha} \quad (11)$$

$$P_{c0}^* = -P_{L0} = -i_{L0} v_{s0} \quad (12)$$

being Q_L the instantaneous reactive and P_{L0} is the zero sequence instantaneous power, in the load power to be compensate by the two-level H-bridge APF system. The STATCOM phase currents references used in the optimization process are:

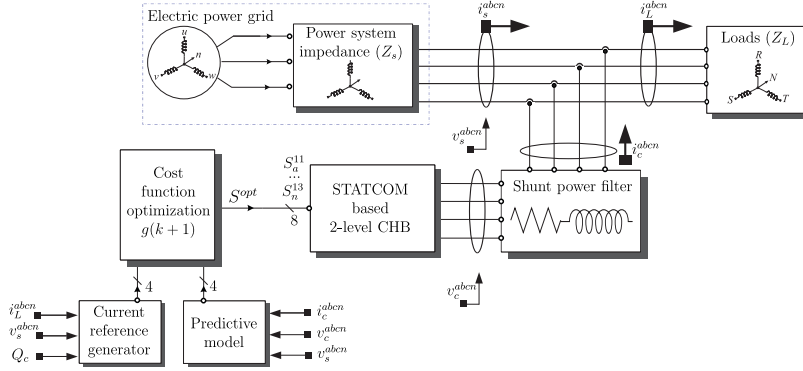


Fig. 3. Block diagram of the proposed control scheme.

$$i_c^{abc*} = \mathbf{T}^{-1} [i_{ca}^* \ i_{cb}^* \ i_{c0}^*]' \quad (13)$$

where the superscript (') indicates the transposed matrix.

B. Optimization process

The optimization is performed by exhaustive search over all possible switching vectors of the control action. If n is the number of H-bridge cells per phase (f), then each vector S_{fij} consists in $2n$ choice signals, where $j = 1, \dots, \phi$; being ϕ the number of phases. Moreover, the number of possible switching vectors per phase can be defined as $\varepsilon = 2^{2n}$. During the optimization process, both, the cost function and the predictive model must be computed 4 times at each sampling period to guarantee optimality, since there are 4 possible switching vectors for the case study. These switching vectors represent all possible output voltages of the STATCOM, v_c^a , v_c^b , v_c^c and v_c^n , connected at the PCC point. The output voltages can be represented by the following equation:

$$\begin{bmatrix} v_c^a \\ v_c^b \\ v_c^c \\ v_c^n \end{bmatrix} = \begin{bmatrix} v_{c1} \\ v_{c2} \\ v_{c3} \\ v_{c4} \end{bmatrix} v_{dc} \quad (14)$$

where v_{c1} , v_{c2} , v_{c3} and v_{c4} are the optimal levels of the three-phase four-wire two-level H-bridge APF system $(-1, 0, 1)$.

IV. SIMULATION RESULTS

The proposed control strategy was simulated using MATLAB/Simulink considering 40 kHz of sampling frequency and 342 V of the DC side [12]. The electrical parameters as well as the MPC parameters are shown in Table II. Numerical integration using Runge-Kutta method has been applied to compute the evolution of the variables step by step in the time-domain.

Algorithm 1 Optimization algorithm

1. Initialize $J_o^a := \infty$, $J_o^b := \infty$, $J_o^c := \infty$, $J_o^n := \infty$, $\eta := 0$
2. Compute the STATCOM reference currents. Eqn. (13)
3. **while** $\eta \leq \varepsilon$ **do**
4. $S_{fij} \leftarrow S_{fij}^n \ \forall i = 1, 2, 3, 4 \ \& \ j = 1, 2, 3, 4$
5. Compute the STATCOM prediction currents. Eqn. (4)
6. Compute the errors. Eqn. (5)
7. Compute the cost function. Eqn. (6)
8. **if** $J^a < J_o^a$ **then**
9. $J_o^a \leftarrow J^a$, $S_a^{opt} \leftarrow S_{aij}$
10. **end if**
11. **if** $J^b < J_o^b$ **then**
12. $J_o^b \leftarrow J^b$, $S_b^{opt} \leftarrow S_{bij}$
13. **end if**
14. **if** $J^c < J_o^c$ **then**
15. $J_o^c \leftarrow J^c$, $S_c^{opt} \leftarrow S_{cij}$
16. **end if**
17. **if** $J^n < J_o^n$ **then**
18. $J_o^n \leftarrow J^n$, $S_n^{opt} \leftarrow S_{nij}$
19. **end if**
20. $\eta := \eta + 1$
21. **end while**

Fig. 4 (upper) shows the active and reactive power on the grid side. The active power remains constant load balanced, when the unbalance occurs to 0.04 s, oscillates due to impedance variations and current circulating in the load. While the reactive power is maintained in the near average zero before and after the load unbalance. In Fig. 4 (bottom) i_c^a , i_L^a and i_s^a currents are observed, respectively.

On the hand Fig. 5 system behavior in balanced load is observed during the first 0.04 s. At that moment the load is changed in the phase "a", which makes the load is unbalanced. The dynamics of the system tracks the reference current i_c^{a*} ,

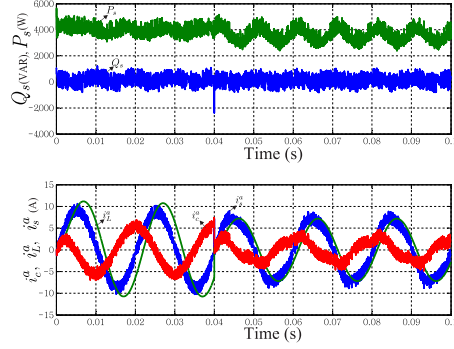


Fig. 4. Two-level H-bridge APF transient response, active and reactive power compensation.

TABLE II
PARAMETERS DESCRIPTION

Two-Level CHB STATCOM			
PARAMETER	SYMBOL	VALUE	UNIT
Electric frequency of the grid	f_e	50	Hz
Voltage of the electric grid	v_s	310.2	V
Filter resistance	R_f	0.09	Ω
Filter inductance	L_f	3	mH
DC-link voltage	v_{dc}	342	V
Load parameters			
Load resistance	R_L	23.2	Ω
Neutral load resistance	R_{Ln}	1	Ω
Change load	R_L	40	Ω
Load inductance	L_L	55	mH
Predictive control parameters			
Sampling time	T_s	25	μs
Active power reference	P_c^*	0	W
Ideal Reactive power reference	Q_c^*	$-Q_L$	VAR
Zero sequence instantaneous power	P_{c0}^*	$-P_{L0}$	W

even if the load imbalance occurs, the system has performed well by injecting reactive power.

Then, in Fig. 6 the current in phase "a" of the APF, i_c^a and i_c^{a*} to unbalance load occur, as current monitoring occurs. Moreover, Fig. 7 system dynamics is observed in the neutral charge i_L^n , as the injected current i_c^n and reference i_c^{n*} STATCOM. Even at 0.04 s. the system has load balancing and load current i_L^n is zero, the neutral current injected by the APF. When the load unbalance occurs, the current injected by the APF and the neutral current of the load 180 degrees so that compensate. It can be observed that the neutral current of the i_s^n source it is on average approximately zero, which meets the parameters of calculation and design of active filter.

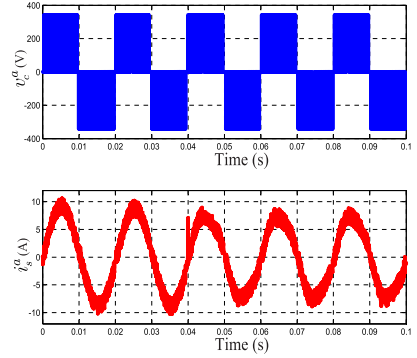


Fig. 5. Dynamic response evolution of v_c^a , i_s^a and current tracking considering a reactive power step with a load change in the phase "a".

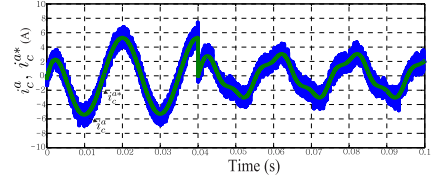


Fig. 6. Dynamic response evolution of i_c^a , i_c^{a*} and current tracking considering a reactive power step with a load change in the phase "a".

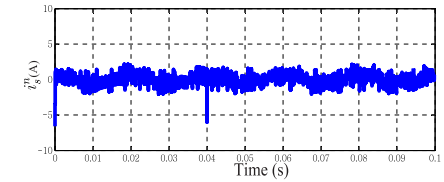
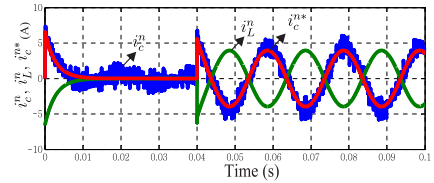


Fig. 7. Dynamic response evolution of i_L^n , i_c^{n*} and i_c^n neutral current in the load and injection current compensating filter neutral load with a load change in the phase "a".

V. CONCLUSION

In this paper, a predictive current control technique for a two-level H-bridge APF has been proposed and analyzed. It has been shown that it is possible to compensate the reactive power and instantaneous neutral current in unbalanced load for improving the power factor of the mains. The simulation results confirm the ability of the proposed technique in the field of instantaneous reactive power compensation and neutral current for unbalanced load.

ACKNOWLEDGMENT

The authors would like to acknowledge the financial support of FONDECYT Regular 1160690 project and Paraguayan Government support provided by means of a CONACYT project 14-INV-096.

REFERENCES

- [1] S. A. Kamran and J. Muñoz, "Study of a state-of-the-art M-STATCOM," in *Proc. ICIT*, 2015, pp. 2733–2738.
- [2] M. Kumar and M. Mishra, "Three-leg inverter-based distribution static compensator topology for compensating unbalanced and non-linear loads," *IET Power Electron.*, vol. 8, no. 11, pp. 2076–2084, 2015.
- [3] A. K. Balasubramanian and V. John, "Thermal test method for high power three-phase grid-connected inverters," *IET Power Electron.*, vol. 8, no. 9, pp. 1670–1680, 2015.
- [4] G. Buticchi, D. Barater, C. Concari, and G. Franceschini, "Single-phase series active power filter with transformer-coupled matrix converter," *IET Power Electron.*, vol. 9, no. 6, pp. 1279–1289, 2016.
- [5] E. Fabricio, C. Jacobina, and V. Nobrega, "Four-wire shunt compensator based on H-bridge Y-connected converters," in *Proc. IECON*, 2014, pp. 5184–5190.
- [6] H. Huang, R. Xu, and H. Wang, "The study of three-phase four-wire shunt active power filter," in *Proc. MEC*, 2013, pp. 3496–3499.
- [7] R. Gregor, L. Comparatore, A. Renault, J. Pacher, J. Rodas, S. Toledo, and M. Rivera, "A novel predictive-fixed switching frequency technique for a cascade H-Bridge multilevel STATCOM," in *Proc. IECON*, 2016.
- [8] S. Mikkili and A. K. Panda, "Power quality issues and solutions-review," *Int. J. Emerg. Elec. Power Syst.*, vol. 16, no. 4, pp. 357–384, 2015.
- [9] A. Hamidi, A. Ahmadi, M. S. Feali, and S. Karimi, "Implementation of digital FCS-MP controller for a three-phase inverter," *Electr. Eng.*, vol. 97, no. 1, pp. 25–34, 2015.
- [10] A. K. Panda and R. Patel, "Adaptive hysteresis and fuzzy logic controlled-based shunt active power filter resistant to shoot-through phenomenon," *IET Power Electron.*, vol. 8, no. 10, pp. 1963–1977, 2015.
- [11] L. B. G. Campanhol, S. A. O. da Silva, and A. Goedtel, "Application of shunt active power filter for harmonic reduction and reactive power compensation in three-phase four-wire systems," *IET Power Electron.*, vol. 7, no. 11, pp. 2825–2836, 2014.
- [12] Y. Li, Z. Ye, N. He, J. Wu, C. Hu, and D. Xu, "Efficiency improvement of a SiC-MOSFET 500 kHz ZVS inverter," in *Proc. PEDG*, 2016, pp. 1–8.

Model Based Predictive Current Control for a Three-Phase Cascade H-Bridge Multilevel STATCOM Operating at Fixed Switching Frequency

L. Comparatore, R. Gregor, J. Rodas, J. Pacher and A. Renault
Laboratory of Power and Control Systems
Universidad Nacional de Asunción
Luque, Paraguay

M. Rivera
Department of Electrical Engineering
Universidad de Talca
Curicó, Chile

Abstract—The absence of modulator in model based predictive control technique for different converter topologies generates a variable switching frequency that produces high frequency harmonics and higher stress on the power semiconductor devices. In this paper, a novel model based predictive control strategy with a fixed switching frequency applied to a three-phase cascade H-bridge multilevel STATCOM is introduced with the aim to increase the performance of classical model predictive control. Simulation results show increased performance of the proposed control method in terms of current waveform total harmonic distortion.

Index Terms—Cascade H-bridge converter, fixed switching frequency, model based predictive control.

NOMENCLATURE

CHB	Cascade H-bridge.
MBPC	Model based predictive control.
MSE	Mean squared error.
PCC	Point of common coupling.
STATCOM	Static synchronous compensator.
THD	Total harmonic distortion.

I. INTRODUCTION

The major reasons for the growing interest in the use of MBPC technique are the evolution of data processing capabilities of the digital signal processors, its nonlinear operation, fast dynamic response and simplicity to represent different control objectives by a cost function. Classical MBPC method consists in use a precise mathematical model of the system to have an accurate prediction of the behavior of the controlled variables, where the prediction is carried out for each possible switching state, that in power converters, there are always a limited number of valid switching states. Next, an optimization process uses this information to evaluate a defined cost function for each prediction to provide the control action that minimizes such cost function. Then, the control action selected is applied in the next sampling time [1]. The classic MBPC has the particularity to provide a variable switching frequency, due to the absence of modulator. In terms of power quality, not only the spread spectrum and the high frequency harmonics are shown in the output waveforms but also the

high stress on the power semiconductor devices. In order to solve these issues, a novel approach for different topologies and its applications has been presented: three-phase active rectifier [2], two-level voltage source inverters [3]–[5], direct matrix converters [6], [7], active power compensators [8], neutral pointed clamping converters [9] and 7-level CHB back-to-back converter [10]. Of all of the different topologies and their applications, the CHB multilevel converters-based is one of the most commonly used and an attractive topology due to their modularization, extensibility, control simplicity and high-quality output [11], [12].

The purpose of this paper is to use a MBPC strategy with fixed switching frequency, in order to control a three-phase CHB 7-level STATCOM. Noteworthy that the proposal is not innovative, however, still now is not recorded in the literature neither simulations results nor experimental results of this control technique applied to three-phase CHB 7-level converter for STATCOM applications. The proposed control approach consists in to include a modulation stage in the optimization algorithm of the classical MBPC, to generate the duty cycles for two active switching states and one null switching state which are applied to the CHB 7-level STATCOM using a switching pattern procedure. An optimization process considering a defined cost function allows calculating the duty cycles of each switching state.

II. CHB CONVERTER-BASED STATCOM MODEL

Fig. 1 shows the three-phase 7-level CHB converter-based STATCOM coupled to the power grid and the load through a shunt power filter (L_f - R_f), connected in the PCC. The STATCOM is composed by three cells H-bridge per phase with an independent DC-link for each cell. All DC-link buses have the same voltage v_{dc} and the same capacitance C_{dc} values. Each cell contains four switching devices which are activated with digital signals $s_{\phi ij}$, being ϕ the corresponding phase (a , b or c), i the cell number (1, 2 or 3) and j the switching device (1, 2, 3 or 4). With the purpose of avoiding a short-circuit in the DC-link, the signals $s_{\phi i1}$ and $s_{\phi i3}$ are complementary to $s_{\phi i2}$ and $s_{\phi i4}$ respectively. Then, to adjust

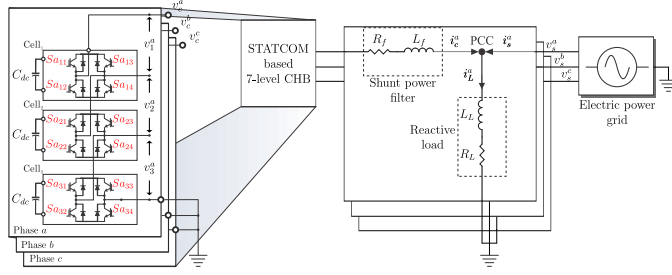


Fig. 1. Three-phase 7-level CHB converter-based STATCOM system connection.

the output voltage v_c^ϕ , only $2n_c = 6$ signals are needed. Each phase have $n_c = 3$ number of cells and $\varepsilon = 2^{2n_c} = 64$ possible switching states. Furthermore, each switching state corresponds to a switching function $F_s^\phi = \sum_{i=1}^{n_c} F_i^\phi$, where F_i^ϕ is the switching function for the cell i , whose possible values are shown in Table I.

TABLE I
SWITCHING FUNCTIONS FOR THE CELL "i"

$s\phi_{i1}$	$s\phi_{i3}$	$s\phi_{i2}$	$s\phi_{i4}$	F_i^ϕ
1	0	0	1	+1
1	1	0	0	0
0	0	1	1	0
0	1	1	0	-1

The output voltage can be synthesized as a function of the DC-link voltage v_{dc} and the switching function F_s^ϕ as:

$$v_c^\phi = F_s^\phi v_{dc} \quad (1)$$

Using Kirchhoff's circuit laws, the continuous time-domain model of the CHB converter-based STATCOM is:

$$\frac{di_c^\phi}{dt} = \frac{v_s^\phi}{L_f} - \frac{R_f}{L_f} i_c^\phi - \frac{v_c^\phi}{L_f} \quad (2)$$

where i_c^ϕ is the current injected by the CHB converter-based STATCOM and v_s^ϕ the grid voltage.

The discrete time-domain model is obtained by using the forward-Euler discretization method:

$$i_c^\phi(k+1) = \left(1 - \frac{R_f T_s}{L_f}\right) i_c^\phi(k) + \frac{T_s}{L_f} \{v_s^\phi(k) - v_c^\phi(k)\} \quad (3)$$

being T_s the sampling time, k identifies the actual discrete-time sample and $i_c^\phi(k+1)$ are the predictions of the STATCOM phase currents made at sample k .

III. PROPOSED PREDICTIVE CONTROL WITH FIXED SWITCHING FREQUENCY

The classical MBPC technique uses the predictive model represented by (3) to predict the behavior of the future states

of all possible switching states. Then, the predicted errors for current tracking are calculated as follows:

$$ei_c^\phi(k+1) = i_c^{\phi*}(k+1) - i_c^\phi(k+1) \quad (4)$$

where the superscript (*) indicates a reference variable.

The cost function (for each phase ϕ) is defined as a quadratic measure of the predicted error, as follows:

$$g^\phi = \|ei_c^\phi(k+1)\|^2 \quad (5)$$

where $\|\cdot\|$ denotes the magnitude of the variable.

Finally, the switching state that generates the minimum value of the defined cost function is selected by an optimization process clearly described in the Algorithm 1. This optimum switching state is applied in the next sampling time during the whole switching period.

Algorithm 1 Optimization algorithm of the classic MBPC

1. Initialize $g_{opt}^a := \infty, g_{opt}^b := \infty, g_{opt}^c := \infty, \eta := 0$
2. Compute $i_c^a(k+1)$, $i_c^b(k+1)$ and $i_c^c(k+1)$
3. **while** $\eta \leq \varepsilon$ **do**
4. Compute $i_c^a(k+1)$, $i_c^b(k+1)$ and $i_c^c(k+1)$
5. Compute $ei_c^a(k+1)$, $ei_c^b(k+1)$ and $ei_c^c(k+1)$
6. Compute g^a , g^b and g^c
7. **if** $g^a < g_{opt}^a$ **then**
8. $g_{opt}^a \leftarrow g^a$, $F_{s,opt}^a \leftarrow F_{s,\eta}^a$
9. **end if**
10. **if** $g^b < g_{opt}^b$ **then**
11. $g_{opt}^b \leftarrow g^b$, $F_{s,opt}^b \leftarrow F_{s,\eta}^b$
12. **end if**
13. **if** $g^c < g_{opt}^c$ **then**
14. $g_{opt}^c \leftarrow g^c$, $F_{s,opt}^c \leftarrow F_{s,\eta}^c$
15. **end if**
16. $\eta := \eta + 1$
17. **end while**

A. Classical vs. proposed MBPC

The main difference between the proposed method and the classical MBPC, is that the proposed method proceeds as

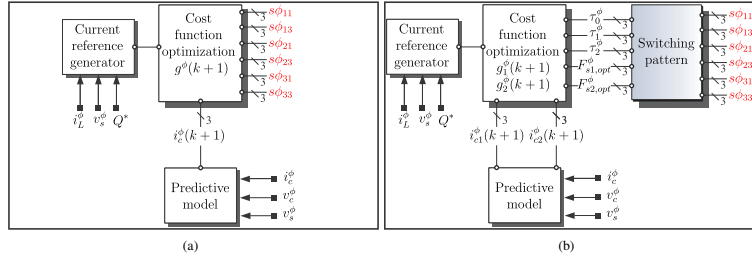


Fig. 2. Block diagram for: (a) the classic MBPC, (b) the proposed MBPC at fixed switching frequency.

space vector modulation. In space vector modulation, each sector is defined by two adjacent vectors (and one null vector), nonetheless, in this work, the “sectors” are defined by two consecutive active (or no-null) states and one null state (please refer to Appendix). For simplicity, always $\eta = 1$ is used as null state (where η is the state number, defined in the Appendix). Then, the first sector is the one between switching state number $\eta = 2$ and switching state number $\eta = 3$, the second sector, the one between switching state number $\eta = 3$ and switching state number $\eta = 5$, and so on. The two optimum states are chosen by an optimization process that evaluates the predicted errors separately for each prediction and are applied during specified times, being their duty cycles inversely proportional to the respective cost functions.

The block diagram of the classic MBPC method and the proposed method are shown in Fig. 2, where the switching pattern block is highlight.

B. Cost function optimization

The new cost function (for each phase ϕ) for the proposed method is defined as the sum of the cost functions $g_{1,2}^\phi$ defined by (5) whose respective weighting factors are the duty cycles $\tau_{1,2}^\phi$ for the two active states, leaving the equation as:

$$g^\phi = \tau_1^\phi g_1^\phi + \tau_2^\phi g_2^\phi \quad (6)$$

The switching state that generates the lowest value of the cost function must be applied higher time, i.e., the duty cycle must be inversely proportional to the cost function. The duty cycles for the two active switching states and one null switching state are calculated by solving:

$$\begin{aligned} \tau_0^\phi &= K^\phi / g_0^\phi \\ \tau_1^\phi &= K^\phi / g_1^\phi \\ \tau_2^\phi &= K^\phi / g_2^\phi \\ \tau_0^\phi + \tau_1^\phi + \tau_2^\phi &= 1 \end{aligned} \quad (7)$$

where τ_0^ϕ correspond to the duty cycle of a null state which is evaluated only one time and K^ϕ is the constant of proportionality.

The expressions of the duty cycles for each switching state are given solving (7) for K^ϕ as:

$$\begin{aligned} \tau_0^\phi &= g_1^\phi g_2^\phi / (g_0^\phi g_1^\phi + g_1^\phi g_2^\phi + g_0^\phi g_2^\phi) \\ \tau_1^\phi &= g_0^\phi g_2^\phi / (g_0^\phi g_1^\phi + g_1^\phi g_2^\phi + g_0^\phi g_2^\phi) \\ \tau_2^\phi &= g_0^\phi g_1^\phi / (g_0^\phi g_1^\phi + g_1^\phi g_2^\phi + g_0^\phi g_2^\phi) \end{aligned} \quad (8)$$

Being the turn-on times (T_0^ϕ, T_1^ϕ and T_2^ϕ) the products of multiplying the duty cycles (τ_0^ϕ, τ_1^ϕ and τ_2^ϕ) by the sampling time, respectively.

Finally, the optimization process (for each phase ϕ) is illustrated in Algorithm 2.

Algorithm 2 Optimization algorithm of the proposed method

1. Initialize $g_{opt}^\phi := \infty, \eta := 0$
2. Compute $i_c^*(k+1)$
3. Compute $i_{c0}^\phi(k+1)$
4. Compute $ei_{c0}^\phi(k+1)$
5. Compute $g_0^\phi = g_0^\phi(k+1)$
6. **while** $\eta \leq \varrho$ **do**
7. Compute $i_{c1}^\phi(k+1)$ and $i_{c2}^\phi(k+1)$
8. Compute $ei_{c1}^\phi(k+1)$ and $ei_{c2}^\phi(k+1)$
9. Compute $g_1^\phi = g_1^\phi(k+1)$ and $g_2^\phi = g_2^\phi(k+1)$
10. Compute τ_0^ϕ, τ_1^ϕ and τ_2^ϕ
11. Compute $g^\phi = \tau_1^\phi g_1^\phi + \tau_2^\phi g_2^\phi$
12. **if** $g^\phi < g_{opt}^\phi$ **then**
13. $g_{opt}^\phi \leftarrow g^\phi$
14. Compute T_0^ϕ, T_1^ϕ and T_2^ϕ
15. $F_{s1,opt}^\phi \leftarrow F_{s1,\eta}^\phi, F_{s2,opt}^\phi \leftarrow F_{s2,\eta}^\phi$
9. **end if**
10. $\eta := \eta + 1$
11. **end while**

C. Switching pattern

At the end of the optimization process, the two optimum active switching states ($F_{s1,opt}^\phi$ and $F_{s2,opt}^\phi$) and the one null switching state are applied during their respective turn-on

times using the switching pattern procedure that is shown in Fig. 4, similar to [3], [4].

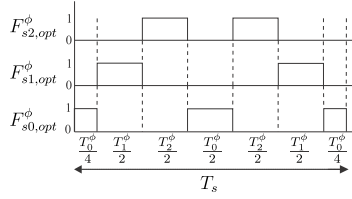


Fig. 3. Switching pattern for the optimal switching states.

D. Current reference generator

Using the following Clarke's transformation matrix:

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (9)$$

the instantaneous $\alpha - \beta$ current references are:

$$\begin{bmatrix} i_c^{\alpha*} \\ i_c^{\beta*} \end{bmatrix} = \frac{1}{(v_s^\alpha)^2 + (v_s^\beta)^2} \begin{bmatrix} v_s^\alpha & v_s^\beta \\ v_s^\beta & -v_s^\alpha \end{bmatrix} \begin{bmatrix} P_c^* \\ Q_c^* \end{bmatrix} \quad (10)$$

where the instantaneous active and reactive power references ideally are:

$$\begin{aligned} P_c^* &= 0 \\ Q_c^* &= -Q_L \end{aligned} \quad (11)$$

being $Q_L = v_{s\alpha} i_{L\beta} - v_{s\beta} i_{L\alpha}$ the instantaneous reactive load power to be compensate.

Finally, the STATCOM phase currents references used in the optimization process are:

$$[i_c^{\alpha*} \ i_c^{\beta*} \ i_c^{c*}]' = \mathbf{T}^{-1} [i_c^{\alpha*} \ i_c^{\beta*} \ 0]' \quad (12)$$

where the superscript $(\cdot)'$ indicates the transposed matrix.

IV. SIMULATION RESULTS

In order to validate the effectiveness of the proposed method, simulation results in Matlab/Simulink environment were carried out, considering the electrical parameters shown in Table II. The performance of the proposed method are compared with the results obtained with the classical MBPC implementation, in both cases considering a 25 kHz of sampling frequency.

A good current tracking is presented in Fig. 4 (upper), having a reduction in the MSE from 0.4206 A to 0.3207 A. Moreover, in Fig. 4 (bottom) it is possible to notice how the instantaneous reactive power is compensated ($Q_c = -Q_L$). The big spikes are consequence of the application of the null vector in the switching pattern.

TABLE II
PARAMETERS DESCRIPTION

Electric power grid			
PARAMETER	SYMBOL	VALUE	UNIT
Grid frequency	f_e	50	Hz
Grid voltage	v_s	310.2	V
7-Level CHB STATCOM			
Filter resistance	R_f	0.09	Ω
Filter inductance	L_f	3	mH
DC-link voltage	v_{dc}	154	V
Load parameters			
Load resistance	R_L	23.2	Ω
Load inductance	L_L	55	mH
Predictive control parameters			
Sampling time	T_s	40	μs
Simulation step	-	1	μs

A comparison analysis between the proposed method and the classical MBPC is shown in Fig. 5 considering: (upper) the switching pattern, (middle) the output voltages of the STATCOM and (bottom) the THD of the analyzed output voltage. As shown in Fig. 5 (b) a more sinusoidal output voltage v_c^a is obtained with respect to the output voltage than in Fig. 5 (a) due to the switching pattern procedure. Furthermore, the operation at fixed switching frequency produces a more concentrated spectrum in exchange of a higher THD parameter of the output voltage (due to the way in which the sectors were defined).

Additionally, considering the interval 0.05 to 0.09 s, Fig. 6 shows the improvement obtained in the THD performance parameter of the grid current, that is about 65% (a drop from 6.61% to 2.32%) using the proposed method.

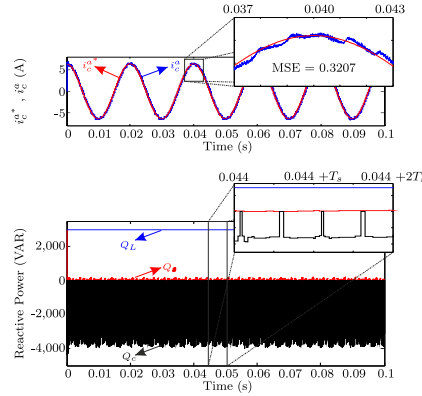


Fig. 4. CHB STATCOM response: (upper) current tracking, (bottom) reactive power compensation.

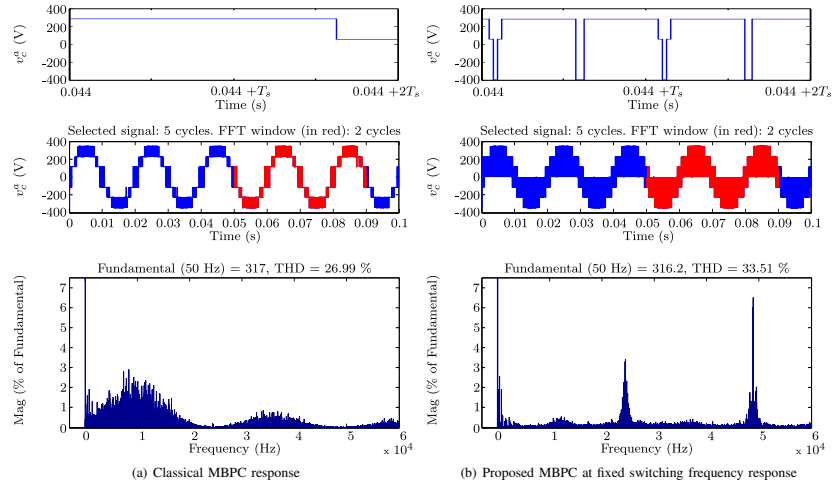


Fig. 5. Comparison performance considering: (upper) the switching pattern of the output voltage of the STATCOM obtained (middle) the output voltage of the STATCOM and (bottom) the THD of the output voltage.

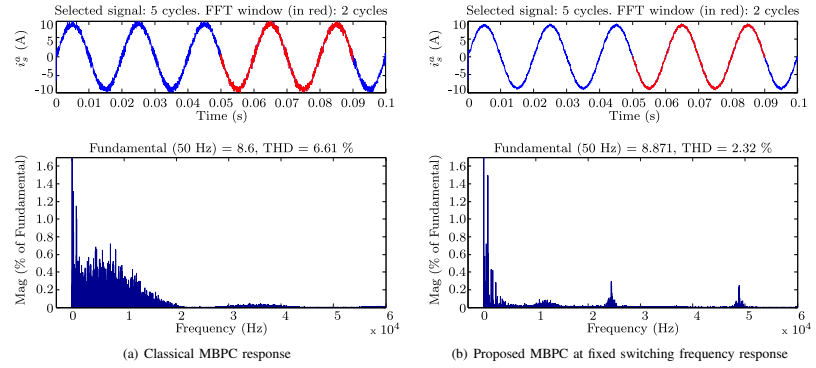


Fig. 6. Comparison performance considering: (upper) the grid current and (bottom) the THD of the grid current.

V. CONCLUSION

In this paper, a MBPC operating at fixed switching frequency applied to the three-phase CHB 7-level STATCOM has been proposed. From the simulation results it is possible to confirm a good capability of the proposed control technique to compensate the reactive power and better performance in terms of THD and MSE, compared with the results obtained by the classical MBPC. A comparative simulation results performed with reference to the classical predictive control also show improvements relative to the output voltage waveform.

ACKNOWLEDGMENT

The authors would like to thank to the Paraguayan Government for the economical support they provided through the CONACYT Grant 14-INV-096. This work was also made possible by the FONDECYT Regular Project N° 1160690.

REFERENCES

- [1] S. Kouro, M. A. Perez, J. Rodriguez, A. M. Llor, and H. A. Young, "Model predictive control: MPC's role in the evolution of power electronics," *IEEE Ind. Electron. Mag.*, vol. 9, no. 4, pp. 8–21, 2015.
- [2] L. Tarisciotti, P. Zanchetta, A. Watson, J. C. Clare, M. Degano, and S. Bifaretti, "Modulated model predictive control for a three-phase active rectifier," *IEEE Trans. Ind. Electron.*, vol. 51, no. 2, pp. 1610–1620, 2015.
- [3] M. Rivera, F. Morales, C. Baier, J. Muoz, L. Tarisciotti, P. Zanchetta, and P. Wheeler, "A modulated model predictive control scheme for a two-level voltage source inverter," in *Proc. ICIT*, Seville, 2015, pp. 2224–2229.
- [4] M. Rivera, "A new predictive control scheme for a VSI with reduced common mode voltage operating at fixed switching frequency," in *POWERENG*, Riga, 2015, pp. 617–622.
- [5] M. Tomlinson, T. Mouton, and R. Kennel, "Finite-control-set model predictive control with a fixed switching frequency vs. linear control for current control of a single-leg inverter," in *Proc. PRECEDE*, Valparaíso, 2015, pp. 109–114.
- [6] M. Vijayagopal, P. Zanchetta, L. Empringham, L. D. Lillo, L. Tarisciotti, and P. Wheeler, "Modulated model predictive current control for direct matrix converter with fixed switching frequency," in *Proc. EPE ECCE-Europe*, Geneva, 2015, pp. 1–10.
- [7] M. Vijayagopal, L. Empringham, L. de Lillo, L. Tarisciotti, P. Zanchetta, and P. Wheeler, "Current control and reactive power minimization of a direct matrix converter induction motor drive with modulated model predictive control," in *Proc. PRECEDE*, Valparaíso, 2015, pp. 103–108.
- [8] R. Rabbeni, L. Tarisciotti, A. Gaeta, A. Formentini, P. Zanchetta, M. Pucci, M. Degano, and M. Rivera, "Finite states modulated model predictive control for active power filtering systems," in *Proc. IEEE ECCE*, Montreal, 2015, pp. 1556–1562.
- [9] M. Norambuena, H. Yin, S. Dieckerhoff, and J. Rodriguez, "Improved finite control set model predictive control with fixed switching frequency for three phase NPC converter," in *Proc. PCIM Europe*, Nuremberg, Germany, 2016, pp. 1–8.
- [10] L. Tarisciotti, P. Zanchetta, A. Watson, S. Bifaretti, and J. C. Clare, "Modulated model predictive control for a seven-level cascaded H-bridge back-to-back converter," *IEEE Trans. Ind. Electron.*, vol. 61, no. 10, pp. 5375–5383, 2014.
- [11] R. Gregor, A. Renault, L. Comparatore, J. Pacher, J. Rodas, D. Gregor, J. Muñoz, and M. Rivera, "Finite-states model predictive control with increased prediction horizon for a 7-level cascaded H-bridge multilevel STATCOM," in *Proc. WMSCI*, Miami, 2016, pp. 1–6, CD-ROM.
- [12] R. Gregor, L. Comparatore, A. Renault, J. Rodas, J. Pacher, S. Toledo, and M. Rivera, "A novel predictive-fixed switching frequency technique for a cascade H-Bridge multilevel STATCOM," in *Proc. IECON*, Florence, 2016, pp. 3672–3677.

APPENDIX

TABLE III
SWITCHING FUNCTIONS FOR A THREE-PHASE 7-LEVEL CHB
CONVERTER-BASED STATCOM SYSTEM

$S_{\phi_{\eta}}$						η	$F_{s,\eta}^{\phi}$
$s\phi_{11}$	$s\phi_{13}$	$s\phi_{21}$	$s\phi_{23}$	$s\phi_{31}$	$s\phi_{33}$		
0	0	0	0	0	0	1	0
0	0	0	0	0	1	2	-1
0	0	0	0	1	0	3	1
0	0	0	0	1	1	4	0
0	0	0	1	0	0	5	-1
0	0	0	1	0	1	6	-2
0	0	0	1	1	0	7	0
0	0	0	1	1	1	8	-1
0	0	1	0	0	0	9	1
0	0	1	0	0	1	10	0
0	0	1	0	1	0	11	2
0	0	1	0	1	1	12	1
0	0	1	1	0	0	13	0
0	0	1	1	0	1	14	-1
0	0	1	1	1	0	15	1
0	0	1	1	1	1	16	0
0	1	0	0	0	0	17	-1
0	1	0	0	0	1	18	-2
0	1	0	0	1	0	19	0
0	1	0	0	1	1	20	-1
0	1	0	1	0	0	21	-2
0	1	0	1	0	1	22	-3
0	1	0	1	1	0	23	-1
0	1	0	1	1	1	24	-2
0	1	1	0	0	0	25	0
0	1	1	0	0	1	26	-1
0	1	1	0	1	0	27	1
0	1	1	0	1	1	28	0
0	1	1	1	0	0	29	-1
0	1	1	1	0	1	30	-2
0	1	1	1	1	0	31	0
0	1	1	1	1	1	32	-1
1	0	0	0	0	0	33	1
1	0	0	0	0	1	34	0
1	0	0	0	1	0	35	2
1	0	0	0	1	1	36	1
1	0	0	1	0	0	37	0
1	0	0	1	0	1	38	-1
1	0	0	1	1	0	39	1
1	0	0	1	1	1	40	0
1	0	1	0	0	0	41	2
1	0	1	0	0	1	42	1
1	0	1	0	1	0	43	3
1	0	1	0	1	1	44	2
1	0	1	1	0	0	45	1
1	0	1	1	0	1	46	0
1	0	1	1	1	0	47	2
1	0	1	1	1	1	48	1
1	1	0	0	0	0	49	0
1	1	0	0	0	1	50	-1
1	1	0	0	1	0	51	1
1	1	0	0	1	1	52	0
1	1	0	1	0	0	53	-1
1	1	0	1	0	1	54	-2
1	1	0	1	1	0	55	0
1	1	0	1	1	1	56	-1
1	1	1	0	0	0	57	1
1	1	1	0	0	1	58	0
1	1	1	0	1	0	59	2
1	1	1	0	1	1	60	1
1	1	1	1	0	0	61	0
1	1	1	1	0	1	62	-1
1	1	1	1	1	0	63	1
1	1	1	1	1	1	64	0

Efficiency analysis of a modular H-bridge based on SiC MOSFET

J. Pacher^a, J. Rodas^a, R. Gregor^a, M. Rivera^b, A. Renault^a and L. Comparatore^a

^aLaboratory of Power and Control Systems, Facultad de Ingeniería, Universidad Nacional de Asunción, Paraguay; ^bFaculty of Engineering, Universidad de Talca, Chile

ARTICLE HISTORY

Compiled September 10, 2017

ABSTRACT

Several new high-performance power semiconductors has appear during the last decade, being the silicon carbide (SiC) MOSFETs the most promising to be commercialized as an alternative of Si IGBT. This letter presents the performance analysis of a controller for a full H-bridge based on SiC MOSFET technology used for high frequency and medium voltage applications. The switching performance of the proposed modular H-bridge is analyzed and the efficiency/losses and temperature dissipation are measured in order to help engineers to design and develop circuits using this type of device.

KEYWORDS

Modular H-bridge, Sic-Mosfet, Efficiency analysis.

1. Introduction

Silicon carbide (SiC) MOSFETs have been attracted as a superior alternative for power switching devices because they offers several advantageous electrical characteristics such as lower on-resistance, higher temperature durability, higher speed switching performance and lower switching losses compared to Si IGBT Mukunoki (2015). These features allow the use of SiC MOSFETs for the development of more efficient systems that have been applied in recent years in many applications such as matrix converters Safari (2015), multilevel converters Wu (2015), inverters Gurpinar (2016) and DC/DC converters Nakakohara (2016). To exploit the capabilities of SiC MOSFET designers must know the technical limitations of the device because of the efficiency of power devices has a significant impact on the final implemented system. For instance, a high switching frequency produces lower total harmonic distortion values while the switching losses increase significantly.

Although published results show the interest of the use of SiC MOSFET devices in several applications, they do not present a detailed performance analysis of the device. Few comparative study between SiC-MOSFET and IGBT can be found in Trentin (2015) and Trentin (2015) applying to matrix converters. In this context, the main contribution of this letter is the experimental efficiency/losses and thermographic analysis of the power device SiC MOSFET, using a modular H-bridge as a case study. Furthermore, a comparison between SiC MOSFET and Si MOSFET is also presented.

2. Description of the full H-bridge topology and experimental system

The block diagram of the proposed H-bridge is shown in Fig. 1(a). The control signals for the H-Bridge scheme are sent by two fiber-optic links whose signals are processed by the HFBR-2521Z fiber optic receiver [Fig. 1(b)]. Then, the two electrical PWM signals are sent to a block in charge of generating the complementary $\overline{PWM}$ signals necessary for the control of each branch of the H-bridge. This circuit also implements the necessary dead time between each PWM and its complement $\overline{PWM}$, which is performed by using XOR 74HC86 gates and resistive and capacitive elements. The driver for SiC MOSFETs is implemented using the IR2110S integrated circuit, as shown in Fig. 1(c). For the assembly of the power stage of the design, the SiC MOSFET SCH2080KE, shown in Fig. 1(d) is used. In order to achieve the modularity of each H-bridge cell, they have their own independent power source (VCC_1 and VCC_2) implemented by the galvanically isolated DC/DC converter CC10-1212SF [Fig. 1(e)].

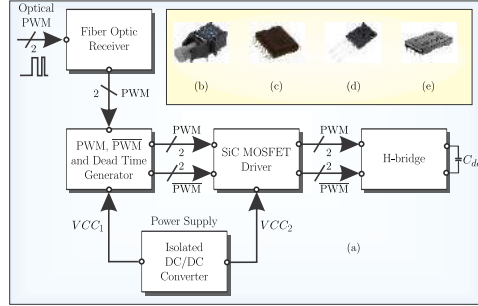


Figure 1. Block diagram of the H-bridge driver and its components.

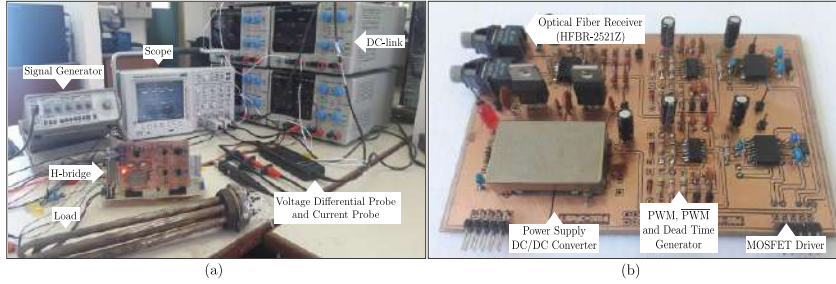


Figure 2. Experimental system: (a) Measurement test rig setup, (b) H-bridge driver.

Fig. 2(a) shows the experimental platform used for the tests. A RL load with values of $R = 20 \, \Omega$ and $L = 10 \, \mu H$ was used for the analysis. Voltage measurements were performed with a Tektronix P5210A voltage differential probe, while the currents were measured using a Tektronix TCPA300 current probe. A variable DC-link was implemented by using several DC power sources Minipa model MPL-3305M, to capture the signals used a Tektronix digital oscilloscope model TDS3034C. The test signal was obtained from an EX Digital generator model FG-8002. Fig. 2(b) shows the final design of the modular H-bridge.

3. Experimental results

First, the PWMs signals and dead time are analyzed. Fig. 3 show the PWM and $\overline{\text{PWM}}$ signals, where the dead time value is $1 \mu\text{s}$ for a frequency 100 kHz . This dead time is obtained by a circuit composed of logic gates 74HC86 and resistive and capacitive elements.

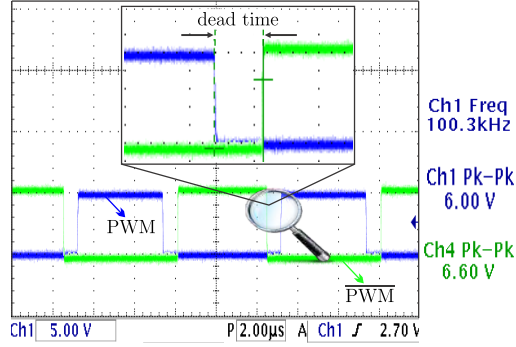


Figure 3. PWM and $\overline{\text{PWM}}$ signals and dead time (Ch1: PWM voltage–5 V/div; Ch2: $\overline{\text{PWM}}$ voltage– 5 V/div).

The output voltage (V_o) and output current (I_o) are shown in Fig. 4. Note that I_o has a slower transitions between high and low levels compared with V_o due to the inductive nature of the load.

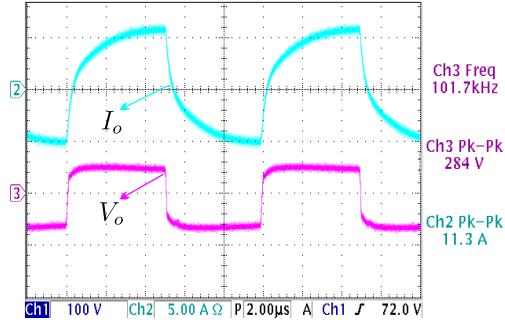


Figure 4. Output voltage (V_o) and output current (I_o) delivered to the RL load at 1 kW (Ch1: output voltage–100 V/div; Ch2: output current– 5 A/div).

In order to calculate the efficiency of the proposed modular full H-bridge the following equations are used for the conduction losses [Eq. (1)] and switching losses [Eq. (2)] presented by the SiC MOSFET:

$$P_{CM} = V_{DS} I_{Drms} = R_{DS(on)} I_{Drms}^2 \quad (1)$$

$$P_{sw} = \frac{V_{DD} I_D}{2} (t_{on} + t_{off}) f_s \quad (2)$$

being f_s the operating frequency, I_{Drms} the drain current root-mean squared (rms), $R_{DS(on)}$ the drain source resistance, V_{DD} the DC-link voltage, t_{on} and t_{off} the state transition time intervals, turn-on and turn-off, respectively. It is therefore necessary to measure the variables in (1) and (2) (see Fig. 5).

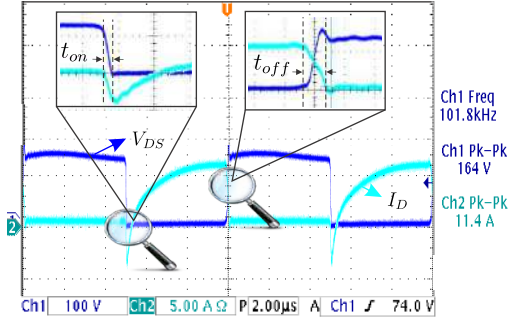


Figure 5. Modular H-bridge switching characteristics at 1 kW (Ch1: drain-source voltage–100 V/div; Ch2: drain current– 5 A/div).

Then, some tests have been carried out varying the output power (0.5 kW and 1 kW) as well as the switching frequency (from 50 kHz to 200 kHz). According to the obtained results (Fig. 6) the overall losses increase with frequency whereas the conduction losses decrease with increasing frequency. Notice that the efficiency is more than 95.5% for all analyzed cases, being at 50 kHz the highest 98.5% efficiency for 1 kW of output power.

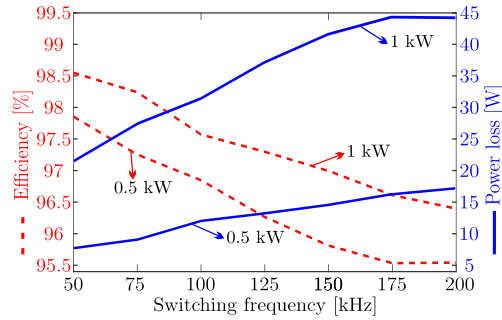


Figure 6. Efficiency (red lines) and power losses (blue lines) regarding the switching frequency.

Then, it is interesting to make a thermal quantification of the SiC MOSFETs. Fig. 7 shows a photograph obtained by a thermal imaging camera, being the temperatures on the SiC MOSFETs $SP_1 = 75.3^\circ\text{C}$, $SP_2 = 72.1^\circ\text{C}$, $SP_3 = 76.3^\circ\text{C}$, $SP_4 = 69.4^\circ\text{C}$. By a thermographic analysis it is possible to predict failure or malfunction points by non-uniform temperature as well as noting points of overheating. In this case the heating of each SiC MOSFET are approximately 7°C difference between the lower heating point with respect to greater heating. These measurements are important in determining the points of greatest stress with respect to the power dissipation in the modular H-bridge design.

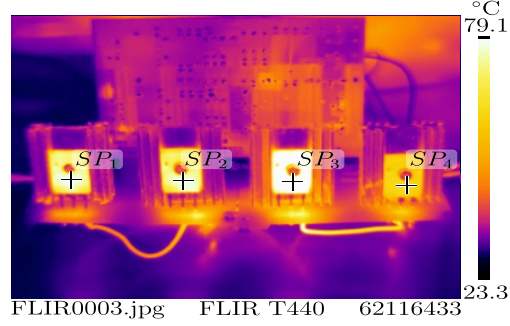


Figure 7. Thermographic image obtained from the H-bridge implemented with SiC MOSFETs.

To conclude the efficiency analysis, a comparative study between the SiC MOSFET and the Si MOSFET IRLB3034PBF is performed. For this test, DC current flowing in the H-bridge driver is plotted in Figure 3 against PWM frequency; (F_{pwm}) and duty cycle. The black and gray lines indicate currents of SiC MOSFET and Si MOSFET H-bridge drivers, respectively. The load was the solar linear motor connected to each H-bridge driver by the same condition. Then the cause of the difference of the current is attributed to the device. The currents at $F_{pwm} = 156$ kHz and duty cycle = 25 % is 1.1 A and 2.0 A for SiC MOSFET and Si MOSFET, respectively. Temperature rise of each device is plotted in Figure 4 similar to Figure 3. The temperature at $F_{pwm} = 156$ kHz and duty cycle = 25 % was 39 and 76 for SiC MOSFET and Si MOSFET, respectively. There is a big difference in temperature rise at high PWF frequencies

4. Conclusion

In this letter, the design and efficiency analysis of a modular H-bridge based on SiC MOSFET is presented. Experimental results show that the switching losses increase with frequency while conduction losses decrease with frequency. Switching losses in its transition from low to high represents the 92% of losses, while the transition from high to low represents the 2%. The conduction losses accounted for 6% of total losses. The design responds appropriately within the range of operating frequencies ranging between 50 kHz and 200 kHz, yielding an efficiency of 98% to 95% with increasing frequency.

Funding

This work was supported by the CONACYT under Grant 14-INV-096.

References

- Mukunoki Y., Nakamura Y., Horiguchi T., Kinouchi S., Nakayama Y., Terashima T., Kuzumoto M., & Akagi H. (2016). Characterization and Modeling of a 1.2-kV 30-A Silicon-Carbide MOSFET. *IEEE Transactions on Electron Devices*, 63(11), 4339-4345.

- Safari, S., Castellazzi, A., & P. Wheeler. (2014). Experimental and analytical performance evaluation of SiC power devices in the matrix converter. *IEEE Transactions Power Electronics*, 29(5), 2584-2596.
- Wu, L., Qin, J., Saeedifard, M., Wasynczuk, O., & Shenai, K. (2015). Efficiency evaluation of the modular multilevel converter based on Si and SiC switching devices for medium/high-voltage applications. *IEEE Transactions on Electron Devices*, 62(2), 286-293.
- Gurpinar, E., & Castellazzi, A. (2016). Single-Phase T-Type Inverter Performance Benchmark Using Si IGBTs, SiC MOSFETs, and GaN HEMTs. *IEEE Transactions on Power Electronics*, 31(10), 7148-7160.
- Nakakohara, Y., Otake, H., Evans, T. M., Yoshida, T., Tsuruya, M., & Nakahara, K. (2016). Three-Phase LLC Series Resonant DC/DC Converter Using SiC MOSFETs to Realize High-Voltage and High-Frequency Operation. *IEEE Transactions on Industrial Electronics*, 63(4), 2103-2110.
- Trentin A., de Lillo L., Empringham, L., Wheeler P., & Clare J. (2015). Experimental comparison of a direct matrix converter using Si IGBT and SiC MOSFETs. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 3(2), 542-554.
- Trentin A., Empringham, L., de Lillo L., Zanchetta, P., Wheeler P., & Clare J. (2016). Experimental efficiency comparison between a direct matrix converter and an indirect matrix converter using both Si IGBTs and SiC MOSFETs. *IEEE Journal of the Electron Devices Society*, 52(5), 4135-4145.

REFERENCIAS

- [1] J. L. M. Morales, M. H. Ángeles, D. Campos-Gaona, and R. Peña-Alzola, "Control design of a neutral point clamped converter based active power filter for the selective harmonic compensation," in *2016 IEEE PES Transmission Distribution Conference and Exposition-Latin America (PES T D-LA)*, Sept 2016, pp. 1–7.
- [2] M. M. A. Aziz, A. F. Zobaa, and H. A. El-sherbiny, "Customer unity power factor operation and harmonic compensation using shunt active filters," in *2006 Eleventh International Middle East Power Systems Conference*, vol. 1, Dec 2006, pp. 260–268.
- [3] A. Cavallini and G. C. Montanari, "Compensation strategies for shunt active-filter control," *IEEE Transactions on Power Electronics*, vol. 9, no. 6, pp. 587–593, Nov 1994.
- [4] R. Baharom, M. K. M. Salleh, and N. F. A. Rahman, "Active power filter with direct output voltage control of single-phase ac to dc converter," in *2016 IEEE International Conference on Power and Energy (PECon)*, Nov 2016, pp. 412–416.
- [5] C. N. Jibhakate, M. A. Chaudhari, and M. M. Renge, "Power factor improvement using nine switch ac-dc-ac converter," in *2016 IEEE 6th International Conference on Power Systems (ICPS)*, March 2016, pp. 1–4.
- [6] H. Shim, H. Kim, J. Song, D. H. Kim, K. Yoon, J. Kim, I. M. Kim, and Y. I. Kim, "Analysis of high frequency characteristics of power inverter using accurate igbt model based on datasheet

and measurement,” in *2015 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS)*, Dec 2015, pp. 81–84.

- [7] H. Tanabe, T. Kojima, A. Imakiire, K. Fuji, M. Kozako, and M. Hikita, “Comparison performance of si-igbt and sic-mosfet used for high efficiency inverter of contactless power transfer system,” in *2015 IEEE 11th International Conference on Power Electronics and Drive Systems*, June 2015, pp. 707–710.
- [8] J. Choi, D. Tsukiyama, and J. Rivas, “Evaluation of a 900 v sic mosfet in a 13.56 mhz 2 kw resonant inverter for wireless power transfer,” in *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, June 2016, pp. 1–6.
- [9] I. Griche, K. Saoudi, and A. Gherbi, “State of the art of power converter topologies for distributed generation systems,” in *2015 7th International Conference on Modelling, Identification and Control (ICMIC)*, Dec 2015, pp. 1–6.
- [10] J. R. B. A. Monteiro, M. L. Aguiar, G. T. Paula, A. A. Oliveira, L. G. Neto, and R. A. C. Altafim, “A novel low cost power converter topology for active power injection in low voltage monophasic power line from fuel cells,” in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, March 2014, pp. 3150–3154.
- [11] M. Jamil, R. Gupta, and M. Singh, “A review of power converter topology used with pmsg based wind power generation,” in *2012 IEEE Fifth Power India Conference*, Dec 2012, pp. 1–6.
- [12] M. Nowak, “Modeling and simulation of power converters in fpga using a step down buck type converter as an example,” in *2016 13th Selected Issues of Electrical Engineering and Electronics (WZEE)*, May 2016, pp. 1–4.
- [13] V. Kulmanov, A. Anuchin, E. Bychkova, and Y. Prudnikova, “Simulation of power converter with repetitive control system for higher harmonics elimination,” in *2016 IX International Conference on Power Drives Systems (ICPDS)*, Oct 2016, pp. 1–5.
- [14] D. K. Rathod and M. T. Shah, “Modelling and simulation of front end converter for power quality improvement,” in *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, March 2016, pp. 1397–1403.
- [15] N. Prabakaran and K. Palanisamy, “Analysis of cascaded h-bridge multilevel inverter configuration with double level circuit,” *IET Power Electronics*, vol. 10, no. 9, pp. 1023–1033, 2017.
- [16] I. H. Baci, S. Pop, and V. Bande, “Analysing of half-bridge inverter using the simulink platform,” in *2016 IEEE 22nd International Symposium for Design and Technology in Electronic Packaging (SIITME)*, Oct 2016, pp. 151–154.
- [17] J. K. Han, J. W. Kim, and G. W. Moon, “A high-efficiency asymmetrical half-bridge converter with integrated boost converter in secondary rectifier,” *IEEE Transactions on Power Electronics*, vol. 32, no. 11, pp. 8237–8242, Nov 2017.

- [18] H. Vahedi and K. Al-Haddad, "Half-bridge based multilevel inverter generating higher voltage and power," in *2013 IEEE Electrical Power Energy Conference*, Aug 2013, pp. 1–6.
- [19] N. Mohan, T. Undeland, and W. Robbins, *Electrónica de potencia: convertidores, aplicaciones y diseño*. McGraw-Hill, 2009. [Online]. Available: <https://books.google.com.pe/books?id=DzUJSQAACAAJ>
- [20] A. Alganidi, A. Abosnina, and G. Moschopoulos, "A novel high gain dc-dc full-bridge converter for low voltage renewable energy applications," in *2017 IEEE 30th Canadian Conference on Electrical and Computer Engineering (CCECE)*, April 2017, pp. 1–4.
- [21] B. Alamri and M. Darwish, "Power loss investigation in hvdc for cascaded h-bridge multilevel inverters (chb-mli)," in *2015 IEEE Eindhoven PowerTech*, June 2015, pp. 1–7.
- [22] M. Rashid and G. García, *Electrónica de potencia: circuitos, dispositivos y aplicaciones*. Prentice-Hall Hispanoamericana, 1995. [Online]. Available: <https://books.google.com.pe/books?id=7hrkAAAACAAJ>
- [23] L. Comparatore, R. Gregor, J. Rodas, J. Pacher, A. Renault, and M. Rivera, "Model based predictive current control for a three-phase cascade h-bridge multilevel statcom operating at fixed switching frequency," in *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, April 2017, pp. 1–6.
- [24] M. P. Aguirre, *Convertidores multinivel de modo corriente tolerantes a fallas*. Instituto de Investigaciones Tecnológicas para Redes y Equipos Eléctricos (IITREE), 2013. [Online]. Available: <http://sedici.unlp.edu.ar/handle/10915/38358>
- [25] X. Liu, J. Lv, C. Gao, Z. Chen, Y. Guo, Z. Gao, and B. Tai, "A novel diode-clamped modular multilevel converter with simplified capacitor voltage balancing control," *IEEE Transactions on Industrial Electronics*, vol. PP, no. 99, pp. 1–1, 2017.
- [26] K. Jung and Y. Suh, "Compensation of neutral point deviation in 3-level npc converter under unbalanced grid conditions," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, March 2016, pp. 17–24.
- [27] X. Liu, J. Lv, C. Gao, Z. Chen, and S. Chen, "A novel statcom based on diode-clamped modular multilevel converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 5964–5977, Aug 2017.
- [28] L. Ma, T. Kerekes, P. Rodriguez, X. Jin, R. Teodorescu, and M. Liserre, "A new pwm strategy for grid-connected half-bridge active npc converters with losses distribution balancing mechanism," *IEEE Transactions on Power Electronics*, vol. 30, no. 9, pp. 5331–5340, Sept 2015.
- [29] R. Naderi, A. K. Sadigh, and K. M. Smedley, "Dual flying capacitor active-neutral-point-clamped multilevel converter," *IEEE Transactions on Power Electronics*, vol. 31, no. 9, pp. 6476–6484, Sept 2016.
- [30] A. Dekka, B. Wu, and N. R. Zargari, "Start-up operation of a modular multilevel converter with flying capacitor submodules," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 5873–5877, Aug 2017.

- [31] S. Du, B. Wu, N. R. Zargari, and Z. Cheng, "A flying-capacitor modular multilevel converter for medium-voltage motor drive," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2081–2089, March 2017.
- [32] P. Papamanolis, D. Neumayr, and J. W. Kolar, "Behavior of the flying capacitor converter under critical operating conditions," in *2017 IEEE 26th International Symposium on Industrial Electronics (ISIE)*, June 2017, pp. 628–635.
- [33] M. M. Shobini, J. Kamala, and R. Rathna, "Analysis and simulation of flying capacitor multilevel inverter using pdpwm strategy," in *2017 International Conference on Innovative Mechanisms for Industry Applications (ICIMIA)*, Feb 2017, pp. 91–95.
- [34] A. Pigazo López, *Método de control de filtros activos de potencia paralelo tolerante a perturbaciones de la tensión de red*. Universidad de Cantabria, 2004. [Online]. Available: <http://www.tdx.cat/handle/10803/10632>
- [35] A. Renault, M. Riveray, L. Comparatore, J. Pacher, J. Rodas, and R. Gregor, "Model predictive current control with neutral current elimination for h-bridge two-level active power filters," in *2016 IEEE Ecuador Technical Chapters Meeting (ETCM)*, Oct 2016, pp. 1–5.
- [36] M. Román Lumbreras, *Filtros activos de potencia para la compensación instantánea de armónicos y energía reactiva*. Universitat Politècnica de Catalunya, 2006. [Online]. Available: <http://upcommons.upc.edu/handle/2117/93618>
- [37] M. Duberney, *Compensacion de armónicos con un filtro activo de potencia*. Universidad Tecnológica de Pereira, 2010. [Online]. Available: <http://repositorio.utp.edu.co/dspace/bitstream/handle/11059/1473/62138223M977.pdf?sequence=1>
- [38] R. Gregor, L. Comparatore, A. Renault, J. Rodas, J. Pacher, S. Toledo, and M. Rivera, "A novel predictive-fixed switching frequency technique for a cascade h-bridge multilevel statcom," in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct 2016, pp. 3672–3677.
- [39] V. Corasaniti, *Filtros activos de potencia para la compensación de reactivo y armónicos en media tensión*. Universidad Nacional de la Plata, 2008. [Online]. Available: http://sedici.unlp.edu.ar/bitstream/handle/10915/44696/Documento_completo_.pdf?sequence=1
- [40] S. Sun, J. S. Yuan, and Z. J. Shen, "Performance of trench power mosfet with strained si/sige multilayer channel," *IEEE Transactions on Electron Devices*, vol. 58, no. 5, pp. 1517–1522, May 2011.
- [41] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemienieć, P. Rutter, and Y. Kawaguchi, "The trench power mosfet: Part i x2014;history, technology, and prospects," *IEEE Transactions on Electron Devices*, vol. 64, no. 3, pp. 674–691, March 2017.
- [42] S. Hazra, S. Madhusoodhanan, G. K. Moghaddam, K. Hatua, and S. Bhattacharya, "Design considerations and performance evaluation of 1200-v 100-a sic mosfet-based two-level voltage source converter," *IEEE Transactions on Industry Applications*, vol. 52, no. 5, pp. 4257–4268, Sept 2016.

- [43] S. Yin, K. J. Tseng, R. Simanjorang, and P. Tu, "Experimental comparison of high-speed gate driver design for 1.2-kv/120-a si igbt and sic mosfet modules," *IET Power Electronics*, vol. 10, no. 9, pp. 979–986, 2017.
- [44] S. Yin, K. J. Tseng, P. Tu, R. Simanjorang, and A. K. Gupta, "Design considerations and comparison of high-speed gate drivers for si igbt and sic mosfet modules," in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sept 2016, pp. 1–8.
- [45] R. Semiconductors, "Sic power devices and modules," 2017. [Online]. Available: <http://www.rohm.com/documents/11405/2996964/sic-app-note.pdf>
- [46] A. A. Valdez-Fernández, P. R. Martínez-Rodríguez, G. Escobar, C. A. Limones-Pozos, and J. M. Sosa, "A model-based controller for the cascade h-bridge multilevel converter used as a shunt active filter," *IEEE Transactions on Industrial Electronics*, vol. 60, no. 11, pp. 5019–5028, Nov 2013.
- [47] Z. Ye, L. Jiang, Z. Zhang, D. Yu, Z. Wang, X. Deng, and T. Fernando, "A novel dc-power control method for cascaded h-bridge multilevel inverter," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 9, pp. 6874–6884, Sept 2017.
- [48] X. Wang, C. Jiang, B. Lei, H. Teng, H. K. Bai, and J. L. Kirtley, "Power-loss analysis and efficiency maximization of a silicon-carbide mosfet-based three-phase 10-kw bidirectional ev charger using variable-dc-bus control," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 880–892, Sept 2016.
- [49] F. Luchino, M. Ordonez, G. G. Oggier, and J. E. Quaicoe, "Mosfet power loss characterization: Evolving into multivariate response surface," in *2011 IEEE Energy Conversion Congress and Exposition*, Sept 2011, pp. 1917–1922.
- [50] L. E. A. Lirio, M. D. Bellar, J. A. M. Neto, M. S. d. Reis, and M. Aredes, "Switching losses analysis in sic power mosfet," in *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, Nov 2015, pp. 1–6.
- [51] X. Li, J. Jiang, A. Q. Huang, S. Guo, X. Deng, B. Zhang, and X. She, "A sic power mosfet loss model suitable for high frequency applications," *IEEE Transactions on Industrial Electronics*, vol. PP, no. 99, pp. 1–1, 2017.
- [52] K. Peng, S. Eskandari, and E. Santi, "Analytical loss model for power converters with sic mosfet and sic schottky diode pair," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sept 2015, pp. 6153–6160.
- [53] D. Johannesson and M. Nawaz, "Assessment of pspice model for commercial sic mosfet power modules," in *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Nov 2015, pp. 291–295.
- [54] Broadcom, "5 mbd high performance link receiver for industrial applications," 2017. [Online]. Available: <https://www.broadcom.com/products/fiber-optic-modules-components/industrial/industrial-control-general-purpose/650nm/hfbr-2521z>

- [55] —, “5 mbd high performance link transmitter for industrial applications,” 2017. [Online]. Available: <https://www.broadcom.com/products/fiber-optic-modules-components/industrial/industrial-control-general-purpose/650nm/hfbr-1521z>
- [56] Texas-Instruments, “Iso7240c 2.5 kvrms, 25 mbps, 4-channel 4/0 digital isolator,” 2017. [Online]. Available: <http://www.ti.com/product/ISO7240C>
- [57] H. Alawieh, L. Riachy, K. A. Tehrani, Y. Azzouz, and B. Dakyo, “A new dead-time effect elimination method for h-bridge inverters,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct 2016, pp. 3153–3159.
- [58] G. Si, Z. Shen, Z. Zhang, and R. Kennel, “Investigation of the limiting factors of the dead time minimization in a h-bridge igbt inverter,” in *2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC)*, Dec 2016, pp. 1–6.
- [59] Infineon-Semiconductors, “600 v high and low side driver ic,” 2017. [Online]. Available: <https://www.infineon.com/cms/en/product/power/gate-driver-ics/level-shift-gate-drivers/high-and-low-side-drivers/IR2101S/productType.html?productType=5546d46254e133b401551599df24393f>
- [60] tdk lambda, “Dc-dc converters 1.5 - 25w,” 2017. [Online]. Available: http://www.tdk-lambda.com/products/sps/ps_onboard/cc_e/indexe.html
- [61] wolfspeed, “1200-v, 13.0-mohm, silicon carbide, half-bridge module,” 2017. [Online]. Available: <http://www.wolfspeed.com/cas120m12bm2>
- [62] G. Bognár, G. Takács, L. Pohl, and P. G. Szabó, “Thermal modelling of integrated micro-scale heatsink structures,” in *2016 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, May 2016, pp. 1–5.
- [63] T. h. Li, J. Wang, and H. S. h. Chung, “Effect of parasitic elements in a power converter on the switching performance of a mosfet-snubber-diode configuration,” in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, March 2011, pp. 364–371.
- [64] J. Wang, R. T. h. Li, and H. S. h. Chung, “An investigation into the effects of the gate drive resistance on the losses of the mosfet ;snubber ;diode configuration,” *IEEE Transactions on Power Electronics*, vol. 27, no. 5, pp. 2657–2672, May 2012.
- [65] Bloc-trafo, “Short-circuit proof pcb transformer vb,” 2017. [Online]. Available: http://www.block.eu/en_US/products/electro_transformers/product/393256/
- [66] LEM-inc, “La 55-p - current transducer,” 2017. [Online]. Available: http://www.lem.com/hq/en/component/option,com_catalog/task,displaymodel/id,90.13.25.000.0/
- [67] Texas-Instruments, “Opa2277 high-precision, low-power operational amplifier,” 2017. [Online]. Available: <http://www.ti.com/product/OPA2277>
- [68] —, “Tms320f28335 experimenter kit,” 2017. [Online]. Available: <http://www.ti.com/tool/TMDSDOCK28335>

- [69] —, “Opa690 wideband, voltage feedback operational amplifier with disable,” 2017. [Online]. Available: <http://www.ti.com/product/opa690?keyMatch=opa690&tisearch=Search-EN-Everything>
- [70] —, “Opa27 ultra-low noise precision operational amplifiers,” 2017. [Online]. Available: <http://www.ti.com/product/OPA27?keyMatch=opa27&tisearch=Search-EN-Everything>